
АНАЛІЗ САПР VIVADO DESIGN SUITE

студент Юрах М.М., к.т.н., доцент Свид І.В.

Прикарпатський національний університет імені Василя Стефаника,
кафедра комп'ютерної інженерії та електроніки,
e-mail: iryna.svyd@pnu.edu.ua, maksym.yurakh.22@pnu.edu.ua

Abstract. The paper examines the features and prospects of the Vivado Design Suite. It is shown that Vivado is an important tool for designing digital systems on programmable logic integrated circuits from AMD. Vivado provides a full cycle of designing a device of any complexity from idea to finished development. The advantages, disadvantages and challenges of Vivado are analyzed and presented.

Ключові слова: Vivado, AMD, FPGA, ПЛІС, ASIC, проектування.

Вступ. Vivado Design Suite – це комплексне програмне забезпечення від компанії AMD, що використовується для проектування, аналізу та симуляції FPGA (Field Programmable Gate Array – польові програмовані вентильні матриці) і ASIC (Application-Specific Integrated Circuits – спеціалізовані інтегральні схеми) [1]. Цей інструмент створений для оптимізації процесу проектування, скорочення часу розробки та підвищення продуктивності цифрових систем [2-5]. Vivado Design Suite є основною платформою для розробки з використанням новітніх кристалів ПЛІС від AMD [6-9].

Основна частина. Vivado Design Suite надає користувачам широкий набір інструментів для розробки, що включають в себе:

1. Синтез HDL-кодів: Vivado підтримує опис апаратури на мовах VHDL та Verilog, дозволяючи синтезувати цифрові системи з високою продуктивністю. Завдяки оптимізованому алгоритму синтезу, досягається висока ефективність використання ресурсів FPGA.

2. Інструменти для симуляції: Vivado включає в себе потужний симулятор, що дозволяє розробникам тестувати та перевіряти поведінку проектів до їх впровадження на реальному обладнанні. Це дозволяє зменшити кількість помилок і вдосконалити проект на ранніх етапах розробки.

3. IP Integrator: Цей інструмент дозволяє швидко і легко інтегрувати готові IP-блоки в проект. Він забезпечує візуальне середовище для проектування, що спрощує процес з'єднання різних компонентів і систем.

4. Оптимізація ресурсів FPGA: Vivado дозволяє проектувальникам глибше аналізувати використання ресурсів FPGA, надаючи детальні звіти та рекомендації для оптимізації проектів. Завдяки цьому можна досягти більш раціонального розподілу логіки та пам'яті на FPGA.

5. Flow Navigator: Це головне меню інтерфейсу Vivado, яке допомагає легко переходити між різними етапами розробки – від синтезу до

розміщення та трасування. Flow Navigator є важливою частиною програмного забезпечення, що допомагає структурувати процес роботи.

6. Vivado HLS (High-Level Synthesis): Vivado підтримує високорівневий синтез, що дозволяє проектувати на таких мовах як C, C++, SystemC, тощо. Це суттєво полегшує процес розробки для програмістів, не знайомих з традиційними мовами опису апаратури, такими як VHDL або Verilog.

7. Підтримка платформи Versal: Vivado підтримує розробку для серії Versal, яка поєднує в собі можливості як FPGA, так і спеціалізованих обчислювальних блоків (ACAP – Adaptive Compute Acceleration Platform). Це робить його ключовим інструментом для роботи з найсучаснішими архітектурами.

Переваги використання Vivado Design Suite:

1. Оптимізована продуктивність: Завдяки глибокій інтеграції з апаратними платформами AMD, Vivado забезпечує швидший час компіляції та покращене розміщення логічних елементів на FPGA, що підвищує загальну продуктивність систем.

2. Швидкий процес налагодження: Інструменти для аналізу та верифікації, такі як Vivado Logic Analyzer, дозволяють відслідковувати поведінку FPGA в реальному часі, що значно спрощує процес налагодження.

3. Модульність та масштабованість: Завдяки можливостям інтеграції з різними IP-блоками, Vivado є дуже гнучким інструментом, який може адаптуватися до проектів різного масштабу – від простих контролерів до складних систем на кристалі (SoC).

4. Підтримка новітніх стандартів: Vivado постійно оновлюється для підтримки сучасних стандартів і протоколів, таких як PCIe, Ethernet, HDMI тощо.

Недоліки та виклики. Хоча Vivado Design Suite є потужним інструментом, у нього є кілька викликів. По-перше, цей пакет є досить вимогливим до апаратного забезпечення, і для ефективної роботи потребує сучасних комп'ютерів з великими обсягами оперативної пам'яті та процесорами з високою продуктивністю. По-друге, для новачків він може бути складним у вивченні через велику кількість функцій і можливостей. Навіть досвідченим розробникам може знадобитися певний час на освоєння всіх аспектів інструменту.

Висновки. Vivado Design Suite є важливим інструментом для проектування цифрових систем на FPGA і ASIC фірми AMD, який забезпечує користувачам широкі можливості для розробки, симуляції, аналізу та налагодження проектів. Завдяки своїм потужним інструментам, інтеграції з сучасними апаратними платформами та підтримці високорівневого синтезу, Vivado значно спрощує і прискорює процес розробки складних електронних систем. Проте, через свою складність,

освоєння цього пакета вимагає часу та ресурсів.

Список використаних джерел.

1. AMD Vivado™ Design Suite URL: <https://www.amd.com/en/products/software/adaptive-socs-and-fpgas/vivado.html> (дата звернення: 13.11.2024).
2. Проєктування спеціалізованих комп'ютерних систем на ПЛІС. Лабораторний практикум. [Електронний ресурс] : навч. посіб. для студ. Спеціальності 123 Комп'ютерна інженерія / КПІ ім. Ігоря Сікорського ; Я.М. Клятченко, О.В. Тарасенко-Клятченко, О.К. Тесленко. Київ : КПІ ім. Ігоря Сікорського, 2021. 54 с.
3. Barkalov, A., Titarenko L., Kolopiencyk M., Mielcarek K., Bazydlo G., Logic Synthesis for FPGA-based Finite State Machines, New York, 2016, 280 p. doi: <https://doi.org/10.1007/978-3-030-38295-7>.
4. Ruiz-Rosero, J.; Ramirez-Gonzalez, G.; Khanna, R. Field Programmable Gate Array Applications—A Scientometric Review. *Computation* 2019, 7, 63. <https://doi.org/10.3390/computation7040063>.
5. M. Rawski, P. Tomaszewicz, G. Borowski, and T. Luba, “Logic synthesis method of digital circuits designed for implementation with embedded memory blocks on FPGAs,” *Design of Digital Systems and Devices; Lecture Notes in Electrical Engineering*, Vol. 79, Springer, Berlin–Heidelberg (2011), pp. 121–144. <https://doi.org/10.1007/978-3-642-17545-9>.
6. O. Vorgul, I. Svyd, O. Zubkov. Neuron Networks Design in Matlab and Vivado. // III International Scientific and Practical Conference Theoretical and Applied Aspects of Device Development on Microcontrollers and FPGAs (MC&FPGA), Kharkiv, Ukraine, 2021, pp. 29-31, doi: 10.35598/mcfpga.2021.010.
7. I. Svyd, O. Maltsev, O. Zubkov, L. Saikivska. Matlab Use in Design of Digital Systems on the FPGA in CAD Xilinx VIVADO. // First International Scientific and Practical Conference «Theoretical and Applied Aspects of Device Development on Microcontrollers and FPGAs» MC&FPGA-2019. Kharkiv: 2019. P. 29-30. doi: 10.35598/mcfpga.2019.010.
8. O. Zubkov, I. Svyd, O. Maltsev, L. Saikivska. In-circuit Signal Analysis in the Development of Digital Devices in Vivado 2018. // First International Scientific and Practical Conference «Theoretical and Applied Aspects of Device Development on Microcontrollers and FPGAs» MC&FPGA-2019. Kharkiv: 2019. P. 12-13. doi: 10.35598/mcfpga.2019.003.
9. I. Svyd, O. Maltsev, L. Saikivska, O. Zubkov. Review of Seventh Series FPGA Xilinx. // First International Scientific and Practical Conference «Theoretical and Applied Aspects of Device Development on Microcontrollers and FPGAs» MC&FPGA-2019. Kharkiv: 2019. P. 25-26. doi: 10.35598/mcfpga.2019.008.