

В. П. ГРУНЬЯНСКАЯ, к. т. н. В. Д. ЖОРА,
к. т. н. Л. М. СОЛДАТЕНКО,
И. А. ТУЧИНСКИЙ

Дата поступления в редакцию
02.07 1999 г.
Оппоненты Л. Н. АБРАМОВ, к. т. н. Л. И. ПАНОВ

Украина, г. Киев, НИИ микроприборов

СПЕЦИАЛИЗИРОВАННЫЕ БИС НА ОСНОВЕ БАЗОВЫХ МАТРИЧНЫХ КРИСТАЛЛОВ

Предлагается организация проектирования и изготовления специализированных БИС на основе отечественного семейства базовых матричных кристаллов.

В условиях переориентации предприятий на новые (рыночные) экономические условия проектным организациям и подразделениям разработчиков приходится прилагать много усилий и изобретательности, чтобы в отсутствие оборотных средств предусматривать и обеспечивать выполнение перспективных работ. Это диктует необходимость пересмотра многих положений, в т. ч. и взгляда на процесс проектирования микроэлектронных элементов.

В настоящей статье предлагается рассмотреть одно из направлений в создании цифровых специализированных БИС в ситуации, максимально приближенной к современным экономическим и техническим требованиям со стороны заказчиков.

Известно, что в области разработки и воспроизведения элементной базы универсальных вычислительных средств типа микропроцессоров, контроллеров, схем сопряжения и т. п. отечественная промышленность безнадежно отстала. Доступность импортной элементной базы заставляет серьезно относиться к обеспечению не только технических требований, но и оптимальных экономических показателей.

Там, где есть нужда в разработке новой аппаратуры, часто возникает необходимость создания оригинальных, специализированных БИС, которые, как правило, ориентированы на использование только в конкретной аппаратуре и нигде больше. Технические требования к большинству таких изделий вполне могут быть удовлетворены имеющимися производственными средствами, методиками проектирования и освоеными технологиями.

Существует несколько вариантов решения этой задачи. В первую очередь — это использование программируемых логических ИС (ПЛИС). (Достаточно широко используются оперативно-перепрограммируемые схемы типа Altera, Actell, Quic Logic, Xilinx и т. п.) Возможность разработки устройства в виде БИС на своем рабочем месте сделала приборостроителей достаточно независимыми от прихотей разработчиков БИС. В то же время при продуцирова-

нии таких устройств в количествах 100, 1000 шт. и больше становится актуальным вопрос экономической целесообразности применения таких устройств. В лучшем случае цена одной штуки ПЛИС на порядок выше, чем БИС, изготовленной по традиционной масочной технологии. Поэтому становится насущной постановка вопроса о разработке устройств на БИС в приемлемые сроки и с минимальными материальными затратами.

Наиболее предпочтительным вариантом является проектирование специализированных БИС на базовых матричных кристаллах (БМК) — с учетом того, что известны системы проектирования, позволяющие проектирование на ПЛИС и, вместе с тем, автоматически обеспечивающие перевод схем на БМК.

Киевский НИИ микроприборов располагает средствами автоматизированного проектирования (САПР) на БМК, контроля, изготовления и измерения микросхем. Средства САПР обеспечивают:

- возможность графического представления схемы электрической принципиальной в системе OrCAD, PCAD или SDL;
- моделирование работы СхЭ;
- размещение и трассировку топологии БИС на основе одной из схем семейства БМК;
- верификацию топологии на соответствие СхЭ;
- подготовку исходных данных в формате Source;
- подготовку тестовых последовательностей для проведения измерений на кристалле.

Основные технические характеристики семейства БМК приведены в **табл. 1**.

Как видно из таблицы, диапазон применения БМК, исходя из объемов логических вентилей и количества выводов, также достаточно широк. Электрические и динамические параметры БИС на БМК близки к стандартным для элементной базы ТТЛ. К настоящему времени на основе представленного семейства изготавливались или изготавливаются порядка 20 типов изделий в серийном производстве. При этом объемы производства составляют от сотен до 40—50 тыс. шт. Стоимость серийных изделий на БМК в зависимости от объемов производства и типов используемых БМК составляет от 1,5 до 5,5 долл. США.

Таблица 1

Характеристики базовых матричных кристаллов

| Характеристика | Наименование кристалла UA01 | | | | |
|--|-----------------------------|--------|--------|--------|--------|
| | ХМ1 | ХМ2 | ХМ3А | ХМ3Б | ХМ3В |
| Минимальный размер на кристалле, мкм | 4 | 3 | 2 | 2 | 2 |
| Количество используемых вентилях * | 1500 | 3000 | 3000 | 6000 | 10000 |
| Количество выводов | 42 | 64 | 68 | 104 | 128 |
| Тактовая частота, МГц | 4—6 | 5—10 | 20—40 | 20—40 | 20—40 |
| Ток потребления в статике, мкА | 20—100 | 20—100 | 50—100 | 50—100 | 50—100 |
| Ток потребления в динамике, мА** | 5 | 10 | 15 | 25 | 30 |
| Напряжение питания, В | +5,0±10% | | | | |
| Количество коммутирующих слоев металла | 1 | 1 | 2 | 2 | 2 |

* условные вентиля типа 2И-1ПЕ или 2И.ПИ-1ПЕ;

** потребление в динамике пропорционально используемой тактовой частоте; нагрузочная способность выходов БИС на БМК — 0,5 мА для высокого уровня сигнала и ≤2,0 мА — для низкого уровня.

При изготовлении многвыводных БИС (более 40 выводов) необходимы корпуса для герметизации микросхем, производства которых в Украине нет. В этом случае одним из наиболее целесообразных представляется освоенный конструктивно-технологический вариант сборки кристаллов с использованием гибких носителей типа «алюминий — полиимид» [1, 2]. Такие гибкие носители разработаны как за рубежом, так и у нас, для изделий специального и полностью адаптированы к условиям отечественного производства [3, 4].

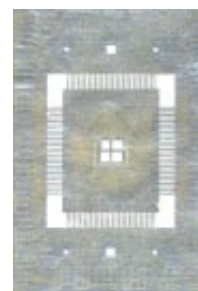
Конструктивно ИС представляет собой кристалл с алюминиевыми выводами на полиимидном основании (см. **рисунок** и **табл. 2**). Технологический процесс включает в себя изготовление гибких носителей методом двухсторонней фотолитографии, их присоединение к стандартным кристаллам ультразвуковой сваркой, герметизацию полимерными материалами с проведением технологических отбраковочных испытаний, в т. ч., при необходимости, и электротермотренировки [5]. Конструкция задается фотоплафонами. Разработка осуществляется с использованием средств автоматизированного проектирования кристаллов ИС

Возможна установка микросхем на платы микроэлектронной аппаратуры (МЭА), в металлокерамические, металлоглазненные корпуса, а также приме-

нение в гибридных микросхемах [6]. Монтаж микросхем сваркой осуществляется на стандартных установках ультразвуковой сварки типа ЭМ-4062, УЗСМ. Пайку алюминиевых выводов на печатную плату можно выполнять импульсным паяльником с одиночным или групповым жалом или в конвейерных печах для монтажа на поверхность. При установке на платы МЭА рекомендуется дополнительная защита лаком ЭКТ (БУ0.028.122 ТУ, производство г. Владикавказ, Россия).

При установке микросхем на плату с рекомендуемой защитой стойкость БИС к климатическим воздействиям не хуже, чем у микросхем в пластмассовых корпусах.

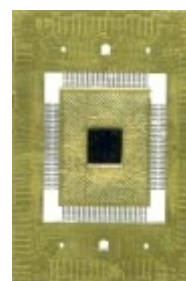
Обеспечивается комплексная автоматизация операций изготовления носителей, сборки, измерений и монтажа ИС в аппаратуру, в т. ч. методами монтажа на поверхность пайкой или сваркой. Для обеспечения возможности измерений БИС на гибких носителях используется тара-спутник и контактирующие устройства, изготавливаемые ПО «Лтава» (г. Полтава, Украина).



Гибкий носитель

Таблица 2
Конструктивные параметры ИС на гибком носителе «алюминий — полиимид»

| Количество выводов ИС | Размеры монтажной части, мм | Шаг выводов в монтажной части, мм | Примечание |
|-----------------------|-----------------------------|-----------------------------------|--|
| 1—n | (n/2·1,25)×10,0×2,0 | 1,25 | Двухстороннее расположение выводов |
| 16—48 | 12,0×12,0×2,0 | 0,625 | Четырехстороннее расположение выводов. Дальнейшее уменьшение размеров возможно при соответствующем уменьшении шага выводов в монтажной части |
| 48—64 | 14,0×14,0×2,0 | 0,625 | |
| 64—128 | 23,0×28,0×3,0 | 0,625 | |



Микросхема на гибком носителе, поставляемая заказчику



Монтажная часть, устанавливаемая на плату

ТЕХНИЧЕСКАЯ ПОЛИТИКА

Поставка БИС пользователю осуществляется в таре-спутнике.

Представленный вариант технологии проектирования и изготовления ИС, в т. ч. для многономенклатурного производства, обеспечивает повышение степени упаковки электронных компонентов по площади более чем в 3 раза, по объему — более чем в 8 раз. При этом обеспечивается полное исключение использования драгоценных металлов и остродефицитных материалов, а также повышается надежность функционирования микросхем за счет образования на кристалле монометаллической фазы Al—Al, исключающей образование интерметаллидов в твердой фазе при эксплуатации приборов.

Учитывая имеющиеся технические возможности разработчиков БИС и общее экономическое положение предприятий, представляется наиболее эффективным следующий порядок взаимоотношений между заказчиком БИС и исполнителем.

На этапе разработки устройства, аппаратуры разработчики БИС могут участвовать в создании физической модели (макета) устройства на базе ПЛИС (например, типа Altera). При этом финансирование практически может быть ограничено заработной платой разработчиков и затратами на покупку ПЛИС. После окончательной отладки режимов работы устройства в реальной аппаратуре и заключения договора о поставках специализированных БИС на БМК затраты на проектирование микросхем берет на себя разработчик БИС.

Следует отметить, что когда приборостроители самостоятельно начинают проектирование своих устройств на ПЛИС или россыпи, а затем обращаются за реализацией их по традиционной технологии или на БМК, чаще всего проектирование начинается заново. Это объясняется спецификой использования библиотечных элементов по сравнению со стандартными микросхемами широкого применения. Поэтому несмотря на даже неполное представление при-

бористом конечной структуры проектируемого устройства, и экономически, и технически целесообразно этот процесс выполнять при полном взаимодействии разработчиков.

После окончания проектирования обеспечивается изготовление и поставка специализированных БИС на основе семейства базовых матричных кристаллов.

Опыт проектирования специализированных БИС на БМК свидетельствует о достаточно широких возможностях их использования. Это приборы телевизионной техники, кодеры-декодеры охранной сигнализации, средства связи (модемы), комплекты БИС для цифровой обработки в информационных системах, коммутаторы для систем отображения информации на экранах общего пользования, аппаратура специального назначения и т. д.

ИСПОЛЬЗОВАННЫЕ ИСТОЧНИКИ

1. Шеревская А. Г., Цуканов Л. Н., Тучинский И. А., Жора В. Д. Конструкция и технология сборки БИС в бескорпусном исполнении на гибком носителе // В сб.: Научно-технические достижения. — М.: ВИМИ. — 1984. — №4. — С. 26—34.
2. Воженин И. Н., Блинов Г. А., Колесов Л. А. и др. Микроэлектронная аппаратура на бескорпусных интегральных микросхемах. — М.: Радио и связь, 1985.
3. Noriyuki Kindo. Application polyimide in microelectronics engineering // Hing polim. (Japan). — 1991. — Vol.40, N3. — P. 190—193.
4. Pat. 4986880 USA. Process for etching polyimide substrate in formation unsupportest electrically conductive leads / Jad Dorfman. — Опубл. 22.01.96.
5. Лаймен Д. Перспективы внедрения автоматизированной сборки ИС на ленте-носителе // Электроника. — 1984. — № 20. — С. 45—56.
6. Гуськов Г. Ч., Блинов Г. А., Газаров А. А. Монтаж микроэлектронной аппаратуры. — М.: Радио и связь, 1986.

ПАМЯТНЫЕ ДАТЫ В 2000 ГОДУ

275 лет назад (1725) при Петербургской Академии наук создан физический кабинет — первое в России научно-исследовательское учреждение в области физики (с 1912 г. — физическая лаборатория, с 1921 г. — физический институт Академии наук СССР имени П. Н. Лебедева).

250 лет назад (1750) американский физик и политический деятель В. Франклин сформулировал унитарную теорию электричества, ввел понятия положительного и отрицательного зарядов, установил закон сохранения электрического заряда, изобрел молниеотвод.

Из «Указателя юбилейных и памятных дат в области естествознания и техники на 2000 год». — М.: Политехн. музей, Центр. политехн. 6-ка, 1999.

200 лет со времени открытия (1800) английским астрономом В. Гершелем инфракрасного излучения.

150 лет со времени изобретения (1850) русским физиком и электротехником В. С. Якоби первого в мире буквопечатающего телеграфного аппарата, работающего на принципе синхронного движения.

120 лет со времени опубликования (1880) в журнале «Электричество» статьи русского физика и электротехника Д. А. Лачинова «Электромеханическая работа», в которой исследована работа электрических машин и теоретически доказана возможность передачи электроэнергии на значительные расстояния без больших потерь (путем повышения напряжения).

ПАМЯТНЫЕ ДАТЫ В 2000 ГОДУ

Глава 1

ПРОЕКТИРОВАНИЕ ПОЛУЗАКАЗНЫХ БИС НА ОСНОВЕ БМК

1.1. КЛАССИФИКАЦИЯ МЕТОДОВ ПРОЕКТИРОВАНИЯ СПЕЦИАЛИЗИРОВАННЫХ БИС

Применение современных стандартных интегральных микросхем с большой степенью интеграции, микропроцессоров и запоминающих устройств, содержащих на одном кристалле несколько сотен тысяч элементов, позволяет создавать различные виды малогабаритной электронной аппаратуры, начиная с универсальных ЭВМ и кончая бытовой техникой. Однако только специализированные БИС могут придать этим изделиям уникальные свойства. Ниже приводится классификация и дается краткая сравнительная оценка существующих в настоящее время методов проектирования специализированных БИС, каждый из которых обеспечивает различную технико-экономическую эффективность реализации проекта БИС.

Для специализированных БИС наиболее применима классификация по способу их проектирования и изготовления, т. е. по способу "настройки" на реализацию конкретной функции заказчика. По этому критерию их можно разделить на заказные и полужаказные, как показано на рис. 1.1.

З а к а з н а я интегральная микросхема (ИС) — это ИС, разработанная на основе стандартных или специально созданных элементов и узлов по функциональной схеме заказчика. Все топологические слои заказной микросхемы являются переменными, проектируются и изготавливаются по индивидуальным для каждого типа ИС фотошаблонам. Исходя из принятого принципа классификации и определения существуют два способа изготовления заказных ИС: на основе стандартных элементов или полностью заказные. Оптимизация конструкции полностью заказных ИС осуществляется на уровне отдельных компонентов, что позволяет достичь значений параметров, предельных для данного уровня технологии. Стандартные элементы для проектирования заказных БИС выбираются из заранее спроектированной и проверенной библиотеки элементов. В состав библиотеки могут входить простые логические элементы типов И–НЕ, ИЛИ–НЕ, триггеры и др., а также макроэлементы более высокой сложности типа сумматоров, умножителей, вплоть до центрального процессорного элемента (например, типа АМД2900 и др.). Полное описание стандартных элементов, вклю-

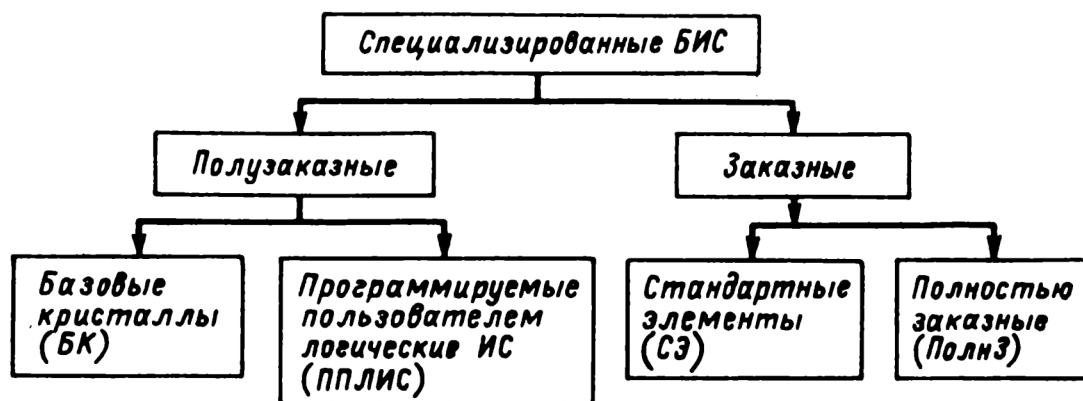


Рис. 1.1. Классификация специализированных БИС

чая функциональную и принципиальную электрическую схемы, топологию и электрические характеристики, хранится в банке данных системы автоматизированного проектирования (САПР), с помощью которой ведется разработка ИС. По плотности размещения заказные ИС на стандартных элементах приближаются к полностью заказным.

Полузаказная интегральная микросхема представляет собой совокупность заранее спроектированной постоянной части и переменной — заказной части, структура которой определяется заказчиком. К полузаказным БИС относятся микросхемы на основе базовых кристаллов (БК) и программируемых пользователем логических интегральных микросхем (ППЛИС).

В случае использования БК специализация полузаказных БИС на выполнение заданных функций осуществляется на заключительном этапе производства за счет нанесения переменных слоев межсоединений.

Для специализации ППЛИС изготовления дополнительных фотошаблонов не требуется. Программируемые пользователем логические интегральные микросхемы поставляются ему в конструктивно завершенном виде. Их программирование осуществляется пользователем электрическим способом путем изменения физического состояния элементов программирования (плавких связей, МНОП- и ЛИЗМОП-транзисторов) или программы управления коммутацией логических элементов, хранящейся во внутренних элементах памяти [1, 2].

В табл. 1.1 показаны этапы проектирования каждого из четырех рассмотренных методов проектирования специализированных БИС [3].

Методы проектирования расположены на рисунке в порядке возрастания достижимой плотности упаковки и увеличения цикла проектирования. Решая альтернативную задачу выбора метода проектирования специализированной ИС, разработчик системы должен учитывать та-

**Т а б л и ц а 1.1. Этапы проектирования
специализированных микросхем**

| Этап проектирования | ППЛИС | БК | СЭ | ПолнЗ |
|---------------------------------|-------|----|----|-------|
| Системное проектирование | Н | Н | Н | Н |
| Логическое проектирование | Н | Н | Н | Н |
| Схемотехническое проектирование | О | О | О | Н |
| Топологическое проектирование | О | Н | Н | Н |
| Изготовление шаблонов | О | В | Н | Н |
| Изготовление кристаллов | О | Н | Н | Н |
| Проверка готовой схемы | Н | Н | Н | Н |

П р и м е ч а н и е. Н – необходимые; В – нужные не всегда; О – ненужные.

кие факторы, как уровень сложности (число вентилях) БИС, допустимое время и стоимость разработки. Достаточно подробный технико-экономический анализ выбора метода проектирования приведен в [4].

1.2. ОСОБЕННОСТИ КОНСТРУКЦИИ БАЗОВЫХ КРИСТАЛЛОВ

Классическим вариантом конструкции базового кристалла является конструкция с так называемой канальной архитектурой (рис. 1.2). Такой базовый кристалл содержит центральную часть с матрицей регулярно расположенных базовых ячеек и каналы для трассировки связей между нескоммутированными элементами базового кристалла. По периферии расположены буферные элементы и контактные площадки, предназначенные для организации ввода-вывода сигналов.

Повышение степени интеграции влечет за собой увеличение площади, отводимой под межсоединения, до 60–65% площади кристалла [6]. Поиск путей повышения плотности упаковки и коэффициента использования вентилях БК привел к созданию бесканальной архитектуры. Особенностью такой конструкции является то, что центральная часть кристаллов состоит из плотно упакованных рядов нескоммутированных элементов и не содержит в первом уровне межсоединения фиксированных каналов трассировки. В этом случае любая область, в которой расположены транзисторы, при необходимости может быть использована для создания как логических элементов, так и межсоединений.

Достоинством бесканальной архитектуры является то, что за счет сокращения длины и соответственно емкости межсоединений уменьшается общая системная задержка на кристалле. Так, например, КМОП-

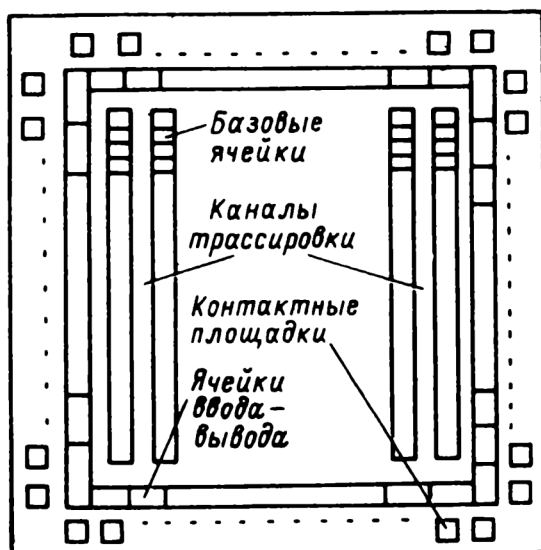


Рис. 1.2. Конструкция базового кристалла с каналной архитектурой

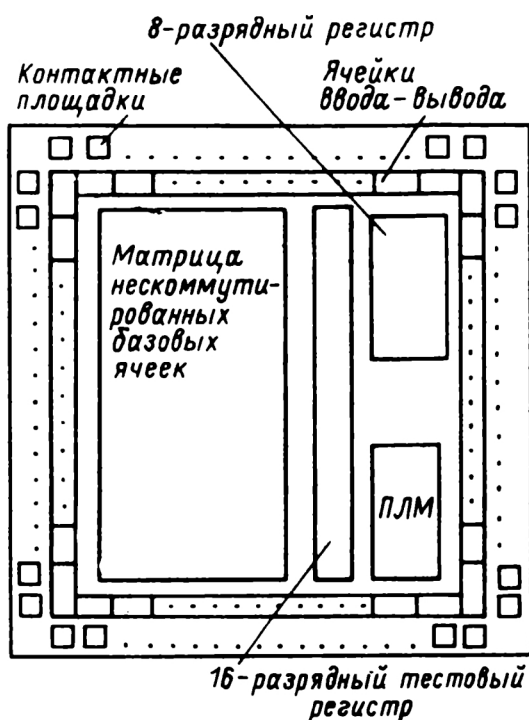


Рис. 1.3. Конструкция базового кристалла с функционально законченными узлами

кристаллы, изготовленные по проектной норме 1,5 мкм, могут работать с тактовыми частотами до 100 МГц [5].

Широкое распространение получила еще одна разновидность конструкции базовых кристаллов, которая сочетает в себе свойства как полузаказного, так и заказного методов проектирования (рис. 1.3) [6]. В этой конструкции кристаллы содержат матрицу некоммутированных элементов на основе каналной или бесканальной архитектуры и функционально законченные узлы типов ОЗУ, ПЗУ, ПЛМ, регистров, сумматоров, умножителей и др. Базовые кристаллы такой конструкции предназначены для создания схем с более ограниченным кругом решаемых задач, однако конструктивное совмещение на одном кристалле функционально завершеного узла обработки или хранения информации и переменной интерфейсной части позволяет уменьшить площадь кристалла и сократить потери быстродействия в цепях, связывающих отдельные узлы.

Существуют две основные разновидности организации ячеек базового кристалла:

- 1) базовая ячейка является функционально законченным узлом, выполняющим элементарную функцию типов И-НЕ, ИЛИ-НЕ и др.;
- 2) базовая ячейка состоит из набора некоммутированных элементов — транзисторов и резисторов, на основе которых формируются библиотечные элементы.

С точки зрения схемотехнологического исполнения базовые кристаллы можно разделить на следующие группы:

сверхбыстродействующие на основе эмиттерно-связанной и токопереключающей логики;

биполярные среднего быстродействия, совместимые по уровням сигналов с ТТЛ логикой (ТТЛШ, ИШЛ, ШТЛ и др.);

микромощные на основе КМОП- и КМОП/КНС-структур.

В последнее время появились сверхбыстродействующие базовые кристаллы на основе арсенида галлия и базовые кристаллы на основе совмещенной БИКМОП-технологии, сочетающей достоинства биполярных и КМОП-изделий. Кроме того, ряд разработок базовых кристаллов выполнен с использованием *n*-МОП-технологии.

1.3. ТЕРМИНОЛОГИЯ, ОСНОВНЫЕ ПАРАМЕТРЫ И ХАРАКТЕРИСТИКИ БАЗОВЫХ КРИСТАЛЛОВ

В табл. 1.2 приведены наиболее часто употребляемые термины и определения, охватывающие понятия базового кристалла, его основных составных частей и микросхем на его основе.

В связи с тем что до настоящего времени в отечественной практике наибольшее распространение получили базовые матричные кристаллы и БИС на их основе, в дальнейшем будут использованы понятия БМК и БИСМ.

Кроме того, следует отметить, что ранее в литературе употреблялся термин "топологическая ячейка" вместо "базовая ячейка". Базовые ячейки, располагаемые в центре кристалла, называют матричными базовыми ячейками (МБЯ), а расположенные в периферийной зоне — периферийными базовыми ячейками (ПБЯ).

Как следует из определения, БМК является функционально незавершенным изделием, служащим для проектирования БИСМ на его основе. В табл. 1.3 (в дополнение к табл. 1.2) приведены термины, применяемые при проектировании БИСМ.

Эффективность построения радиоэлектронной аппаратуры с применением БИСМ во многом определяется параметрами и характеристиками БМК. Кроме того, единая система параметров БМК позволяет разработчику аппаратуры более однозначно дать сравнительную оценку возможностей БМК по реализации БИСМ и произвести выбор кристалла, наиболее подходящего для реализации заданных технических требований.

Параметры и характеристики БМК можно разделить на группы, приведенные в табл. 1.4 [7, 8].

Параметры первой группы, исключая число вентилях, вытекают из опыта синтеза цифровых устройств. Для современных БМК характерно то, что ФЯ по сложности и функциональному составу эквивалентны логическим ИС стандартных серий К100, К1500, К555, К561 и др. Пред-

Т а б л и ц а 1.2. Термины и определения, используемые при проектировании базовых кристаллов

| Термин | Определение |
|--|--|
| Базовый кристалл интегральной микросхемы. Базовый кристалл (БК) | Часть полупроводниковой пластины с определенным набором сформированных элементов, в том числе соединенных и (или) не соединенных между собой, используемая для создания интегральных микросхем путем изготовления межэлементных соединений |
| Базовый матричный кристалл интегральной микросхемы. Базовый матричный кристалл (БМК) | Базовый кристалл интегральной микросхемы с регулярным расположением сформированных в нем элементов |
| Базовая ячейка базового матричного кристалла. Базовая ячейка (БЯ) | Совокупность несоединенных и (или) соединенных между собой элементов, регулярно повторяющихся в пределах базового матричного кристалла |
| Функциональная ячейка базового матричного кристалла. Функциональная ячейка (ФЯ) | Функционально законченная электрическая схема, реализуемая путем соединения элементов базового матричного кристалла в пределах одной или нескольких базовых ячеек |
| Библиотека функциональных ячеек базового матричного кристалла. Библиотека функциональных ячеек (БФЯ) | Совокупность функциональных ячеек базового кристалла, используемая при проектировании полужаказных матричных интегральных микросхем |
| Полужаказная матричная интегральная микросхема. Матричная микросхема (ИСМ) | Интегральная микросхема, разрабатываемая на основе базового матричного кристалла |
| Эквивалентный вентиль базового матричного кристалла. Эквивалентный вентиль (ЭВ) | Совокупность элементов базового кристалла, эквивалентных по логической функции вентилю И–НЕ (ИЛИ–НЕ), предназначенная для характеристики его логической сложности |

Т а б л и ц а 1.3. Термины и определения, используемые при проектировании БИСМ

| Термин | Определение |
|--|--|
| Площадка базовой ячейки | Участок площади базовой ячейки, к которому можно подключить внешний вывод при реализации функциональных ячеек |
| Фрагмент базовой ячейки | Составная часть базовой ячейки |
| Ориентация базовой (функциональной) ячейки | Положение базовой (функциональной) ячейки на плоскости кристалла, определяемое углом ее поворота относительно точки привязки |

Продолжение табл. 1.3

| Термин | Определение |
|--------------------------------------|--|
| Выводы базовой функциональной ячейки | Точки, близлежащие к площадкам базовой ячейки, лежащие на пересечении каналов трассировки и предназначенные для подключения внешних связей при проектировании межсоединений |
| Канал трассировки | Пути, заранее установленные на БМК, для возможного размещения межсоединений |
| Постоянные межсоединения | Металлизированные соединения, конфигурация которых не зависит от схемы, реализуемой на основе БМК |
| Переменные межсоединения | Металлизированные соединения, конфигурация которых определяется электрической схемой, реализуемой на БМК |
| Межслойный контакт | Элемент топологии, предназначенный для реализации электрического контакта между межсоединениями, расположенными в различных слоях |
| Запрещенная зона | Часть площади БМК, запрещенная для размещения межсоединений |
| Разрешенная зона | Часть площади БМК, разрешенная для размещения межсоединений |
| Контур присоединения | Металлизированное соединение определенной конфигурации, обеспечивающее привязку площадок базовой ячейки к выводам функциональной ячейки, расположенным в каналах трассировки |

Таблица 1.4. Группы параметров базовых кристаллов

| Номер группы | Наименование группы параметров и характеристик | Состав группы параметров и характеристик |
|--------------|--|--|
| 1 | Параметры, характеризующие функциональные возможности реализации ИС на БМК | Сложность (число вентилях), тип базовой ячейки, состав библиотеки элементов Наличие в составе БК функционально законченных узлов Сложность (число вентилях) элементов библиотеки |
| 2 | Электрические параметры базовых и периферийных ячеек, элементов библиотеки | Статические параметры – входные и выходные напряжения, ток потребления и др. Динамические параметры – время задержки базовой и периферийной ячеек, максимальная частота |
| 3 | Конструктивно-технологические параметры | Число выводов (число ячеек ввода-вывода), число уровней металлизации, трассировочная способность |
| 4 | Эксплуатационные характеристики | Устойчивость к воздействию внешних факторов Показатели надежности |

полагается расширение БФЯ с включением в их состав макроячеек повышенной функциональной сложности типа сумматоров, умножителей, микропроцессорных секций и др.

Параметры третьей группы определяют возможности конструктивной реализации схем на БМК и совместно с числом вентиляей — максимальную сложность БИСМ, реализуемой на данном БМК. Взаимосвязь конструктивно-технологических параметров и теоретические вопросы оптимизации их значений подробно рассмотрены в [7, 22].

Параметры второй группы в совокупности с эксплуатационными характеристиками определяют области наиболее эффективного применения БИСМ на БМК.

1.4. ОСНОВНЫЕ НАПРАВЛЕНИЯ РАЗВИТИЯ БМК

Наиболее характерные направления развития БМК очень отчетливо прослеживаются на фоне разработок зарубежных фирм, техническая политика которых в области создания БМК и организации разработок БИСМ в максимальной степени ориентирована на удовлетворение потребностей пользователей.

Прежде всего, разрабатываются группы БМК, перекрывающие широкий спектр значений уровня сложности (числа вентиляей) и быстродействия. Диапазон достигнутых параметров сложности и быстродействия БМК приведен на рис. 1.4, из которого видно, что достигнута максимальная сложность 200 тыс. вентиляей (для КМОП БМК). Максимальное быстродействие составляет 0,1 нс/вент. (для БМК на арсениде галлия) [9, 11].

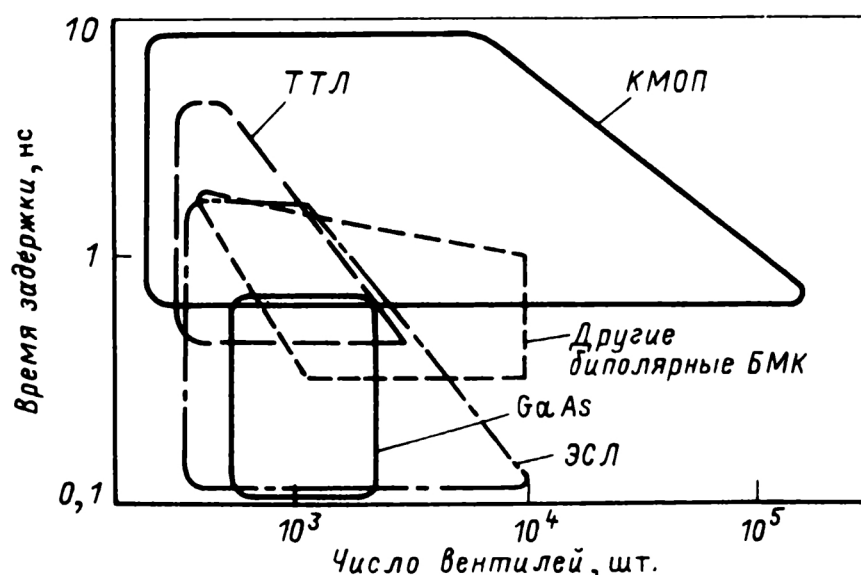


Рис. 1.4. Диапазон параметров БМК

Т а б л и ц а 1.5. Семейства базовых кристаллов фирм LSI Logic и Ferranti

| Фирма | Минималь- ный раз- мер эле- мента из- делий ря- да, мкм | Число типов БК в ряду, шт. | Число венти- лей, шт. | Время задерж- ки, нс/вент. | Мощность потребле- ния, мВт/вент. | Тип ло- гики |
|-----------|--|--|--------------------------------|-------------------------------------|--|-----------------|
| LSI Logic | 3 | 7 | 880–6000 | 2,5 | – | КМОП |
| | 2 | 23 | 554–10 013 | 1,4 | | |
| | 1,5 | 18 | 880–129 042 | 1,1 | | |
| Ferranti | 3 | 6 | 130–2000 | 2,5 | 0,3 | ТПЛ |
| | | 11 | 130–4000 | 7,5 | 0,1 | |
| | | 7 | 130–2000 | 15 | 0,03 | |
| | | 13 | 400–10 000 | 15 | 0,15 | |
| | | 8 | 400–4000 | 3,0 | 0,07 | |
| | | 8 | 400–4000 | 10 | 0,02 | |

Базовые кристаллы предлагаются потребителю в виде семейств (рядов) различных по сложности кристаллов. Изделия каждого ряда могут иметь различные значения быстродействия и потребляемой мощности и изготавливаться по различным проектным нормам. Примеры таких семейств на основе данных, приведенных в [10, 12], указаны в табл. 1.5.

Семейство БМК фирмы LSI Logic можно разделить на три ряда. Кристаллы каждого ряда изготовлены по одинаковым проектным нормам и имеют одинаковое быстродействие. В состав каждого ряда входят одинаковые по сложности кристаллы, за исключением кристаллов с максимальной сложностью (рис. 1.5).

Признаком БМК одного ряда у фирмы Ferranti являются одинаковые значения быстродействия и мощности потребления: например, 13 типов кристаллов одного ряда с временем задержки 1,5 нс/вент. и мощностью потребления 0,15 мВт/вент. и 8 типов с параметрами 3 нс/вент. и 0,07 мВт/вент. Количество вентилях в различных рядах также, как

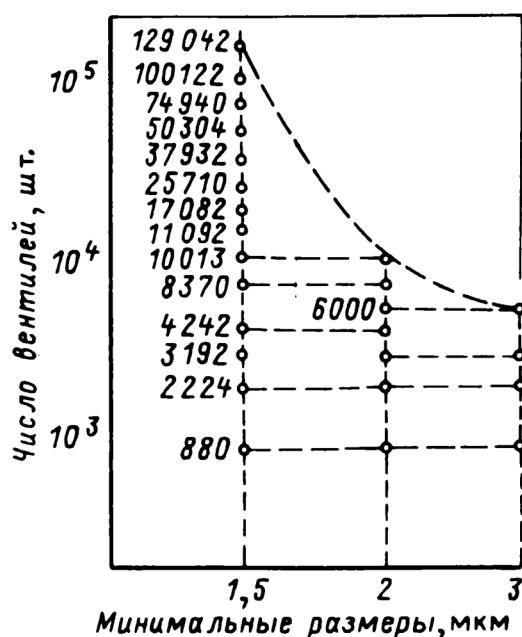


Рис. 1.5. Семейство КМОП БМК фирмы LSI Logic

правило, совпадают. Такое разнообразие БМК позволяет потребителю выбрать кристалл, позволяющий с максимальной эффективностью достичь требуемых параметров БИСМ, в том числе обеспечить наименьшую избыточность элементов.

Каждый БМК выпускается в нескольких разновидностях конструктивного исполнения, отличающихся типом и числом выводов корпуса. Так, например, БМК серии НСА 3000 фирмы Motorola выпускаются в корпусах с двухрядным и матричным расположением, в пластмассовых и керамических кристаллоносителях с числом выводов от 28 до 124 [10, 13].

В области организации разработок полужаказных БИС потребителю представляется широкий набор услуг, включающий в себя организацию региональных центров проектирования, где обеспечивается возможность обучения методике проектирования и предоставляются технические средства фирмы-поставщика для проектирования разрабатываемых БИСМ. Длительность обучения методике проектирования составляет 2–5 дней, время проектирования БИСМ – 4–8 недель. Опытные образцы поставляются потребителю через 4–6 недель [14].

Используемые при проектировании САПР можно разделить на две группы:

САПР, разработанные изготовителем БК и ориентированные на узкий круг выпускаемых ими изделий;

универсальные САПР, предназначенные для широкого класса БК, разрабатываемые и поставляемые на рынок фирмами, специализирующимися на разработке САПР.

Вопросы построения архитектуры САПР, методов автоматизации этапов проектирования, организации работ проектировщика достаточно подробно рассмотрены в [14–21].

1.5. ОРГАНИЗАЦИЯ РАЗРАБОТКИ БИСМ

1.5.1. Основные этапы разработки БИСМ

Цикл разработки БИСМ состоит из двух основных этапов:

создание метода проектирования БИСМ (или, иначе, этап разработки БМК);

разработка непосредственно БИСМ.

На этапе разработки БМК выполняются следующие виды работ:

разработка электрических схем БФЯ и их топологии;

разработка конструкции БЯ и БМК;

изготовление, исследование и испытания опытных образцов БМК.

Результатом разработки БМК является создание инструкции по проектированию, содержащей информацию, необходимую для проектирования БИСМ. Более подробно содержание типовой инструкции по проектированию будет рассмотрено ниже.

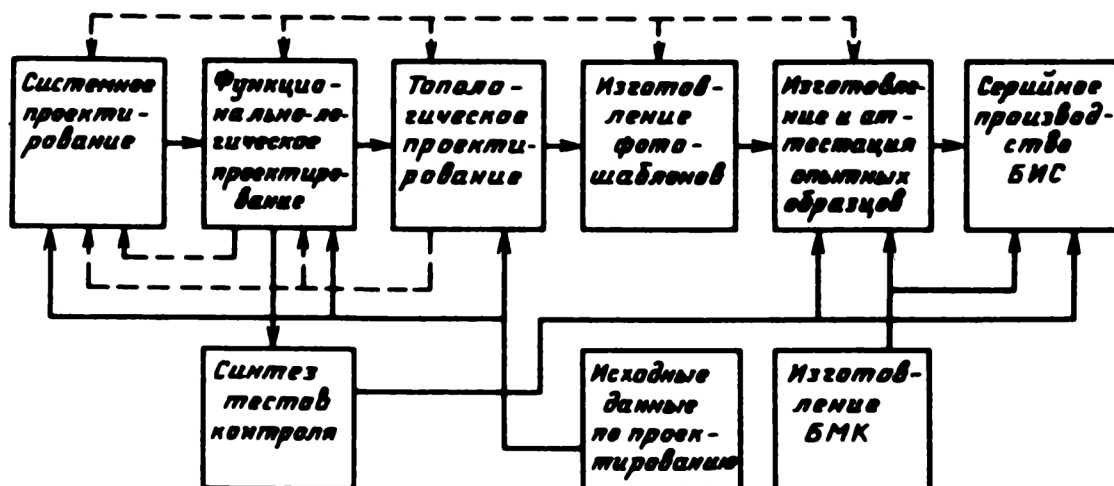


Рис. 1.6. Маршрут разработки БИСМ

Разработку БМК проводят предприятия – изготовители микросхем, имеющие большой опыт по созданию элементной базы. Заказчик на этом этапе участвует в разработке требований к функциональному составу БФЯ.

Разработка БИСМ включает в себя (рис. 1.6) :

- системное проектирование;
- синтез функциональной (электрической) схемы в терминах БФЯ;
- логическое моделирование;
- синтез тестов контроля (функционального, статического и динамического);
- разработку топологии межсоединений;
- машинный расчет электрических параметров и моделирование работоспособности с учетом реальной топологии межсоединений;
- верификацию проекта на соответствие исходной электрической схеме и конструктивно-технологическим ограничениям;
- изготовление фотошаблонов;
- изготовление, исследование и испытания опытных образцов.

При таком составе работ весь цикл разработки полужаказной микросхемы разбивается на два самостоятельных этапа: проектирование и изготовление и испытания опытных образцов, при этом этап проектирования имеет ряд характерных особенностей:

все проектные процедуры строго формализованы и выполняются по правилам, изложенным в инструкции по проектированию. Это, с одной стороны, лишает разработчиков некоторой свободы при выборе проектных решений, а с другой стороны, позволяет полнее автоматизировать наиболее трудоемкие этапы маршрута проектирования;

процесс проектирования имеет, как правило, итерационный характер, так как до завершения топологического проектирования нельзя

гарантировать возможность реализации заданной функциональной схемы на данном БМК. Кроме того, в процессе проектирования нередко возникает необходимость корректировки функциональной схемы и придания ей дополнительных функций.

Все сказанное выше и предопределило закрепленное на практике распределение обязанностей между заказчиками и изготовителями полужаказных микросхем, при котором:

заказчик проводит разработку функциональной (электрической) схемы, топологии межсоединений, тестов функционального контроля, а в отдельных случаях и программы функционально-параметрического контроля;

изготовитель осуществляет изготовление базового кристалла, проводит входной контроль проекта полужаказной микросхемы, изготавливает и испытывает опытные образцы.

В реальных условиях по взаимной договоренности возможны некоторые уточнения в распределении обязанностей между заказчиком и изготовителем, вплоть до того, что изготовитель осуществляет поставку несоммутированных пластин-полуфабрикатов, а все дальнейшие процедуры по проектированию и нанесению заключительной металлизации проводят заказчики, совмещая функции и заказчика, и изготовителя.

1.5.2. Инструкция по проектированию БИСМ

Одним из основных итогов этапа создания БМК является разработка инструкции по проектированию полужаказных микросхем. Такая инструкция должна содержать следующие обязательные разделы: общие положения, описание конструкции БМК, описание библиотеки функциональных ячеек БМК, правила проектирования полужаказных микросхем на БМК.

Дополнительно в состав инструкции могут быть включены разделы с описанием маршрута проектирования и рекомендаций по разработке измерительных программ контроля.

Описание БФЯ и рекомендации по разработке измерительных программ контроля могут быть выполнены в виде отдельных документов в качестве приложения к инструкции.

В разделе "Общие положения" указывается область распространения документа, приводятся принятые в документе термины и определения, а также список принятых сокращений.

В разделе "Описание конструкции БМК" приводятся общие данные, характеризующие БМК:

размер кристалла;

тип корпуса;

общее число базовых и периферийных ячеек на кристалле и их описание;

ТЕМА 5 Разработка топологии полупроводниковой ИМС

Основой для разработки топологии полупроводниковой ИМС являются электрическая схема, требования к электрическим параметрам и параметрам активных и пассивных элементов, конструктивно-технологические требования и ограничения.

Разработка чертежа топологии включает в себя такие этапы: выбор конструкции и расчет активных и пассивных элементов ИМС; размещение элементов на поверхности и в объеме подложки и создание рисунка разводки (коммутации) между элементами; разработку предварительного варианта топологии; оценку качества топологии и ее оптимизацию; разработку окончательного варианта топологии. Целью работы конструктора при разработке топологии является минимизация площади кристалла ИМС, минимизация суммарной длины разводки и числа пересечений в ней.

Конструктивно-технологические ограничения при разработке топологии ИМС на биполярных транзисторах зависят от электрофизических параметров структур и технологии.

Электрофизические характеристики и геометрические размеры вертикальной структуры элементов ИМС, формируемых по планарно-эпитаксиальной технологии, приведены в таблице 5.1.

Важнейшей технологической характеристикой, определяющей горизонтальные размеры областей транзисторов и других элементов ИМС, является минимальный геометрический размер, который может быть уверенно сформирован при заданном уровне технологии, например, минимальная ширина окна в окисле кремния, минимальная ширина проводника, минимальный зазор между проводниками, минимальное расстояние между краями эмиттерной и базовой областей и т. д. Пусть минимальный размер, который может обеспечить технология, равен d . Тогда размеры активных областей и самого транзистора при минимальной его площади определятся величинами, приведенными на рисунке 5.1. Зазор между областью, занимаемой транзистором, и другими элементами ИМС больше минимального размера d на величину боковой диффузии под окисел, которая при разделительной диффузии примерно равна толщине эпитаксиального слоя d_s . Таким образом, при минимальном размере 10 мкм минимальная длина транзистора простейшей конструкции будет равна ~ 130 мкм. При уровне технологии, характеризующемся минимальным размером 4 мкм, минимальная длина транзистора равна ~ 60 мкм. При минимальном размере 1,5 – 2 мкм, предельном для оптической фотолитографии, размер транзистора при $d_s = 3$ мкм составит ~ 28 мкм.

Приведенные рассуждения верны, если суммарная величина боковой диффузии при формировании базовой и эмиттерной областей существенно меньше d .

Таблица 5.1 – Параметры областей интегрального транзистора типа $n-p-n$

| Наименование области | Концентрация примеси N , см^{-3} | Толщина слоя d , мкм | Удельное объемное сопротивление материала ρ , Ом·см | Удельное поверхностное сопротивление слоя ρ_s , Ом/□ |
|---------------------------------|---|------------------------|--|---|
| Подложка p -типа | $1,5 \cdot 10^{15}$ | 200...400 | 10 | — |
| Скрытый n^+ -слой | — | 2,5...10 | — 0,15...5,0 | 10...30 |
| Коллекторная n -область | 10^{16} | 2,5...10 | — | — |
| Базовая p -область | $5 \cdot 10^{18}$ | 1,5...2,5 | — | 100...300 |
| Эмиттерная n^+ -область | 10^{21} | 0,5...2,0 | — | 2...15 |
| Изолирующая область | — | 3,5...12 | — | 6...10 |
| Пленка окисла кремния | — | 0,3...0,6 | $1,7 \cdot 10^{-6}$ | — |
| Металлическая пленка (алюминий) | — | 0,6...1,0 | | 0,06...0,1 |

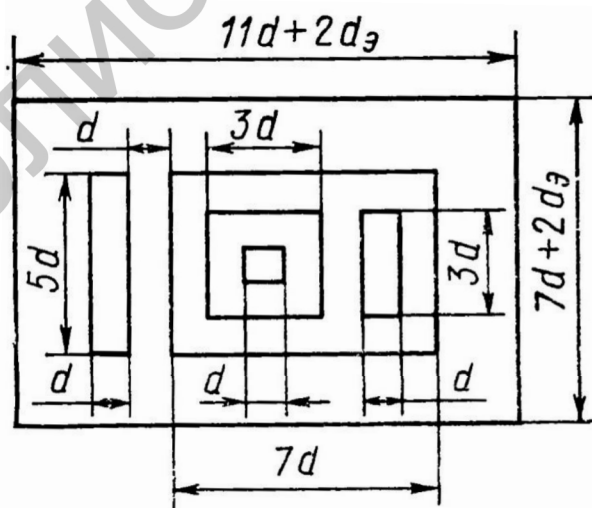


Рисунок 5.1 – Соотношение размеров областей транзистора со стандартным размером d

Если это условие не выполняется, то для минимально допустимого топологического зазора между двумя диффузионными областями справедливо соотношение

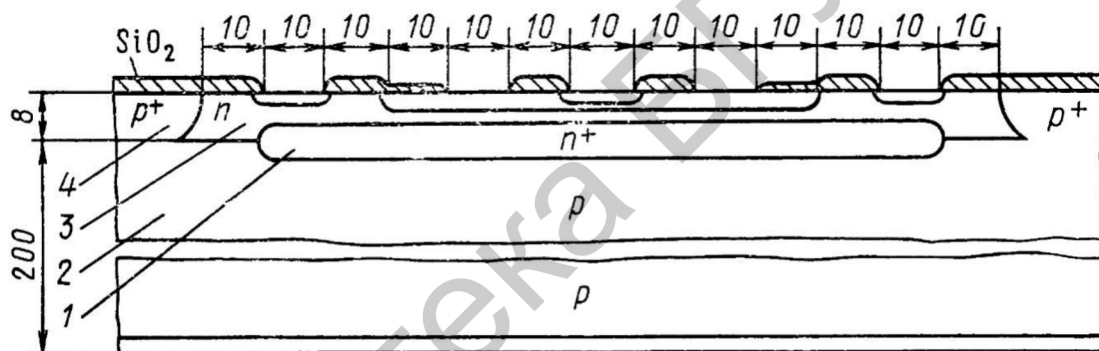
$$d_{\text{до}} \geq y_1 + y_2 + \delta_{\phi} + \omega_1, \quad (5.1)$$

где y_1 и y_2 – величины боковой диффузии под окисел;

δ_{ϕ} – суммарная допустимая ошибка в положении края окон под диффузию за счет фотолитографии;

ω_1 – максимальная ширина области объемного заряда в работающем приборе.

Приведенное неравенство можно не учитывать при $d = 10$ мкм (см., например, рисунок 5.2), но при $d \leq 5$ мкм с ним приходится считаться и снижение линейных размеров транзисторов с дальнейшим уменьшением d будет проходить уже не столь высокими темпами.



1 – скрытый n^+ -слой; 2 – подложка p -типа; 3 – коллектор (эпитаксиальный слой); 4 – область разделительной диффузии

Рисунок 5.2 – Вертикальная структура планарно-эпитаксиального биполярного транзистора с двумя выводами базы и кольцевым выводом коллектора, выполненная в масштабе (разводка не показана)

Конструктивно-технологические ограничения, которые необходимо учитывать при разработке топологии ИМС на биполярных транзисторах, приведены на рисунке 5.3. Приведем конструктивно-технологические ограничения при конструировании ИМС на биполярных транзисторах, выполненных по планарно-эпитаксиальной технологии с использованием изоляции p - n -переходом.

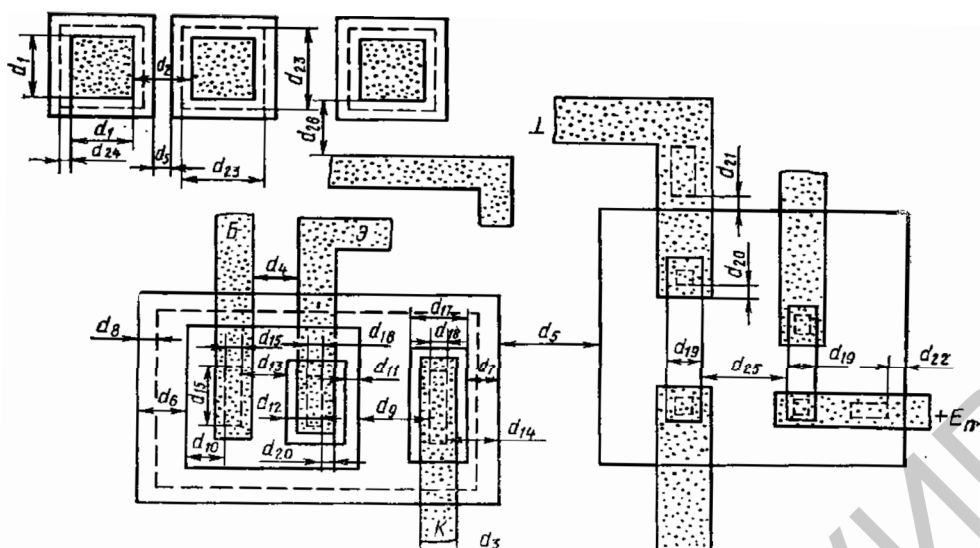


Рисунок 5.3 – Конструктивно-технологические ограничения при разработке топологии ИМС на биполярных транзисторах

Минимально допустимые размеры, мкм

| | |
|---|----------|
| Ширина линии скрайбирования слоя..... | 60 |
| Расстояние от центра скрайбирующей полосы до края слоя металлизации или до края диффузионной области..... | 50...100 |
| Размер контактных площадок для термокомпрессионной приварки проводников d_1 | 100x100 |
| Расстояние между контактными площадками d_2 | 70 |
| Размер контактных площадок тестовых элементов рабочей схемы...50x50 | |
| Ширина проводника d_3 : | |
| при длине ≤ 50 мкм..... | 4 |
| при длине ≥ 50 мкм..... | 5 |
| Расстояние между проводниками d_4 : | |
| при длине ≤ 50 мкм..... | 3 |
| при длине ≥ 50 мкм..... | 4 |
| Ширина области разделительной диффузии d_5 | 4 |
| Расстояние от базы до области разделительной диффузии d_6 | 10 |
| Расстояние между краем области подлегирования коллекторного контакта и краем разделительной области d_7 | 10 |
| Расстояние между краем разделительной области и краем скрытого n^+ -слоя d_8 | 10 |
| Расстояние между краем контактного окна в окисле к коллектору и краем базы d_9 | 7 |
| Расстояние между краем контактного окна в окисле к базе и краем базы d_{10} | 3 |
| Расстояние между эмиттерной и базовой областями d_{11} | 3 |
| Расстояние между краем контактного окна в окисле к эмиттеру и краем эмиттера d_{12} | 3 |
| Расстояние между контактным окном к базе и эмиттером d_{13} | 4 |

| | |
|--|-------------|
| Расстояние между базовыми областями, сформированными в одном коллекторе..... | 9 |
| Расстояние между эмиттерными областями, сформированными в одной базе..... | 6 |
| Расстояние между контактными окном к коллектору и областью разделительной диффузии d_{14} | 10 |
| Размеры контактного окна к базе d_{15} | 4x4 |
| Размеры контактного окна к эмиттеру d_{16} | 4x4 или 3x5 |
| Ширина области подлегирования n^+ -слоя в коллекторе d_{17} | 8 |
| Ширина контактного окна к коллектору d_{18} | 4 |
| Ширина резистора d_{19} | 5 |
| Размеры окна вскрытия в окисле..... | 2,5x2,5 |
| Перекрытие металлизацией контактных окон в окисле к элементам ИМС d_{20} | 2 |
| Расстояние от края контактного окна к p^+ -разделительным областям для подачи смещения до края области разделения d_{21} | 6 |
| Расстояние от края контактного окна к изолированным областям n -типа для подачи смещения до края области разделения d_{22} | 6 |
| Ширина диффузионной перемычки..... | 3 |
| Размер окна в пассивирующем окисле d_{23} | 100x100 |
| Расстояние от края окна в пассивации до края контактной площадки d_{24} | 6 |
| Расстояние между соседними резисторами d_{25} | 7 |
| Расстояние между диффузионными и ионно-легированными резисторами..... | 4 |
| Расстояние между контактной площадкой и проводящей дорожкой d_{26} | 20 |
| Ширина скрытого n^+ -слоя..... | 4 |
| Расстояние между контактными площадками тестовых элементов..... | 40 |

Следует обращать особое внимание на размеры топологических зазоров, так как при неоправданно малых их значениях ИМС или не будет функционировать из-за перекрытия областей структуры (например, базовой области и области разделительной диффузии), или будет иметь искаженные параметры за счет усиления паразитных связей между элементами. С другой стороны, завышение размеров топологических зазоров приводит к увеличению площади кристалла.

Правила проектирования топологии полупроводниковой ИМС

Разработка топологии ИМС – творческий процесс, и его результаты существенно зависят от индивидуальных способностей разработчика, его навыков и знаний. Сущность работы по созданию топологии ИМС сводится к нахождению такого оптимального варианта взаимного расположения элементов схемы, при котором обеспечиваются высокие показатели эффективности производства и качества ИМС: низкий уровень бракованных изделий, низкая стоимость, материалоемкость, высокая надежность, соответствие получаемых электрических параметров заданным. К разработке топологии приступают

после того, как количество, типы и геометрическая форма элементов ИМС определены.

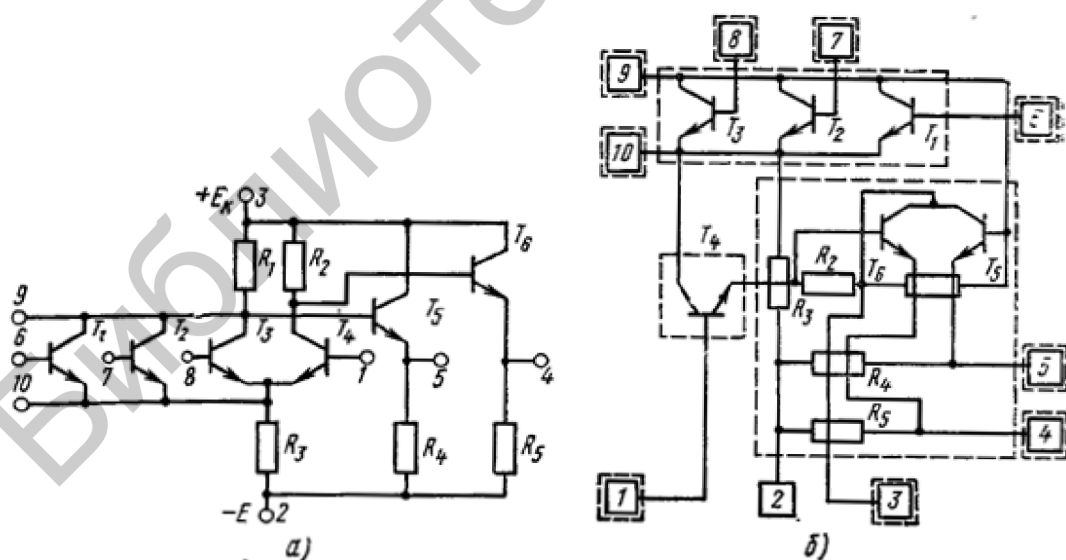
Правила проектирования изолированных областей

Количество и размеры изолированных областей оказывают существенное влияние на характеристики ИМС, поэтому:

1) суммарная площадь изолирующих p - n -переходов должна быть минимальной, так как их емкость является паразитной. Минимальные размеры изолированной области определяются геометрическими размерами находящихся в ней элементов и зазорами, которые необходимо выдерживать между краем изолированной области и элементами и между самими элементами, размещенными в одной изолированной области;

2) к изолирующим p - n -переходам всегда должно быть приложено напряжение обратного смещения, что практически осуществляется подсоединением подложки p -типа или области разделительной диффузии p -типа к точке схемы с наиболее отрицательным потенциалом. При этом суммарное обратное напряжение, приложенное к изолирующему p - n -переходу, не должно превышать напряжения пробоя;

3) диффузионные резисторы, формируемые на основе базового слоя, можно располагать в одной изолированной области, которая подключается к точке схемы с наибольшим положительным потенциалом. Обычно такой точкой является контактная площадка ИМС, на которую подается напряжение смещения от коллекторного источника питания (рисунок 5.4, а, б);



а — на токовых ключах; б — преобразованная электрическая схема для составления эскиза топологии

Рисунок 5.4 — Принципиальная и преобразованная электрическая схема цифровой ИМС

4) резисторы на основе эмиттерного и коллекторного слоев следует располагать в отдельных изолированных областях;

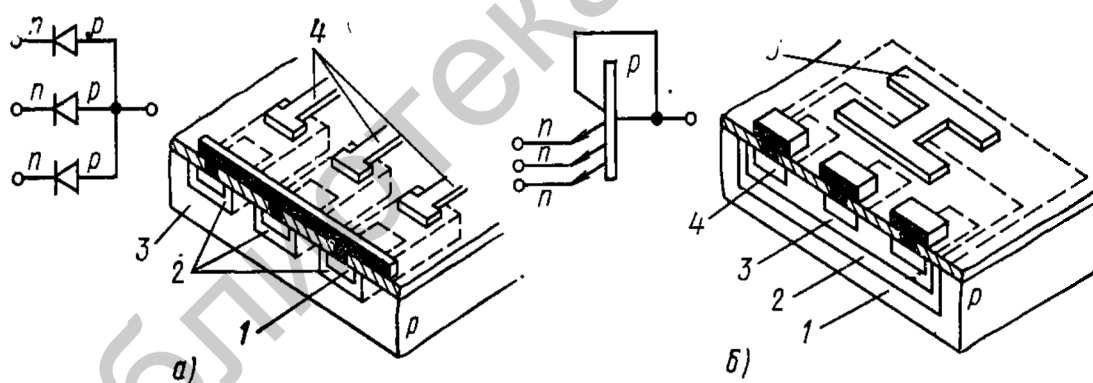
5) транзисторы типа $n-p-n$, коллекторы которых подсоединены непосредственно к источнику питания, целесообразно размещать в одной изолированной области вместе с резисторами;

6) транзисторы типа $n-p-n$, которые включены по схеме с общим коллектором, можно располагать в одной изолированной области;

7) все другие транзисторы, кроме упомянутых в пунктах 5 и 6, необходимо располагать в отдельных изолированных областях, т. е. все коллекторные области, имеющие различные потенциалы, должны быть изолированы;

8) для уменьшения паразитной емкости между контактными площадками и подложкой, а также для защиты от короткого замыкания в случае нарушения целостности пленки окисла под ними при приварке проволоочных выводов под каждой контактной площадкой создают изолированную область, за исключением контактных площадок с наиболее отрицательным потенциалом;

9) количество изолированных областей для диодов может сильно изменяться в зависимости от типа диодов и способов их включения. Если в качестве диодов используются переходы база – коллектор, то для каждого диода требуется отдельная изолированная область, так как каждый катод (коллекторная область n -типа) должен иметь отдельный вывод (рисунок 5.5, а).



а – на основе перехода Б–К (1 – базовые области p -типа; 2 – коллекторные области n -типа; 3 – подложка; 4 – коллекторные контакты); б – на основе перехода БК–Э (1 – подложка; 2 – коллекторная область n -типа; 3 – базовая область p -типа; 4 – эмиттерные области n -типа; 5 – перемычка коллектор-база)

Рисунок 5.5 – Принципиальные электрические схемы и конструкции трех диодов с общими анодами

Если в качестве диодов используются переходы эмиттер – база, то все диоды можно поместить в одной изолированной области. При этом все катоды диодов (эмиттерные области) сформированы отдельно в общем аноде (базовой

области, рисунок 5.5, б). Аноды диодов с помощью соединительной металлизации закорачивают на изолированную (коллекторную) область;

10) для диффузионных конденсаторов требуются отдельные изолированные области. Исключение составляют случаи, когда один из выводов конденсатора является общим с другой изолированной областью;

11) для диффузионных перемычек всегда требуются отдельные изолированные области.

Правила размещения элементов ИМС на площади кристалла

После определения количества изолированных областей приступают к их размещению в нужном порядке, размещению элементов, соединению элементов между собой и с контактными площадками, руководствуясь следующими правилами:

1) при размещении элементов ИМС и выполнении зазоров между ними необходимо строго выполнять ограничения (см. рисунок 5.3), соответствующие типовому технологическому процессу;

2) резисторы, у которых нужно точно выдерживать отношение номиналов, должны иметь одинаковую ширину и конфигурацию и располагаться рядом друг с другом. Это относится и к другим элементам ИМС, у которых требуется обеспечить точное соотношение их характеристик;

3) резисторы с большой мощностью не следует располагать вблизи активных элементов;

4) диффузионные резисторы можно пересекать проводящей дорожкой, поверх слоя окисла кремния, покрывающего резистор (см. рисунок 5.4, б);

5) форма и место расположения конденсаторов не являются критичными;

6) соединения, используемые для ввода питания, заземления, входной и выходной выводы, необходимо выполнять в виде широких и коротких полосок, что уменьшает паразитные сопротивления;

7) для улучшения развязки между изолированными областями контакт к подложке следует располагать рядом с мощным транзистором или как можно ближе к входу или выходу схемы;

8) число внешних выводов в схеме, а также порядок расположения и обозначения контактных площадок выводов ИМС на кристалле должны соответствовать выводам корпуса;

9) коммутация в ИМС должна иметь минимальное количество пересечений и минимальную длину проводящих дорожек. Если полностью избежать пересечений не удастся, их можно осуществить, используя обкладки конденсаторов, формируя дополнительные контакты к коллекторным областям транзисторов, применяя диффузионные перемычки и, наконец, создавая дополнительный слой изоляции между пересекающимися проводниками;

10) первую контактную площадку располагают в нижнем левом углу кристалла и отличают от остальных по ее положению относительно фигур совмещения или заранее оговоренных элементов топологии. Нумерацию

остальных контактных площадок проводят против часовой стрелки. Контактные площадки располагают в зависимости от типа выбранного корпуса по периметру кристалла или по двум противоположным его сторонам;

11) фигуры совмещения располагают одной-двумя группами на любом свободном месте кристалла;

12) при разработке аналоговых ИМС элементы входных дифференциальных каскадов должны иметь одинаковую топологию и быть одинаково ориентированными в плоскости кристалла; для уменьшения тепловой связи входные и выходные каскады должны быть максимально удалены; для уменьшения высокочастотной связи через подложку контакт к ней следует осуществлять в двух точках – вблизи входных и выходных каскадов.

Рекомендации по разработке эскиза топологии

На этапе эскизного проектирования топологии необходимо предусмотреть решение следующих задач: расположить как можно большее число резисторов в одной изолированной области; подать наибольший потенциал на изолированную область, где размещены резисторы; подать наиболее отрицательный потенциал на подложку вблизи мощного транзистора выходного каскада; рассредоточить элементы, на которых рассеиваются большие мощности; расположить элементы с наименьшими размерами и с наименьшими запасами на совмещение в центре эскиза топологии; сократить число изолированных областей и уменьшить периметр каждой изолированной области.

В случае если принципиальная электрическая схема содержит обособленные группы или периодически повторяющиеся группы элементов, объединенных в одно целое с точки зрения выполняемых ими функций, разработку рекомендуется начинать с составления эскизов топологии для отдельных групп элементов, затем объединить эти эскизы в один, соответствующий всей схеме.

На основе эскиза разрабатывают предварительный вариант топологии. Топологию проектируют в прямоугольной системе координат. Каждый элемент топологии представляет собой замкнутую фигуру со сторонами, состоящими из отрезков прямых линий, параллельных осям координат. Придание элементам форм в виде отрезков прямых линий, не параллельных осям координат, допустимо только в тех случаях, когда это приводит к значительному упрощению формы элемента. Например, если форма элемента состоит из ломаных прямых, составленных в виде «ступенек» с мелким шагом, рекомендуется заменить их одной прямой линией. Координаты всех точек, расположенных в вершинах углов ломаных линий, должны быть кратны шагу координатной сетки.

Действительный (на кристалле) размер шага координатной сетки зависит от выбранного масштаба топологии.

При вычерчивании общего вида топологии рекомендуется использовать линии разного цвета для различных слоев ИМС: эмиттерного – черный,

базового – красный, разделительного (коллекторного) – зеленый, вертикального – черный пунктирный, скрытого – зеленый пунктирный, металлизации – желтый, окна в окисле для контакта к элементам – синий пунктирный, окна в пассивирующем (защитном) окисле – синий сплошной.

В процессе вычерчивания топологии для получения оптимальной компоновки возможно изменение геометрии пассивных элементов, например, пропорциональное увеличение длины и ширины резисторов или их многократный изгиб, позволяющие провести над резистором полосы металлической разводки или получить более плотную упаковку элементов. При изменении формы пассивных элементов в процессе их размещения проводят корректировочные расчеты.

При проектировании слоя металлизации размеры контактных площадок и проводников следует брать минимально допустимыми, а расстояния между ними – максимально возможными.

После выбора расположения элементов и контактных площадок, создания рисунка разводки необходимо разместить на топологии фигуры совмещения, тестовые элементы (транзисторы, резисторы и т. д. – приборы, предназначенные для замера электрических параметров отдельных элементов схемы), реперные знаки. Фигуры совмещения могут иметь различную форму (чаще всего квадрат или крест), причем надо учесть, что на каждом фотошаблоне, кроме первого и последнего, имеются две фигуры, расположенные рядом друг с другом. Меньшая фигура предназначена для совмещения с предыдущей технологической операцией, а большая – с последующей. На первом фотошаблоне расположена только большая фигура, а на последнем – только меньшая.

При разработке топологии важно получить минимальную площадь кристалла ИМС. Это позволяет увеличить производительность, снизить материалоемкость и повысить выход годных ИМС, поскольку на одной полупроводниковой пластине можно разместить большее число кристаллов и уменьшить вероятность попадания дефектов, приходящихся на кристалл. При размерах стороны кристалла до 1 мм ее величину выбирают кратной 0,05 мм, а при размерах стороны кристалла 1–2 мм – кратной 0,1 мм.

Для любой принципиальной электрической схемы можно получить много приемлемых предварительных вариантов топологии, удовлетворяющих электрическим, технологическим и конструктивным требованиям. Любой предварительный вариант подлежит дальнейшей доработке.

Если после уплотненного размещения всех элементов на кристалле выбранного размера осталась незанятая площадь, рекомендуется перейти на меньший размер кристалла. Если этот переход невозможен, то незанятую площадь кристалла можно использовать для внесения в топологию изменений, направленных на снижение требований к технологии изготовления полупроводниковой ИМС. Например, можно увеличить размеры контактных площадок и расстояния между контактными площадками, ширину проводников

и расстояние между ними, по возможности выпрямить элементы разводки, резисторы, границы изолированных областей.

В заключение производят контрольно-проверочные расчеты полученной топологии микросхемы, включающие в себя оценку теплового режима и паразитных связей.

Проверка правильности разработки топологии ИМС

Последний из составленных и удовлетворяющий всем требованиям вариант топологии подвергают проверке в такой последовательности. Проверяют соответствие технологическим ограничениям: минимальных расстояний между элементами, принадлежащими одному и разным слоям ИМС; минимальных размеров элементов, принятых в данной технологии, и других технологических ограничений; наличие фигур совмещения для всех слоев ИМС; размеров контактных площадок для присоединения гибких выводов; расчетных размеров элементов их размерам на чертеже топологии; мощности рассеяния резисторов, максимально допустимой удельной мощности рассеяния ($P_0 = P/S \approx 10^3 \dots 10^4$ мВт/мм²), а также обеспечение возможности контроля характеристик элементов ИМС.

Разработка документации на комплект фотошаблонов для производства ИМС. Исходя из окончательного и проверочного варианта топологии ИМС выполняют чертежи слоев схемы, необходимые для создания комплекта фотошаблонов. Для ИМС со скрытым слоем и изоляцией элементов *p-n*-переходами, изготавливаемой по планарно-эпитаксиальной технологии, необходим комплект из семи фотошаблонов для проведения следующих фотолитографических операций: 1 – вскрытия окон в окисле под локальную диффузию донорной примеси при создании скрытых слоев перед операцией эпитаксии; 2 – вскрытия окон в окисле под разделительную диффузию акцепторной примеси при создании изолирующих областей; 3 – вскрытия окон в окисле под локальную диффузию акцепторной примеси при создании базовой области транзисторов и резисторов; 4 – вскрытия окон в окисле под локальную диффузию донорной примеси при создании эмиттерных областей транзисторов, резисторов, диффузионных перемычек и приконтактных областей в коллекторах транзисторов; 5 – вскрытия окон в окисле под контакты разводки к элементам ИМС; 6 – фотолитографии по пленке алюминия для создания рисунка разводки и контактных площадок; 7 – фотолитографии по пленке защитного диэлектрика для вскрытия окон к контактным площадкам ИМС.

Пример разработки топологии ИМС

На рисунке 5.6 а представлена принципиальная электрическая схема логического элемента И – НЕ диодно-транзисторной логики. Активными элементами схемы являются транзистор промежуточного каскада T_1 , транзистор выходного каскада T_2 , входные диоды $D_1 - D_4$, диод промежуточного каскада D_5 , пассивными элементами – резисторы $R_1 - R_4$.

После проверочного расчета схемы проводят расчет геометрических (топологических) размеров пассивных и активных элементов.

Для схемы на рисунке 5.6 а в качестве транзистора промежуточного каскада T_1 выбран из банка транзисторов одноэмиттерный однобазовый транзистор с полосковой контактной областью к коллектору. На основе структуры транзистора T_1 сформированы диод D_5 и тестовый транзистор (рисунок 5.6 в).

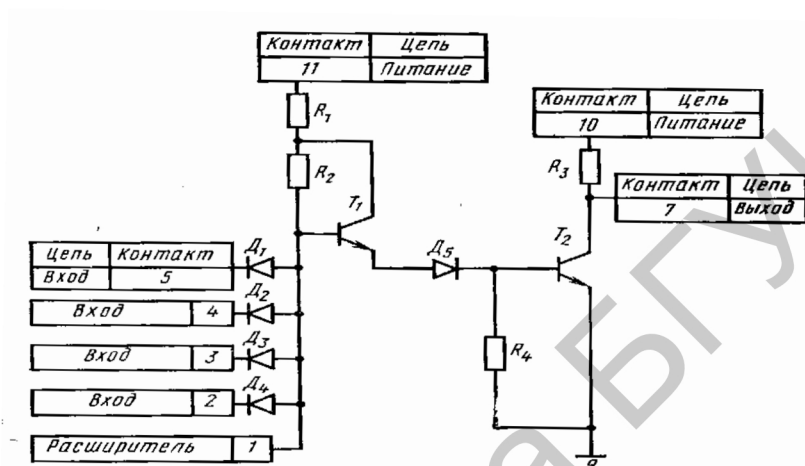


Рисунок 5.6 а – Принципиальная электрическая схема логического элемента И – НЕ

Транзистор выходного каскада T_2 является более мощным. В качестве этого транзистора выбран одноэмиттерный однобазовый транзистор с П-образной контактной областью к коллектору.

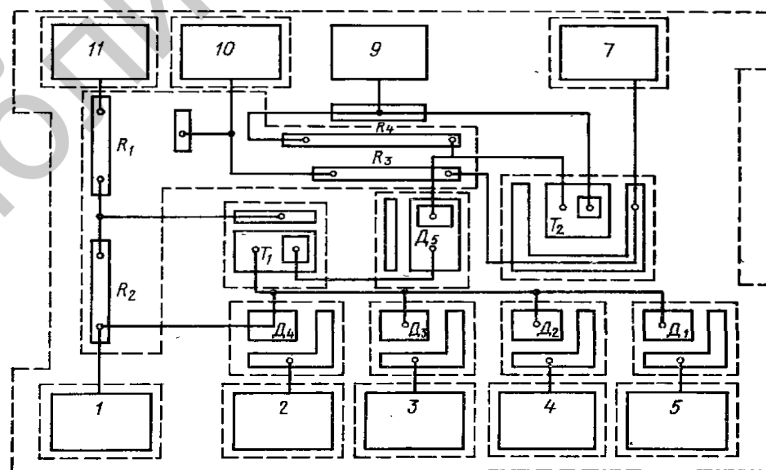


Рисунок 5.6 б – Эскиз топологии логического элемента И – НЕ

В качестве входных диодов D_1 – D_4 выбран диод на основе p - n -перехода база – коллектор транзисторной структуры. Диод промежуточного каскада D_5 выполняют на переходе эмиттер – база той же транзисторной структуры. Исходными данными для разработки эскиза топологии являются принципиальная электрическая схема, геометрические размеры активных элементов, геометрические размеры резисторов. Проектирование эскиза топологии (рисунок 5.6 б) рекомендуется начинать с какой-либо контактной площадки, затем последовательно переходить от одного элемента к другому, по возможности располагая элементы, соединенные между собой, в непосредственной близости друг от друга и учитывая требования к расположению контактных площадок. На рисунке 5.6 б показан первый вариант эскиза топологии логического элемента И – НЕ.

Окончательный вид топологии приведен на рисунке 5.6 в. На кристалле предусмотрен тестовый транзистор, предназначенный для контроля параметров транзисторов схемы. Он имеет такую же конфигурацию, что и транзистор T_1 . Контактные площадки тестового транзистора имеют форму, отличную от формы контактных площадок схемы.

Фигуры совмещения имеют форму квадратов. Запас на совмещение для квадратов составляет 5 мкм.

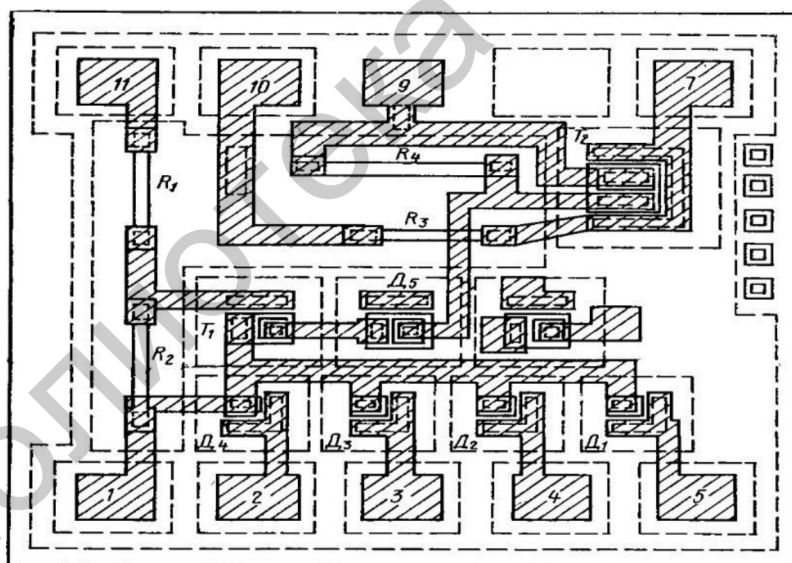


Рисунок 5.6 в – Топология логического элемента И – НЕ

Вариант топологии кристалла с четырьмя двухвходовыми инверторами приведен на рисунок 5.7. По оси симметрии кристалла расположены фигуры совмещения.

Оценку качества разработанной топологии производят по ранее изложенной методике.

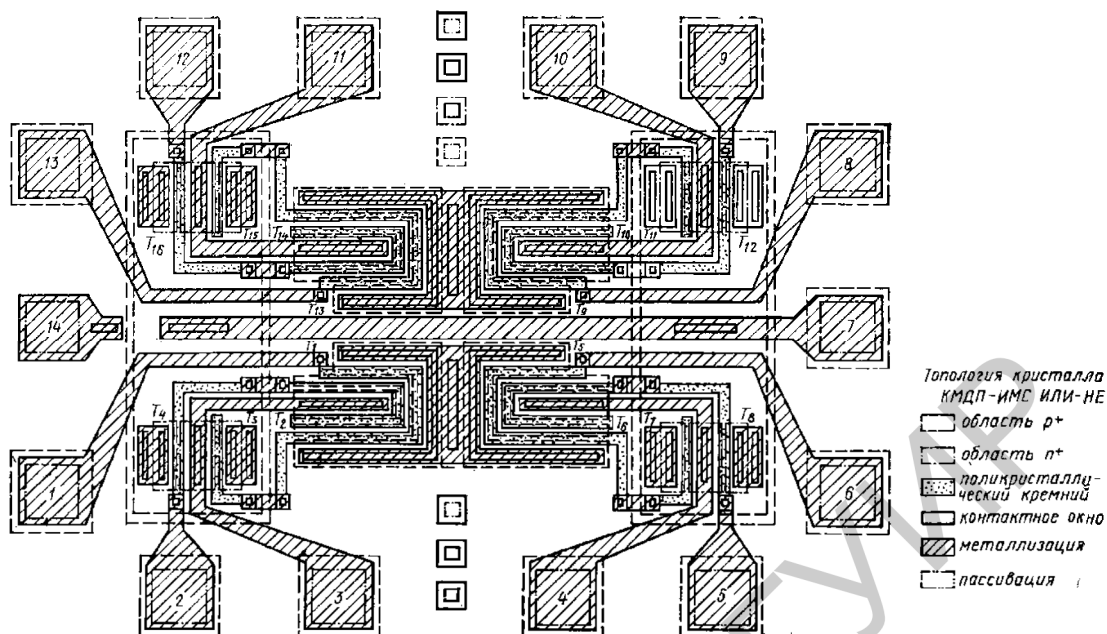


Рисунок 5.7 – Топология кристалла КМДП-ИМС или – НЕ

Самостоятельная работа студентов

1. Получить у преподавателя схему программно-управляемого электронного средства.
2. Провести анализ схемы и определить необходимые процедуры проектирования.
3. Используя средства автоматизированного проектирования, осуществить разработку топологии.

І.Т. Когут¹, А.О. Дружинін², В.І. Голота¹

Прикарпатський національний університет,

¹кафедра радіофізики і електроніки,

Національний університет “Львівська політехніка”,

² кафедра напівпровідникової електроніки

АРХІТЕКТУРА Й ЕЛЕМЕНТИ ІНТЕГРОВАНОЇ МІКРОСИСТЕМИ НА БАЗОВОМУ МАТРИЧНОМУ КРИСТАЛІ З КНІ-СТРУКТУРОЮ

© Когут І.Т., Дружинін А.О., Голота В.І., 2009

I.T. Kogut, A.O. Druzhinin, V.I. Holota

ARCHITECTURE AND ELEMENTS OF INTEGRATED MICROSYSTEM ON THE SPECIALIZED BASE MATRIX CHIP WITH THE SILICON-ON-INSULATOR STRUCTURE

© Kogut I.T., Druzhinin A.A., Holota V.I., 2009

Запропоновано архітектуру спеціалізованого базового матричного кристала (БМК) зі структурою “кремній-на-ізоляторі” (КНІ) для побудови сенсорних мікросистем з монолітною інтеграцією чутливих елементів і схем обробки інформації. Розроблено набори бібліотечних елементів для побудови цифрових та аналогових схем оброблення інформації, уніфіковано чутливі елементи, конструктивно-технологічну основу для проектування сенсорних мікросистем з локальними планарними і тривимірними структурами “кремній-на-ізоляторі” (КНІ).

In this paper the architecture of the specialized base matrix chip (BMC) on the silicon-on-insulator (SOI) structures for creation a sensory microsystem with monolithic integration of sensitive elements and data procesing elements are propoused. The library elements for development of digital, analog cirquits and standartized sensitive elements as well as the structural and technological base for sensory microsystem design on the local planar and 3D SOI-structures is created.

Вступ

Під час створення інтегрованих мікросистем-на-кристалі, зокрема сенсорних, які об'єднують на одному або декількох кристалах приладні елементи мікроелектроніки, оптики, мікроелектроніки та інших суміжних науково-прикладних областей, актуальними є проблеми як гібридної, так і монолітної інтеграції чутливих елементів зі схемами обробки та перетворення первинної інформації на одному кристалі, уніфіковані підходи та елементна база для створення багатофункціональних сенсорних мікросистем, обробки інформації, проектування та виготовлення їх у стислі терміни, перехід на нові технології і матеріали для розширення інженерних можливостей конструювання та розширення сфер застосування, зокрема для екстремальних умов експлуатації, включаючи створення можливостей обробки інформації безпосередньо в умовах її отримання. На розв'язання цих завдань і була спрямована ця робота.

Архітектура базового матричного кристала для мікросистемного використання

Для часткового розв'язання таких завдань розроблено спеціалізований, а саме – для побудови інтегрованих мікросистем базовий матричний кристал (БМК) на основі комплементарних метал-окисел-напівпровідник (КМОН-структур) з конструктивно-технологічною базою кремній-на-ізоляторі (КНІ). Загальну архітектуру кристала показано на рис. 1.

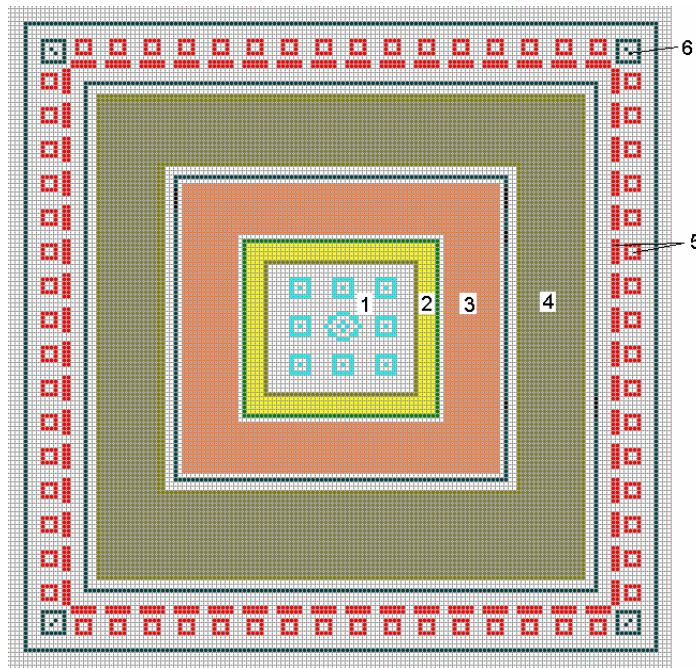


Рис. 1. Архітектура спеціалізованого КНІ КМОН БМК для інтегрованих мікросистем:
 1 – чутливі сенсорні елементи; 2 – інтегральні радіокомпоненти і з'єднання; 3 – бібліотечні аналогові елементи; 4 – бібліотечні цифрові елементи; 5 – буферні каскади і контактні площадки; 6 – тестові елементи, знаки суміщення і технологічного контролю

БМК містить декілька рівнів базових елементів, топологічно розташованих від центра кристала до периферії. В центральній частині кристала розташовані сенсорні елементи на основі уніфікованих чутливих елементів (ЧЕ) ємнісно-резистивного типу, монолітно інтегрованих зі схемою первинного перетворення інформації і частотним виходом інформаційного сигналу. Окрім того чутливі елементи мають регульовану чутливість. По периметру ЧЕ розташовані інтегральні радіокомпоненти (інтегральні набори бібліотечних резисторних і конденсаторних елементів, індуктивностей) і ліній зв'язку, реалізованих в шарах КНІ-структури, затворного полікремнію і шарів металізації.

Наступними рівнями, які також топологічно розташовані по периметру попередніх, є аналогові, цифрові бібліотечні елементи і буферні вхідні/вихідні формувачі сигналів із зовнішніми контактними площадками для монтажу кристала в корпус, а також тестові елементи технологічного контролю зі знаками суміщення та пошаровими ноніусними шкалами їх контролю.

Частини матриці БМК для аналогових і цифрових елементів мають окремі, розв'язані між собою шини в шарах металізації, – “аналогова” і “цифрова земля”, живлення аналогових і цифрових схем.

Постійними шарами для усіх типів елементів БМК є шари, які утворюють КНІ-структури і шар затворного полікремнію, а програмованими – два шари металізації, шар контактів і шар з'єднань між першим та другим шарами металізації. Шари металізації мають постійні шини “живлення” і “землі”, і топологічно-змінні для реалізації розробником конкретного виконання необхідних схем цифрової та аналогової обробки інформації і з'єднань із чутливими елементами [1].

Така архітектура БМК може бути використана для побудови мікросистем як з монолітною, так і гібридною інтеграцією інших кристалів з окремими чутливими елементами, або окремих кристалів, які містять частини чутливих елементів і утворюють їх в сукупності із базовим кристалом. Наприклад, частина ємнісного чутливого елемента у вигляді мембрани або рухомого елемента акселерометра формується на одному кристалі, а його доповнювальна частина, інтегрована зі схемою обробки первинної інформації на основному БМК.

Запропонована мікросистема на КНІ КМОН БМК з використовуватиметься для чутливих елементів з малою ємнісною навантажувальною здатністю, коли традиційне під'єднання стандартних схем обробки, елементів друкованих плат і провідників становитимуть ємнісні навантаження, що істотно перевищують навантажувальну здатність чутливих елементів.

Окрім того, таку систему можна використовувати як інструментарій для дослідження характеристик і параметрів приладних елементів, які можна створювати на пасивуючій окисній плівці, сформованій над областю чутливих елементів в центрі кристала за іншою, некремнієвою технологією виготовлення, наприклад, із плівок CdTe, для яких є невідпрацьовані інтегральні технології виготовлення приладних структур. При цьому схеми обробки і виводу первинної інформації будуть реалізовані на аналогових і цифрових бібліотечних елементах БМК.

Конструктивно-технологічна база інтегрованої мікросистеми й структури приладних елементів

Традиційно для створення елементів інтегральних схем зі структурою КНІ використовують суцільні по всій поверхні пластини КНІ-плівки, які виготовлять за технологіями (SIMOX, ELTRAN, SmartCut, Unibond) [2]. Проте з точки зору конструювання елементної бази сенсорних мікросистем на-кристалі істотно кращі можливості відкриваються з використанням вихідних тривимірних КНІ-архітектур.

Конструктивно-технологічною базою для проектування елементів сенсорної мікросистеми на кристалі є розроблені технології формування локальних тривимірних, локальних планарних КНІ-структур, а також об'ємний кремній. У результаті проведеного комп'ютерного моделювання технології локальних тривимірних КНІ-структур отримані режими і параметри процесів їх виготовлення з використанням базових промислових КМОН-технологічних процесів: фотолітографії, селективного плазмохімічного ізотропного та анізотропного травлень, маскування, локального окислення, створення під поверхнею пластини герметизованих мікропорожнин і каналів. Базова приладна КНІ МОН-структура, яку формують в результаті запропонованої технології, зображена на рис. 2 [4].

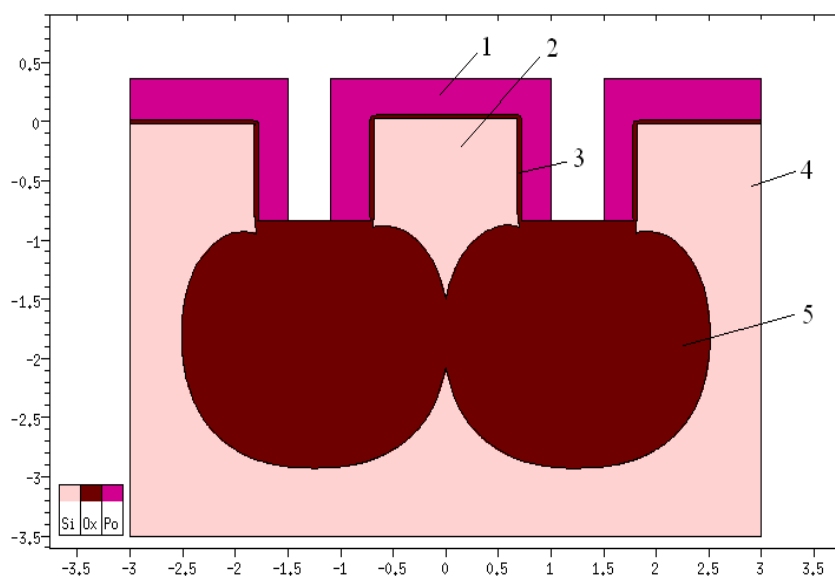


Рис. 2. Локальна тривимірна МОН-структура КНІ-структури:

1 – полікремнієвий затвор; 2 – локальна тривимірна КНІ-структура, яка утворює каналну область транзистора; 3 – підзатворний діелектрик; 4 – кремнієва пластина КДБ-40 з кристаліграфічною орієнтацією поверхні (100); 5 – область локального термічно-окисненого кремнію

На основі цієї базової технології розроблені і досліджені характеристики елементів приладних структур для використання у спеціалізованому (БМК), зокрема, автоемісійні кремнієві мікрокатоди зі схемами керування на основі КНІ МОН-транзисторів [3], діоди Шотткі та ключовий елемент на їх основі з тривимірною архітектурою [5], тривимірні контакти до стік – витокових областей КНІ МОН-транзисторів та міжшарових з'єднань [6], чутливий елемент акселерометра, технологія формування герметизованих мікропорожнин та каналів під поверхнею пластини, яка є сумісною та інтегрується із базовою.

На рис. 3 зображені фінішні операції результатів моделювання розробленої технології формування герметизованих мікропорожнин під поверхнею кремнієвої пластини з використанням нітридних п'єдесталів для осаджуваних плівок (а) і на основі окислення вертикальних стінок і поверхні порожнин (б). Запропоновані технології формування герметизованих мікропорожнин відкривають можливості створення на їх основі елементів оптоелектроніки, інтегральних резонаторів, елементів мікролаборій-на-кристалі.

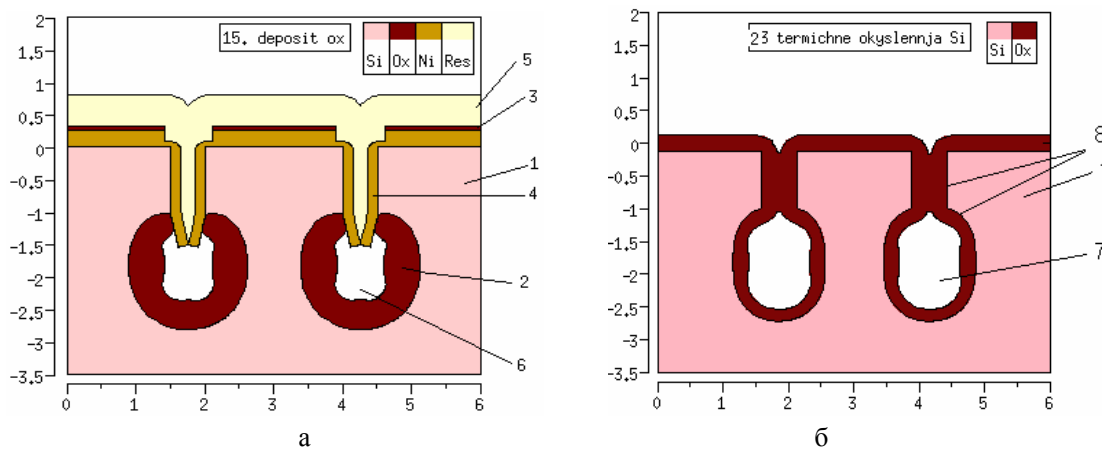


Рис. 3. Поперечні перетини герметизованих мікропорожнин під поверхнею кремнієвої пластини: 1 – кремнієва пластинка КДБ-40 з кристаліграфічною орієнтацією поверхні (100); 2 – локально вирощений термічний окисел кремнію на поверхні порожнини; 3 – осаджений піролітичний окисел на поверхню кремнієвої пластини і щілини; 4 – плівка нітриду кремнію після повторного осадження сумарною товщиною 0,25 мкм на поверхні пластини і 0,15 мкм – на вертикальних стінках щілин; 5 – осаджений шар полікремнію на поверхні кремнієвої пластини і щілини; 6, 7 – герметизована порожнина (або мікроканал) у кремнієвій пластині; 8 – термічний окисел на поверхнях щілини і порожнини

На рис. 4 показані результати приладно-технологічного моделювання тривимірних елементів діодів Шотткі і ключових елементів на їх основі. На вертикальних і горизонтальних шкалах вказані розміри у мікрометрах [5].

Такі структури мають достатньо прості конструкції, їх топологія є компактною, а при використанні як ключових елементів, електрод 3 виконує функцію, аналогічну до бази в біполярному транзисторі. Проте на відміну від нього його здатність накопичення носіїв в тілі бази порівняно із стандартним біполярним транзистором є набагато меншою, що істотно покращує часові характеристики перемикання [5].

Використовуючи базову технологію формування локальних тривимірних КНІ-структур за сумісними з нею технологіями можна створювати рухомі і нерухомі конструктивні елементи, наприклад, диференційні конденсатори, автоемісійні кремнієві мікрокатоди для високочутливих акселерометрів. Незначна зміна положення в межах десятків часток мікрометра, одного елемента акселерометра стосовно іншого викликає істотні зміни автоемісійного струму (рис. 5).

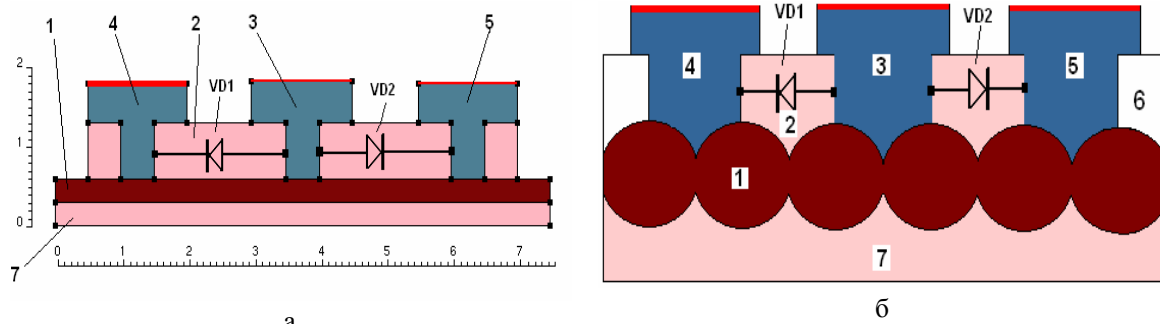
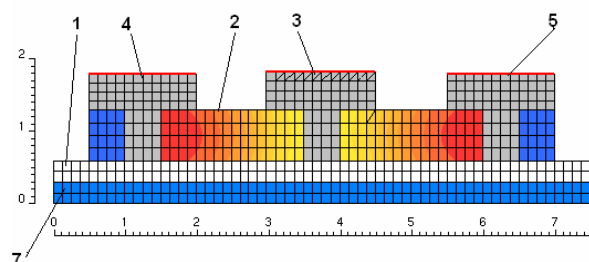


Рис. 4. Тривимірні КНІ-структури діодів Шотткі:

а – на основі локальних планарних; б – на основі локальних тривимірних;
в – результат моделювання концентраційних профілів легуючої домішки для структур, зображених на рис. 4, а: 1 – шар SiO_2 в КНІ-структурі; 2 – Si шар в КНІ-структурі; 3 – електрод, який утворює латеральний діод Шотткі з кремнієм КНІ-структури; 4, 5 – катоди діода Шотткі; 6 – ізоляційна область; 7 – кремнієва пластинка



в

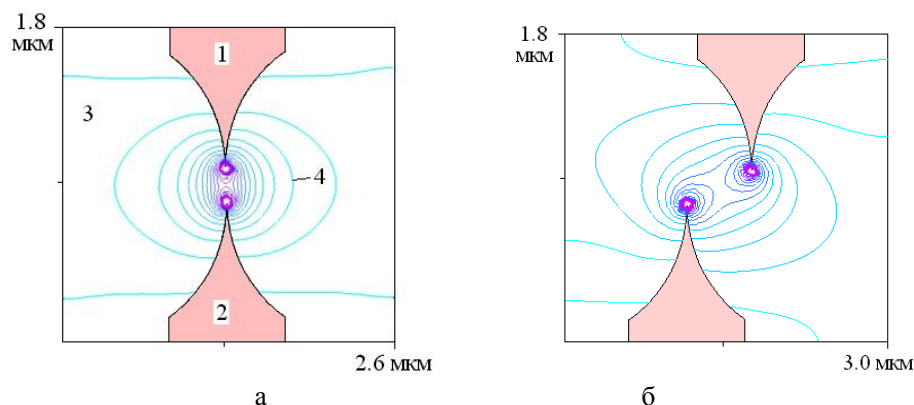


Рис. 5. Переріз високочутливого елемента інтегрального акселерометра:

а – елемент; 1 – рухомий елемент, 2 – нерухомий елемент (підкладка);
3 – вакуумна порожнина; 4 – лінії електричного поля; б – зміщений рухомий елемент

При зміщенні рухомого елемента зменшується напруженість електричного поля у вакуумній порожнині і струм автоемісії, який реєструється вимірювальним приладом. За різниці потенціалів 1000 В між елементами 1 і 2, радіуса кривизни вістря лезоподібного мікрокатода 5 нм, розраховані значення напруженості електричного поля, автоемісійного струму за заданих зміщеннях рухомого елемента наведені у таблиці.

Струм автоемісії під час зміщення рухомого елемента

| Зміщення, мкм | Напруженість поля, В/см | Струм автоемісії, А |
|---------------|-------------------------|----------------------|
| 0 | $4,7 \times 10^7$ | $1,5 \times 10^{-6}$ |
| 0,2 | $4,2 \times 10^7$ | $3,2 \times 10^{-7}$ |
| 0,4 | $3,8 \times 10^7$ | $7,2 \times 10^{-8}$ |

Як бачимо з таблиці, при зміщенні в горизонтальній площині рухомого електрода 1 стосовно нерухомого електрода 2 на 0,2 мкм автоемісійний струм зменшується в 5 разів, що свідчить про високу чутливість такого типу пристрою. При розрахунках приймався тиск залишкових газів вакуумної порожнини 10^{-5} – 10^{-10} Па, радіус заокруглення вістрь кремнієвих електродів – 5 нм і їх легування фосфором з концентрацією 10^{19} см⁻³.

Конструктивно–технологічна і монолітна інтеграція цього типу емісійних мікрокатодів із негерметизованими мікропорожнинками відкриває додаткові можливості для створення перспективних іонних систем охолодження як для окремих приладних елементів, так і усього кристала.

Комп'ютерне моделювання технології формування КНІ МОН-транзисторів із заземленою підканальною областю і базова комірка БМК

Істотним недоліком частково-збіднених *n*-канальних КНІ МОН-транзисторів є наявність плаваючого заряду, який утворюється в результаті ударної генерації носіїв в області стоку транзистора за певних значень стокової напруги, накопичується в підканальній області і спричиняє стрибки струму на вихідних характеристиках (“кінк”-ефект). Усунути цей ефект можна, використовуючи повністю збіднені КНІ МОН-транзистори із надтонкими КНІ-плівками. Проте технологія їх отримання є достатньо складною і нестабільною. Альтернативним методом є використання заземленої, з’єднаної з підкладкою, підканальної області КНІ МОН-транзистора, яка запобігає накопиченню плаваючого заряду і усуває “кінк”-ефект. При цьому оптимальними конструкціями КНІ МОН-транзисторів є і такі, в яких з’єднання КНІ-плівки із підкладкою є одночасно і конструктивним, і технологічним елементом, наприклад, як зародок в технології отримання КНІ-структур методами мікрорезонної лазерної рекристалізації.

Фінішні результати моделювання технології виготовлення КНІ МОН-транзистора із заземленою областю плаваючого просторового заряду із вихідною КНІ-пластиною (легування В: 1×10^{17} см⁻³, товщиною шару Si – 350 нм і товщиною шару SiO₂ – 400 нм), дози легування і розподіл концентрацій домішок показано на рис. 6.

Іншим недоліком частково-збіднених *n*-канальних КНІ МОН-транзисторів є нерівномірність порогових напруг і густини стокових струмів по ширині каналу транзистора. Особливо це стосується 3В КНІ МОН-транзисторів, де нерівномірності порогових напруг і густини стокових струмів відбуваються на кутових ділянках, як зображено на рис. 7, а. Для усунення цього недоліку розроблено 3В КНІ МОН-транзистор із затвором напівциліндричної форми, як показано на рис. 7, б. Така форма затвора формує рівномірний збіднений шар в каналній області транзистора.

Розроблена базова комірка БМК складається із діелектрично-ізольованих 3-х *p*- і 3-х *n*-канальних та 1-го *p*- і 1-го *n*-канального КНІ МОН-транзисторів, які симетрично мультипліковані в полі матриці КНІ БМК. Така конфігурація і топологія дають змогу з високою ефективністю використовувати площу, проектувати як цифрові, так і аналогові схеми для обробки інформації від чутливих елементів. При цьому симетричність топології базової комірки БМК дає змогу досягти оптимальної узгодженості, що є важливою умовою проектування аналогових бібліотечних елементів. Така комірка є повністю придатною для топологічного проектування як цифрових, так і аналогових бібліотечних елементів і їх компактного тиражування в полі матриці БМК. Особливістю комірки є те, що її можна будувати за базовою топологією як для планарних, так і тривимірних КНІ-структур, при цьому з використанням локальних тривимірних структур можливе проектування за принципом “комірка в комірниці”, використовуючи тривимірні матричні або одиничні КНІ КМОН-транзисторні структури, що розширює можливості схемотехнічної реалізації елементів. Проектування топології БМК проведено згідно із розробленими нормами та правилами (рис. 8) і адаптованими до міжнародної системи MOSIS.

Параметр лямбда дорівнює половині роздільної здатності технології виготовлення. Особливістю топології кристала є те, що контакти до стік-витоків областей і затворів КНІ МОН-транзисторів здійснюють першим шаром контактних вікон і металізації, а другим шаром контактних вікон і другим

шаром металізації реалізують комутаційні з'єднання між шарами металізації. Створення контактів із другого шару металізації до стік-витокових областей транзисторів не допускається.

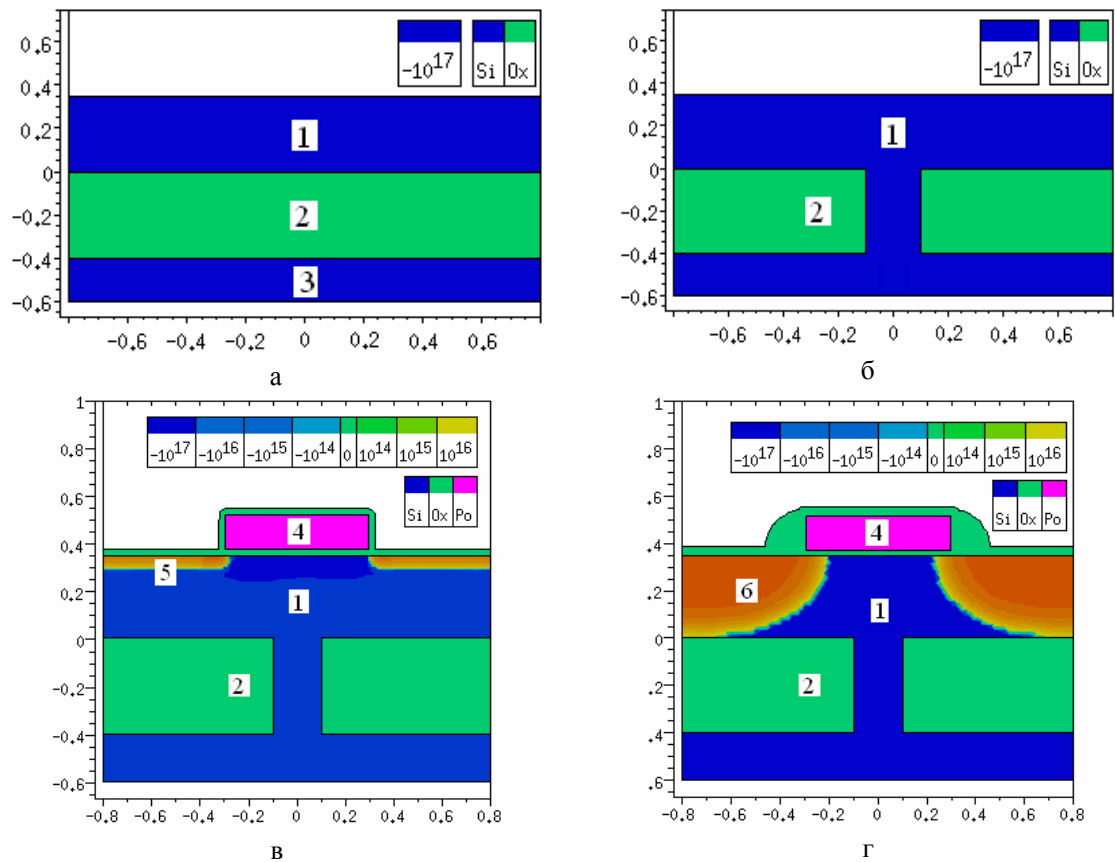


Рис. 6. Основні операції технології виготовлення КНІ МОН-транзистора із заземленою областю плаваючого просторового заряду:

а – вихідна КНІ-пластина; б – контакт між КНІ-шаром і підкладкою; в – мілка імплантація і дифузія в області витоків і стоків; г – глибока імплантація і дифузія в області витоків і стоків;
 1 – полікристалічний Si; 2 – заглиблений шар SiO_2 ; 3 – підкладка; 4 – полікремнієвий заслон;
 5 – імплантація $P:1 \times 10^{16}$ з енергією 5 KeV; 6 – імплантація $P:1 \times 10^{16}$ з енергією 60 KeV

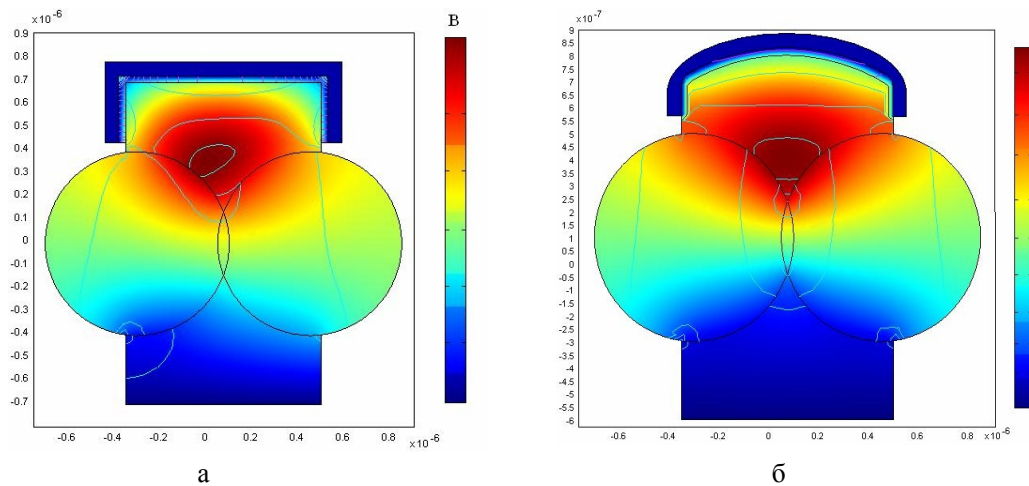


Рис. 7. КНІ МОН-транзистори із затворами різної форми

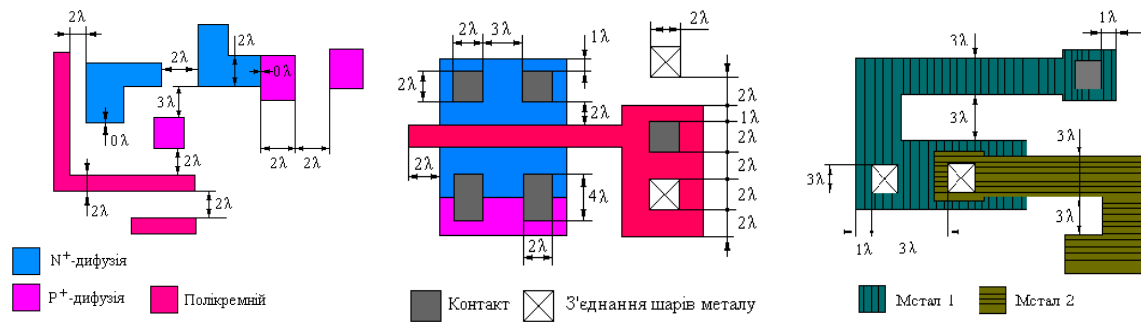


Рис. 8. Базові проектні норми і правила проектування топології КНІ КМОН БМК

За основу для розробки комірки спеціалізованого КНІ КМОН були вибрані типові комірки БМК зі стандартними КМОН-технологіями (рис. 9) і експериментального КНІ КМОН БМК [7] з електричною ізоляцією елементів між собою. Суть принципу електричної ізоляції полягає у підключенні затворів транзисторів, топологічно розташованих зліва і справа, і найближче розташованих до активних і задіяних в заданій схемі до шин живлення для p -канальних транзисторів і відповідно до земляної шини для n -канальних транзисторів. Такий тип ізоляції вимагає додаткової кількості транзисторів, і, як наслідок, додаткової площі на кристалі і не відзначається високою стабільністю, особливо для екстремальних умов експлуатації. Тому використання сенсорних мікросистем в таких умовах вимагає надійнішої ізоляції за максимальної густини розташування елементів на кристалі, а також розширення комутаційних можливостей. На рис. 6 зображено типову комірку КМОН БМК з електричною ізоляцією елементів і приклад реалізації на ній бібліотечного елемента “I-HE”, який містить 4 активні транзистори і 2 ізоляційні.

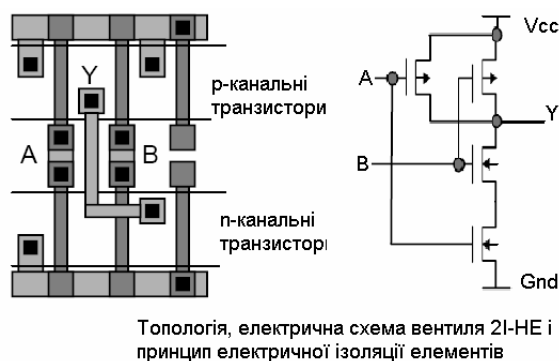


Рис. 9. Типова комірка БМК з електричною ізоляцією елементів з реалізованою на ній схемою бібліотечного елемента 2I-HE

У розробленій комірці використано діелектричну ізоляцію елементів, що робить її ефективнішою з погляду використання площі кристала, відкриваються додаткові можливості комутації за рахунок використання незадіяних транзисторних елементів для комутаційних шин і розводки замість ізоляційних. Результати моделювання бібліотечних елементів за високих температур показують кращі характеристики надійності і стабільності. На рис. 10, а зображено схематичну топологію розробленої комірки поля матриці КНІ КМОН БМК з діелектричною ізоляцією елементів і можливостей комутації, на рис. 10, б – приклади топологічної реалізації елементів ЗАБО-HE і інвертора, на рис. 10, в – їх електричні схеми.

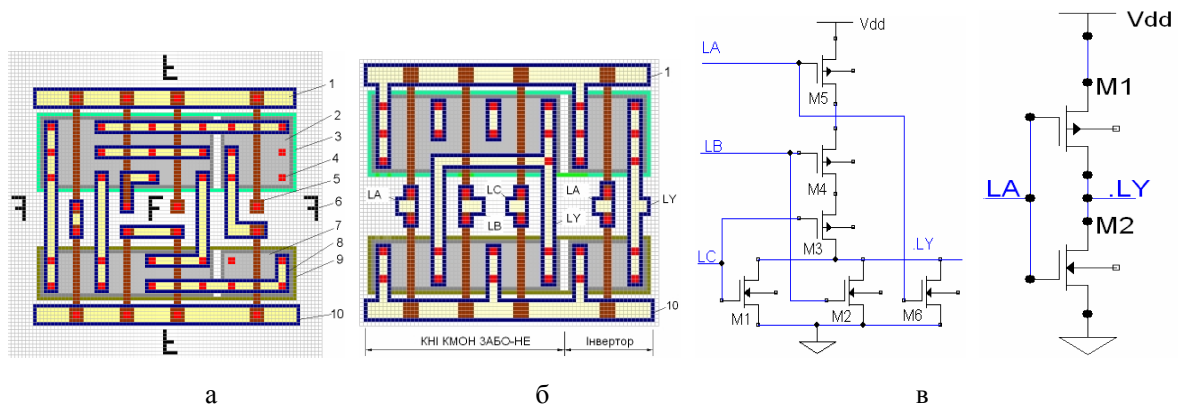


Рис. 10. Схематична топологія комірки БМК і можливість комутації елементів (а), топологія логічного елемента ЗАБО-НЕ та інвертора (б), і їх електричні схеми (в):

1 – шина живлення, 2 – стік-витоків області p -каналних КНІ-транзисторів; 3 – контакт області легування p -каналних транзисторів (маска при легуванні області n -типу); 4 – контакт до стік-витоків області n -типу; 5 – полікремнієві затвори; 6 – елемент орієнтації при мультиплікуванні комірки в матрицю; 7 – стік-витоків області n -каналних транзисторів; 8 – металеві шини; 9 – контакт області легування n -каналних транзисторів (маска при легуванні області p -типу); 10 – шина землі; LA, LB, LC – вхідні виводи; LY – вихідний вивід

Розроблена комірка є придатною для мультиплікування в матрицю БМК. Напрями орієнтації комірок за їх мультиплікування зображено положенням символу **F**. При мультиплікуванні комірок їх шини живлення і землі топологічно з'єднуються в шини живлення і землі матриці БМК. На основі цієї комірки розроблено бібліотеку базових логічних тригерних елементів, аналогових елементів та вхідних/вихідних буферних каскадів з оптимізованими структурами контактних площадок, які мають розвинені мікрорельєфні поверхні та зменшені паразитні ємності. Результати моделювання залежностей затримок перемикання розроблених елементів показують, що їх часові характеристики в середньому на 30–40 % є кращими порівняно з аналогічними елементами зі стандартними об'ємними КМОН-структурами з однаковими розмірами транзисторів.

Висновки

Запропоновано архітектуру, конструктивно-технологічну базу з локальними тривимірними КНІ-структурами і елементами на цій основі для побудови інтегрованих мікросистем на основі КМОН базового матричного кристала. Особливістю архітектури спеціалізованого КНІ КМОН БМК для мікросистемних використання на основі тривимірних КНІ-структур є те, що від центра до периферії послідовно розміщені сенсорні елементи, елементи зв'язку, аналогові елементи, цифрові елементи і вихідні формувачі сигналів. Розроблено і проведено комп'ютерне моделювання сумісних технологій формування локальних тривимірних КНІ-структур процесами сучасних КМОН-технологій. Наведено результати моделювання приладних елементів з тривимірними КНІ-структурами. На основі запропонованого БМК, за аналогією з ІС, можуть бути в короткі терміни спроектовані різні типи мікросистем і створені їх серії.

1. Когут І.Т. Концепція побудови інтегрованих мікросистем на основі КМОН БМК зі структурними кремній-на-ізоляторі // Тези XI Міжнар. конф. "Фізика і технологія тонких плівок і наносистем", 7–12 травня 2007 р. – Івано-Франківськ. – С. 215–216. 2. Colinge J.P. *Silicon-On-Insulator Technology: Materials to VLSI*, Kluwer Academic Publishers, 1997. 3. Druzhynin A.O., Holota V.I., Kogut I.T., Sapon S.V., Khoverko Yu.M. *The Device-Technological Simulation of The Field-Emission Micro-Cathodes Based on Three-Dimensional SOI-Structures* // *Electrochemical Society Trans.* – 2008. – Vol. 14(1). – P. 569–581. 4. Пат. на корисну модель № 34277 UA. Спосіб формування локальних тривимірних КНІ-структур / І.Т. Когут, В.І. Голота, А.О. Дружинін, С.В. Сапон. – Опубл.

27.10.08, Бюл. № 20. – 2008. – 14 с. 5. Пат. на корисну модель № 29698 UA. Ключовий елемент на діодах Шотткі зі структурою “кремній-на-ізоляторі” / І.Т. Когут, В.І. Голота, А.О. Дружинін. – Опубл. 25.01.2008, Бюл. № 2. – 2008. – 10 с. 6. Пат. на корисну модель № 29701 UA. Контакт в інтегральних пристроях зі структурою “кремній-на-ізоляторі” / І.Т. Когут, В.І. Голота, А.О. Дружинін. – Опубл. 25.01.2008, Бюл. № 2. – 2008. – 10 с. 7. Когут І.Т. Конструктивно-технологічні властивості КМОН КНІ БМК з мікрозонною лазерною рекристалізацією полікремнію // Вісн. Держ. ун-ту “Львівська політехніка”. – 1999. – № 362: Елементи теорії та пристрої твердотільної електроніки. – С. 25–30.

УДК 621.315.592

О.І. Логуш¹, В.А. Павлиш²

Національний університет “Львівська політехніка”,

¹кафедра напівпровідникової електроніки,

²кафедра електронних засобів, інформаційно-комп’ютерних технологій

СТАБІЛІЗАЦІЯ ПАРАМЕТРІВ МООН-СТРУКТУР ПРИ ГЕТЕРУВАННІ ДЕФЕКТІВ КРЕМНІЄВОЇ ПІДКЛАДКИ ЦИНКОМ

© Логуш О.І., Павлиш В.А., 2009

O.I. Logush, V.A. Pavlysh

MOS-STRUCTURE PARAMETERS STABILIZATION BY SILICON SUBSTRATE DEFECTS GETTERING WITH ZINC

© Logush O.I., Pavlysh V.A., 2009

Наведено результати експериментальних досліджень впливу гетерування цинком на суцільність плівок SiO_2 . Показано, що введення цинку в парогазове середовище за термічного окислення кремнію приводить до покращання суцільності плівок. Експериментально підтверджена модель процесу гетерування тримірних дефектів плівок термічного діоксиду кремнію, яка полягає у зниженні рухливості дислокацій приповерхневої області кремнієвих пластин і зменшення внаслідок цього локальних напружень плівок в процесі росту.

The results of experimental investigations of zinc gettering influence on uniformity of SiO_2 films and parameters of MOS-structures as a whole are shown. It was demonstrated that adding of zinc into vapor during silicon thermal oxidation results in improvement of films uniformity. The model of gettering process of 3D-defects in thermal silicon dioxide films, which consists in decreasing of dislocation mobility in silicon wafer surface region thus leading to decreasing of local film stresses during growth process, is experimentally approved.

Вступ

У сучасних напівпровідникових пристроях, розміри активних областей яких становлять частки мкм, істотну роль відіграє структурна досконалість області кремнієвої підкладки, що прилягає до межі розділу, і усіх наступних нарослених шарів монокристалічного кремнію і аморфного діелектрика, які становлять активну область пристрою. Кожен високотемпературний процес приводить до утворення, розмноження і анігіляції точкових, лінійних та об’ємних дефектів, які негативно впливають на

В.В. Довгий, І.Т. Когут, В.І. Голота

Розробка і моделювання елементів аналітичної мікросистеми-на-кристалі зі структурами “кремній-на-ізоляторі”

Прикарпатський національний університет імені Василя Стефаника, вул. Шевченка, 57,
Івано-Франківськ, 76000, Україна, e-mail: igorkohut2202@gmail.com

В роботі наведено результати розроблення архітектури, проектування топології аналітичної мікросистеми-на-кристалі зі структурою «кремній-на-ізоляторі» (КНІ) та схематопологічному моделюванню її елементів для визначення їх електричних і часових характеристик.

Ключові слова: аналітична мікросистема-на-кристалі, структура «кремній-на-ізоляторі», базовий матричний кристал, кільцевий генератор.

Стаття поступила до редакції; прийнята до друку 15.03.2016.

Вступ

Сучасний розвиток науки і техніки постійно потребує високого рівня інформаційних систем для виробництва, екології, медицини, космічної техніки тощо. З розробкою і розвитком мікро- і наноелектронних технологій, сенсорних пристроїв на їх основі, дослідженням нових некремнієвих технологій і можливостей їх інтеграції у кремнієві приладні структури, важливим є проведення досліджень зі створення і використання мікросистем-на-кристалі (МнК), як інструментарію для аналізу нових інтегральних елементів, в тому числі з некремнієвими технологіями або інших фізичних об'єктів з мікро- або нанометровими розмірами безпосередньо в складі МнК. Це обумовлено тим, що отримання інформації від таких мікро- і нанооб'єктів підключенням через зонди та зовнішні провідники може спричиняти спотворення первинної інформації унаслідок їх паразитних властивостей. Тому видається доцільним проводити дослідження таких елементів безпосередньо в складі мікросистеми-на-кристалі, яку можна вважати аналітичною, і у якій можна було б отримувати первинну інформацію підключенням безпосередньо до інтегральних елементів з мікро- і нанометровими топологічними розмірами з її первинною обробкою і перетворенням. Така аналітична мікросистема-на-кристалі виконуватиме функції обробки сигналів від досліджуваних об'єктів з подальшою передачею оброблених і підсилених сигналів на вимірювальний або комп'ютеризований пристрій [1].

У реалізації цієї ідеї не менш важливим є необхідність розробки якомога більш універсальної архітектури такої аналітичної мікросистеми, що дало б змогу на її основі у короткі терміни створювати серії спеціалізованих аналітичних МнК. Одним із методів проектування таких систем, зокрема схем первинного опрацювання інформації та зовнішніх інтерфейсних зв'язків як МнК так і «технологічної площадки», покладено відомий метод проектування замовних інтегральних схем (ІС) за аналогією базових матричних кристалів (БМК).

Конструктивно-технологічною базою для створення таких систем-на-кристалі можуть бути стандартні промислові КМОН-технології виготовлення ІС. Проте аналіз існуючих КМОН технологій показує, що найбільш перспективними в цьому плані видаються структури «кремній-на-ізоляторі», які завдяки своїм переважачим властивостям щодо електричних та температурних характеристик, стійкості до зовнішніх впливів, є суттєво кращими порівняно з відомими на об'ємному кремнії.

Окрім того, КНІ-структури мають суттєві переваги як конструктивний матеріал для створення нових приладних елементів, в тому числі, як і з новими тривимірними конструкціями, так і можливостями інтеграції з герметизованими або негерметизованими мікропорожнинними під поверхнею кремнієвої пластини [2]. Це відкриває додаткові перспективи створення нових інтегрованих приладних структур і дозволяє розширити функціональні можливості аналітичних мікросистем-

на-кристалі та сфери їх застосування.

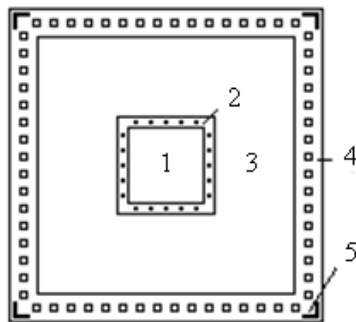
Для створення приладних елементів на основі КНІ-структур, необхідні дані про результати досліджень взаємовпливу параметрів елементів у пристроях, методів їх отримання на електричні, часові, температурні та інші характеристики.

Аналіз літературних даних показує, що вітчизняні дослідження щодо розробок і використання аналітичних мікросистем-на-кристалі проводяться в недостатньому обсязі.

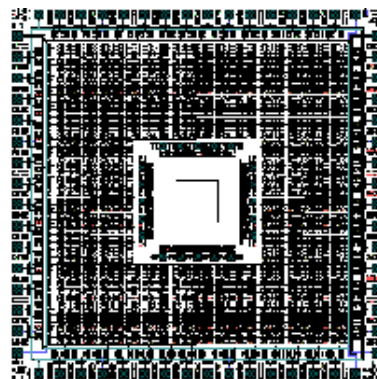
I. Архітектури та топології аналітичної мікросистеми на кристалі

Розроблена структура та топологія аналітичної мікросистеми зображена на рис. 1.

В центральній частині розробленого кристалу міститься «технологічна площадка», із зовнішніми, розміщеними по її периферії, матричними комірками активних та пасивних елементів, на основі яких використовуючи програмовані шари із 2-ох металізацій і 2-ох шарів контактів, можна реалізувати потрібні схеми зв'язку. Також в цьому блоці розміщені контакти для зондового контролю і спеціальні тести для контролю технології виготовлення самого кристалу. Наступним блоком є поле матриці КНІ КМОН-транзисторів, що побудоване по аналогії з БМК для реалізації аналогових і цифрових схем первинного опрацювання інформації від досліджуваних об'єктів. По периметру кристалу розміщено спеціальні

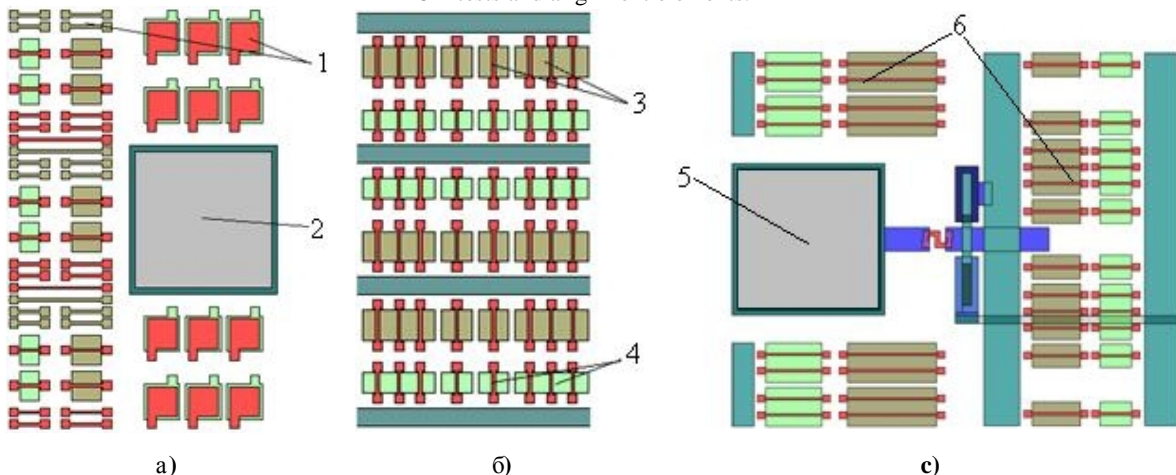


a)



б)

Fig. 1. Structure (a), and general view of the analytical microsystem-on-chip layouts (b):
1 – «technological area»; 2 – active/passive communication elements and contacts for probe measurements; 3 – CMOS transistors matrix on SOI structures for implementation of analog and digital circuits initial information processing; 4 – input/output cascades and contact pads;
5 – tests and alignment elements.



a)

б)

c)

Fig. 2. Functional units layouts of the analytical microsystem-on-chip: a) active and passive communication elements (1), the inner pad (2); b) CMOS transistors matrix: p - channels (3) and n - channels (4) SOI transistors; c) external pad (5) and matrix cells for the input / output buffer cascades designing (6).

матричні комірки для реалізації буферних схем зв'язку із зовнішніми вимірювальними або комп'ютеризованими пристроями, зовнішні контактні площадки, тестові елементи та знаки суміщення.

На рис. 2 зображено також фрагменти топології матричної частини, що спроектована на основі розробленої оптимізованої комірки, входні/вихідні каскади та контактні площадки.

«Технологічна площадка» призначена для розміщення на ній чутливих елементів та для дослідження характеристик інтегральних

собою півку оксиду кремнію, під поверхнею можна створювати тривимірні елементи, конструктивно суміщені з герметизованими та негерметизованими мікропорожнинами. Іншими варіантами застосування можуть бути: гібридна інтеграція сенсорних елементів мембранного типу, в якому «технологічна площадка» є складовою частиною сенсорів; інтеграція досліджуваних ІС та MEMS елементів методом перевернутого кристалу. Топологія «технологічної площадки» та варіанти її використання показано на рис. 3 [3].

Важливим є те, що дослідження можуть бути

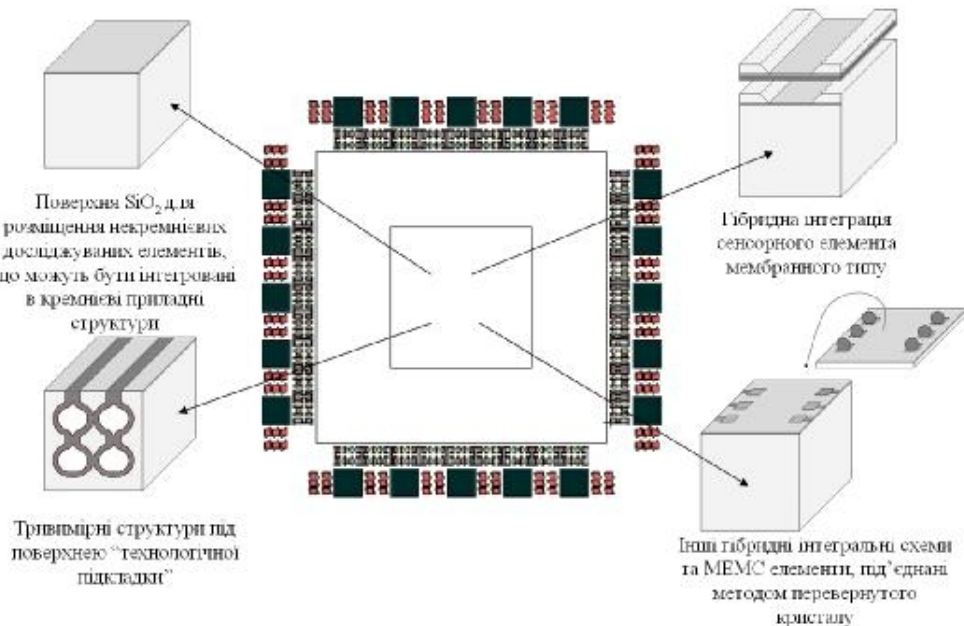


Fig. 3. General view of the «technological area» layouts and some possibilities of using.

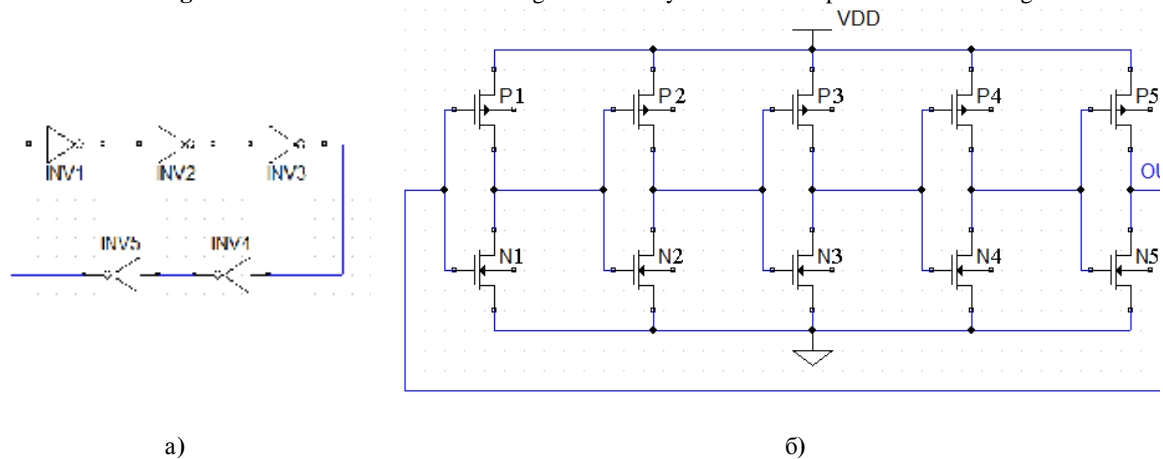


Fig. 4. The block (a) and electrical (b) ring oscillator circuit consisting of five inverters.

некремнієвих елементів. Також передбачено виводи з полікремнію для спрощення підключення досліджуваних елементів, а також для зменшення впливів паразитних ефектів, наприклад, ємності між шаром металізації та КНІ півковою. Залежно від мети використання, технологічну площадку можна формувати як спеціалізовану. Наприклад, для дослідження некремнієвих елементів, вона являє

проведені безпосередньо за допомогою мікросистеми, що дозволяє отримати більш достовірні результати, оскільки усуваються паразитні ефекти, властиві аналітичним макросистемам, такі як опір провідників, їх індуктивності, ємності та ін.

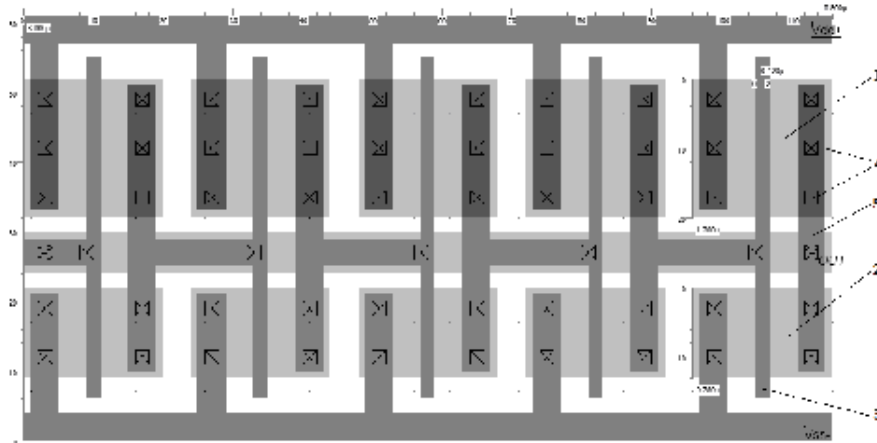


Fig. 5. Specialized ring oscillator layouts: 1 - source-drain area of p-channel MOS transistors; 2 – source-drain area of n - channel MOS transistors; 3 - polysilicon gates p- and n-channel MOS transistors; 4 - contacts; 5 - switching connection in metallization layer.

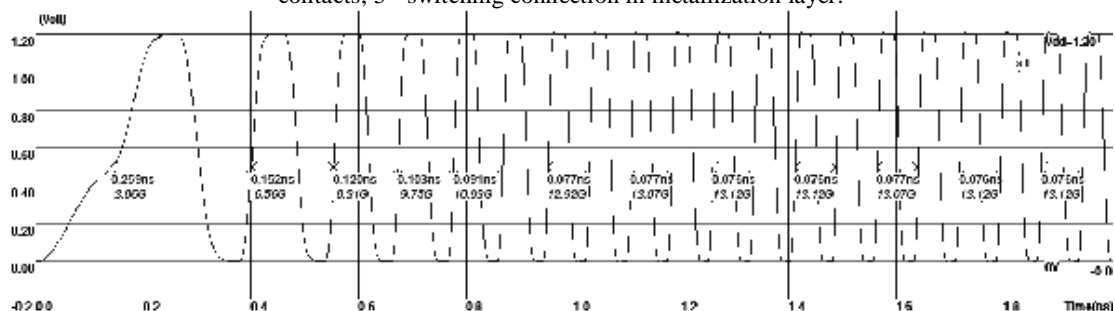


Fig. 6. Simulation results of the ring oscillator based on the bulk CMOS structure

II. Проектування топології та схемотопологічне моделювання кільцевого генератора

Як джерело тактового сигналу для інтегральних схем і систем-на-кристалі використовуються генератори імпульсів, зокрема кільцевий генератор, що являє собою простий коливальний контур, робота якого ґрунтується на основі затримки перемикання між входом і виходом інвертора. Окрім цього, кільцеві генератори є добрим об'єктом для оцінки параметрів елементної бази з новими і малодослідженими технологіями. В роботі проведено схемотопологічне моделювання кільцевого генератора, що складається з непарної кількості інверторів (в даному випадку п'яťох). Такий генератор не потребує зовнішніх часозадаючих схем, частота його коливальності залежить від кількості венти́лів і їх часу затримки [4].

Структурна та електрична схеми кільцевого генератора, що складається з п'яťох з'єднаних між собою інверторів зображено на рис. 4, а) і б).

Для дослідження характеристик кільцевого генератора безпосередньо із топології відповідно до схеми рис. 4, було розроблено спеціалізовану топологію з використанням об'ємних КМОН

транзисторів, та топологію на основі розробленої комірки базового матричного кристалу з структурою КНІ з Спеціалізовану топологію кільцевого генератора, розроблену на основі об'ємної технології КМОН, зображено на рис. 5.

Ширини каналів для всіх р-канальних транзисторів становлять 1,2 мкм, n-канальних транзисторів – 0,78 мкм, довжини каналів всіх транзисторів є однаковими і становлять 0,12 мкм.

Результати схемо-топологічного моделювання кільцевого генератора відповідно до топології рис. 5 при напрузі живлення 1,2 В зображено на рис. 6.

Робоча частота досліджуваного генератора становить близько 13,1 ГГц, а його споживана потужність – 364 мкВт.

Топологію кільцевого генератора зі структурою КНІ на основі розробленої матричної комірки та його тривимірне представлення зображено на рис. 7 [5].

Позначення на даній топології аналогічні топології рис. 5. Результати схемо-топологічного моделювання цієї структури при напрузі живлення 1,2 В зображено на рис. 8.

Частота генерації у цьому випадку становить 19,6 ГГц. Збільшення частоти при одній і тій же напрузі живлення для кільцевого генератора в другому випадку відбувається через зменшену паразитну ємність в КНІ КМОН елементах. Шляхом зміни напруги живлення було встановлено, що

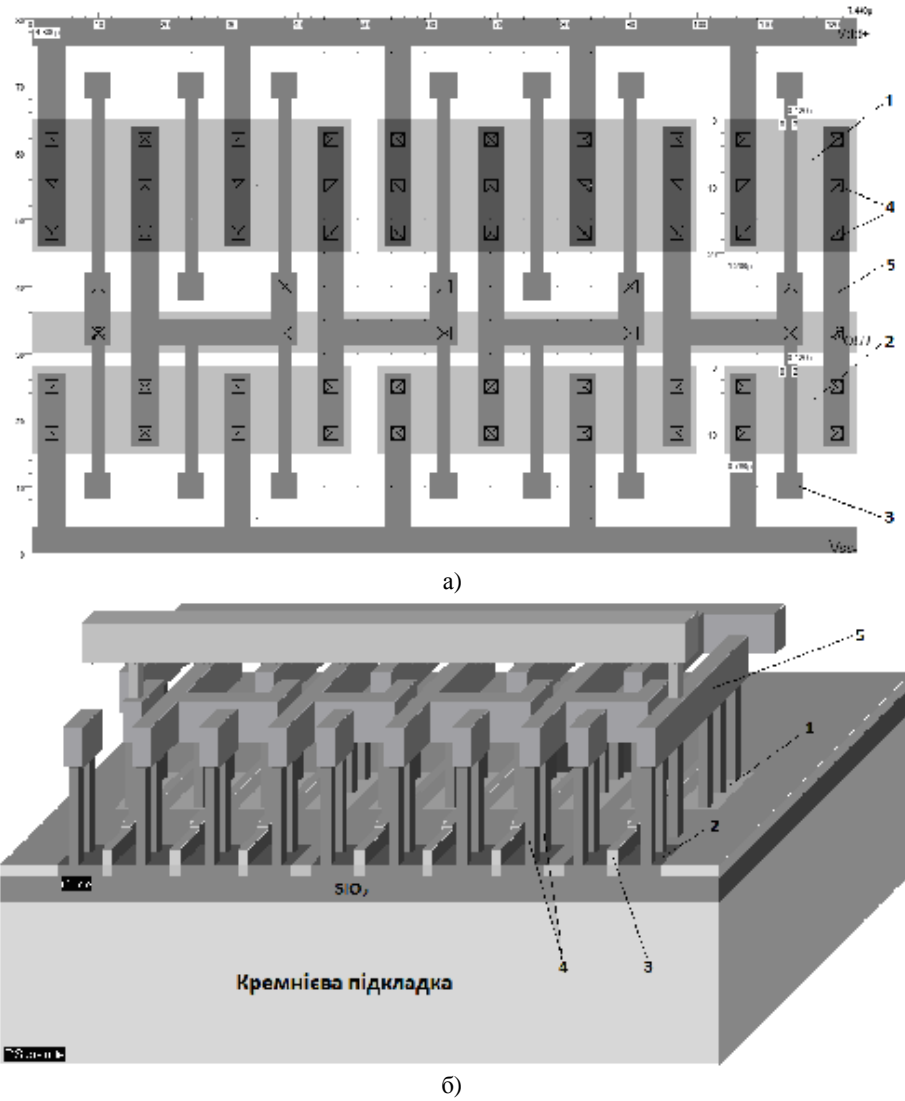


Fig. 7. Ring oscillator based on matrix cell with SOI-structures: a) layouts; b) 3D view.

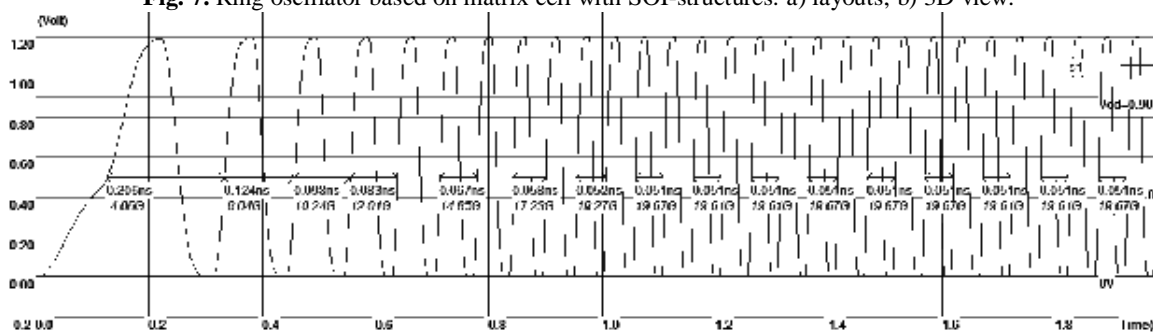


Рис. 8. Результати схемо-топологічного моделювання кільцевого генератора на основі матричної комірки структурою КНІ.

частота 13,1 ГГц, що властива для кільцевого генератора, спроектованого на об'ємній КМОН технології у випадку використання КНІ структур досягається при напрузі живлення 0,9 В. Споживана потужність при цьому складає 67,86 мкВт, що в 5 раз менше порівняно з об'ємними КМОН структурами.

Висновки

Запропоновано і розроблено архітектуру аналітичної мікросистеми-на-кристалі на основі структур кремній-на-ізоляторі, які включають

одновимірні та тривимірні елементи, а також КНІ-елементи під поверхнею кремнієвої пластини на основі мікропорожнин, спроектовано її топологію, запропоновано і розроблено оптимізовану базову комірку поля матриці аналітичної мікросистеми-на-кристалі для реалізації на її основі аналогових і цифрових схем первинного опрацювання інформації від досліджуваних об'єктів. Проведено схематопологічне моделювання окремих елементів мікросистеми для визначення їх електричних і часових характеристик. Отримані результати можуть бути використані при створенні аналітичних та

сенсорних мікросистем-на-кристалі з програмованими, за принципом базового матричного кристалу, топологічними шарами комутації та контактів.

Довгий В.В.- аспірант кафедри комп'ютерної інженерії та електроніки;
Когут І.Т. – д.т.н, професор кафедри комп'ютерної інженерії та електроніки;
Голота В.І. – к.т.н., доцент кафедри комп'ютерної інженерії та електроніки;

- [1] I.T. Kohut, A.O. Druzhynin, V.I. Holota, V.V. Dovhyi, Elementy analitychnykh mikrosystem-na-krystali na osnovi tryvymirnykh KNI-struktur. Zbirnyk tez 5-toyi ukrayins'koyi naukovoï konferentsiyi z fizyky napivprovodnykiv (Uzhhorod, 2011). S.190.
- [2] I.T. Kogut, V.I. Holota, A.A. Druzhinin, V.V. Dovhij, Journal of Nano Research 39, 228 (2015).
- [3] I.T. Kogut, V.I. Holota, A.O. Druzhinin, V.V. Dovhij, NATO Advanced Research Workshop "Functional Nanomaterials and Devices for Electronics, Sensors, Energy Harvesting" (Lviv, Ukraine, 2015). – Sonf. Abs. – P.17.
- [4] <http://www.microwind.org>.
- [5] Patent # 62994 Ukrayiny na korysnu model'. Zayavka u201101326. Komirka bazovoho matrychnoho krystala / Druzhynin A.O., Kohut I.T., Holota V.I., Khoverko Yu.M., Dovhyi V.V., Vuytsyk A.M. - MPK G01B 7/16(2006.01), G01L 9/14(2006.01), opubl. 26.09.2011, byul. #18/2011.

V.V. Dovgiy, I.T. Kohut, V.I. Golota

Design and Simulation Elements of Analytical Microsystem-on-Chip With the Structures "Silicon-on-Insulator"

*Carpathian National University named after V. Stefanyk, Street. Shevchenko, 57, Ivano-Frankivsk, 76000, Ukraine,
e-mail: igorkohut2202@gmail.com*

In this paper the results of architecture development, layout design of analytical microsystem-on-chip with the structures "silicon-on-insulator" (SOI) and its elements schemotechnical computer simulation for determine their electrical and time characteristics are presented.

Keywords: analytical microsystem-on-chip, silicon-on-insulator structure, gate array, ring oscillator.

МЕТОД ПЕРЕДАЧІ ПАКЕТІВ У МЕРЕЖАХ НА КРИСТАЛІ З МАТРИЧНОЮ ТОПОЛОГІЄЮ

© Дунець Р.Б., 2010

Описано метод маршрутизації передачі пакетів даних у матричних топологіях мереж на кристалі, що ґрунтується на введенні у заголовок пакета поля інформації про елементи мінімальних шляхів топології та застосуванні булевих операцій над цією інформацією.

The method of routing packet data in a matrix topology networks on a chip, based on the type of packet header field information about the elements of minimal paths topology and applying Boolean operations on the information.

Постановка проблеми. Останнім часом завдяки досягненням мікроелектроніки стало можливим створення мереж на кристалі (МНК). За своєю суттю мережа на кристалі є певним підходом до організації обміну пакетами даних між процесорами, пам’яттю та іншими вузлами, тобто ядрами (IP-core) у системах на кристалі. Тут слід зазначити, що мережі на кристалі практично не масштабуються, тобто кількість елементів таких систем є незмінною після створення кристала. На відміну від звичайних мереж, зокрема глобальних, топологія мереж на кристалі теж є фіксованою і є “відомою” для всіх її компонентів. Крім того, до мереж на кристалі ставиться вимога мінімальної затримки передавання пакетів, мінімальних обсягів буферної пам’яті та простоти алгоритму маршрутизації.

Аналіз останніх досліджень та публікацій. Створення мереж на кристалі велося в різних напрямках. Особлива увага приділялася дослідженню та розробленню архітектури таких мереж [1–3], топологій мереж [4–6], структурним елементам: адаптерам, рутерам, комутаторам [7, 8], питанням буферизації [9, 10] та оптимізації часу передавання пакетів [11].

Попри те, більшість запропонованих рішень практично вдосконалювали можливості класичних комп’ютерних мереж і не повною мірою враховували особливості та вимоги до мереж на кристалі.

Мета дослідження. Підвищення продуктивності мереж на кристалі на основі зменшення затрат часу на передавання пакетів.

Загальний алгоритм передачі пакета. Загальний алгоритм передавання одного пакета в комунікаційному середовищі мережі на кристалі, від передавача до приймача, містить такі кроки (рис. 1):

1. Елемент-передавач пакета на підставі інформації про номер елементу-приймача пакета та про топологію комунікаційного середовища одним із відомих методів визначає ті елементи топології, які утворюватимуть мінімальні шляхи передавання пакета. Залежно від місця елемента-передавача в топології та місця елемента-приймача може бути не один мінімальний шлях, а кількість елементів, що утворюють мінімальні шляхи, може становити від 2-х до всього числа елементів топології. Перелік номерів цих елементів, але без номера елемента-передавача, утворює окреме поле заголовка пакета.

2. Для кожного елементу топології перелік номерів елементів сусідів є наперед відомий і є незмінним впродовж роботи системи. Сусідній елемент, до якого необхідно передати пакет,

визначають шляхом виявлення номерів елементів-сусідів серед тих, що утворюють мінімальні шляхи. Якщо таких елементів виявиться більше одного, то потрібно вибрати один із них. Для цього серед кандидатів на передавання їм пакета визначають їх завантаженість (зайнятість). Зайняті у цей момент елементи теж вилучаються із розгляду за умови, що залишається хоч би один незайнятий елемент, який готовий прийняти. Якщо вільних не виявиться, то серед зайнятих вибирається, наприклад, випадковим чином, один із них, якому буде переданий пакет. У цьому випадку пакет має бути буферизований за допомогою вхідної чи вихідної буферизації, наприклад так, як показано в роботах [9, 10]. Аналогічним чином вибирають один елемент серед вільних.

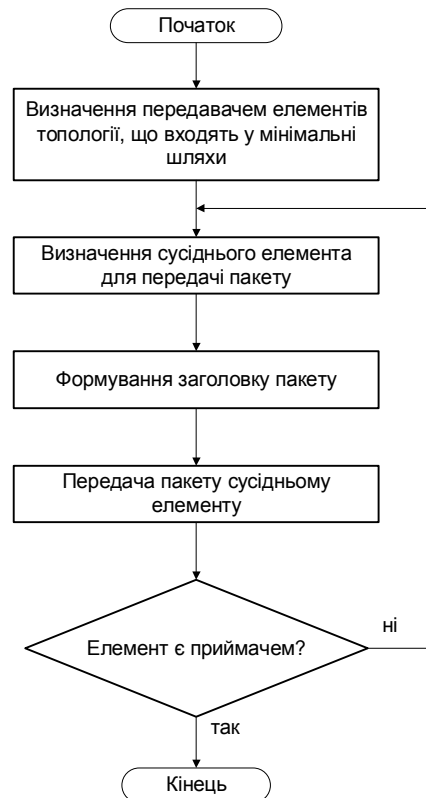


Рис. 1. Загальний алгоритм передавання одного пакета

3. Суть формування заголовка пакета зводиться до вилучення номерів елементів, що зв'язані з елементом, який надсилає пакет, зі списку у відповідному полі заголовка. Отже, у цьому полі заголовка після кожного передавання пакета від елемента до елемента число номерів буде зменшуватися.

4. Останній крок зводиться власне до пересилання пакета. Елемент, який передав пакет, стає незадіяним.

5. Якщо пакет досяг елемента-приймача, то процес передавання пакета завершується, в іншому випадку процес повторюється з п.2.

Приклад передавання пакета. Розглянемо процес передавання пакетів у матричній топології, що наведена на рис. 2. Нехай елемент 9 є передавачем, елемент 8 – приймачем (на рис. 2 вони позначені жирнішою лінією). Елементи 5, 11, що затушовані, є елементами, які зайняті на момент передавання їм пакета.

Після визначення елементом-передавачем всіх елементів, що утворюють мінімальні шляхи, формують матрицю-рядок, у якій позиції зліва направо відповідають номерам елементів топології. Самі ж елементи цієї матриці набувають значення 1 або 0. Значення 1 відповідає приналежності відповідного елемента топології до мінімального шляху, а 0 – коли даний елемент не утворює

мінімальний шлях. У нашому прикладі мінімальні шляхи утворюють елементи 5, 6, 7, 8, 9, 10, 11, 12 топології, а матриця матиме такий вигляд:

$$M = |0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0|.$$

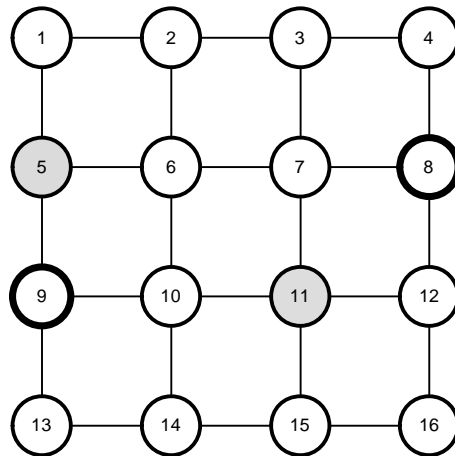


Рис. 2. Приклад матричної топології

Далі у цій матриці елемент, що відповідає номеру елемента-передавача, встановлюється в 0. Тобто матриця М стане такою:

$$M = |0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 0 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0|.$$

Елемент-передавач 9 має безпосередні зв'язки з елементами 5, 10, 13. У роботах [12, 13] доведено, що наявність зв'язків із сусідніми елементами топології найкраще подавати у вигляді бінарної матриці-рядка, оскільки для подальших процедур виявлення елементів-кандидатів на передавання їм пакета можна застосовувати операції алгебри логіки, виконання яких є принципово швидшим порівняно з арифметичними операціями.

Для нашого прикладу матриця зв'язків із сусідніми елементами 9-го елемента-передавача буде такою:

$$C = |0 \ 0 \ 0 \ 0 \ 1 \ 0 \ 0 \ 0 \ 0 \ 1 \ 0 \ 0 \ 1 \ 0 \ 0 \ 0|.$$

Визначення матриці Т претендентів на отримання пакетів від 9-го елемента визначимо за допомогою операції кон'юнкції матриць М і С, тобто:

$$T = M \& C.$$

У нашому прикладі ця операція буде реалізована так:

$$T = \& \begin{array}{cccccccccccccccc} 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 \\ \hline 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \end{array}.$$

Аналіз вмісту матриці Т показує, що є два сусідні елементи, що можуть прийняти пакет. Оскільки 5-й елемент є зайнятий передаванням іншого пакета, то для передавання пакета вибирається елемент 10. Перед відправкою пакету елементу 10 необхідно відкоригувати матрицю М так:

$$M := M \& \bar{C}.$$

Тобто

$$M := \& \begin{array}{cccccccccccccccc} 0 & 0 & 0 & 0 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 0 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 1 \\ \hline 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \end{array}.$$

Відкоригована матриця М розміщується у відповідному полі пакета.

В елементі 10 після надходження пакета проводять такі процедури. Спочатку визначають матрицю Т претендентів на отримання пакетів від 10-го елемента із врахуванням сусідства цього елемента так:

$$T = \& \begin{array}{cccccccccccccccc} 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 0 \\ \hline 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0. \end{array}$$

Виявилося, що кандидатами на приймання пакета є два елементи: 6 і 11. Оскільки елемент 11 є зайнятим, то для передавання пакета вибирається елемент 6. Залишилося відкоригувати матрицю М так:

$$M := \& \begin{array}{cccccccccccccccc} 0 & 0 & 0 & 0 & 0 & 1 & 1 & 1 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 1 & 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 \\ \hline 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0. \end{array}$$

В елементі 6 будуть проведені такі дії визначення елемента, куди буде напрямлений пакет.

$$T = \& \begin{array}{cccccccccccccccc} 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 \\ \hline 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0. \end{array}$$

Таким елементом буде елемент 7. Інших варіантів немає. Далі коригується матриця М.

$$M := \& \begin{array}{cccccccccccccccc} 0 & 0 & 0 & 0 & 0 & 0 & 1 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 1 & 1 & 1 \\ \hline 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0. \end{array}$$

І, нарешті, в елементі 7 будуть проведені такі дії.

$$T = \& \begin{array}{cccccccccccccccc} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 0 & 0 & 1 & 0 & 0 & 1 & 0 & 1 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 \\ \hline 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0. \end{array}$$

Наступним елементом, який прийматиме пакет, буде елемент 8. Цей елемент є останнім, оскільки йому власне адресований пакет.

$$M := \& \begin{array}{cccccccccccccccc} 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0 \\ 1 & 1 & 0 & 1 & 1 & 0 & 1 & 0 & 1 & 1 & 0 & 1 & 1 & 1 & 1 & 1 \\ \hline 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 0 & 1 & 0 & 0 & 0 & 0. \end{array}$$

Висновки. Отже, враховуючи той факт, що мережа на кристалі має фіксоване число елементів топології, що, своєю чергою, дає змогу визначити всі елементи мінімальних шляхів та помістити цю інформацію у заголовок пакета, забезпечують передавання пакетів у мережі з матричною топологією з мінімальними затратами часу. Крім того, застосування операцій алгебри логіки додатково зменшує затрати часу в процесі маршрутизації пакетів.

1. Chrysostomos N., Vijaykrishnan N., Chita R. Das. *Network-on-Chip Architectures. A Holistic Design Exploration // Lecture Notes in Electrical Engineering, Vol. 45. - Hardcover 2010. - 223 p.* 2. Kumar S., Jantsch A., Soininen J.-P., Forsell M., Millberg I. M., Oberg I. J., Tiensyrja K, Hemani A. *A Network on Chip Architecture and Design Methodology // Proc. IEEE Computer Society Annual Symposium on VLSI (ISVLSI.02). - P. 105 - 112* 3. Vincenzo R., Atienza D. *A Reconfigurable Network-on-Chip Architecture for Optimal Multi Processor SoC Communication // 16th IFIP/IEEE International*

Conference on Very Large Scale Integration (October 2008). – Rhodes, Greece. – P. 321-326. 4. Pande P.P., Grecu C., Jones M., Ivanov A., Saleh R. Performance Evaluation and Design Trade-Offs for Network-on-Chip Interconnect Architectures // IEEE TRANSACTIONS ON COMPUTERS, 2005, V. 54, № 8, p.1025-1040 5. Gebali F., Elmiligi H., Watheq El-Kharashi M. Networks-on-Chip: Theory and Practice.– Boca Raton (USA): CRC Press/Taylor and Francis Group LLC, 2009. – 307p. 6. Дунець Р.Б. Топології комп'ютерних систем. – Львів: ІППТ при НУ „Львівська політехніка”, 2007. – 50 с. 7. Dally W., Towles B. Route packets, not wires: on-chip interconnection networks // Proceedings of the 38th annual Design Automation Conference (June 2001). – Las Vegas, USA. – P.684-689. 8. Bjerregaard T., Mahadevan S. A survey of research and practices of Network-on-chip // ACM Computing Surveys. – 2006. – Vol.38, 51. – P.1–51. 9. Дунець Б.Р. Базові архітектури пристроїв комутації пакетів з багатоканальною входною буферизацією Комп'ютерних технологій друкарства. – Львів: Укр. акад. друкарства. – 2004. – №11. – С. 43–49. 10. Дунець Б.Р. Архітектура пристрою планування комутацією // Вісник Тернопільського державного технічного університету. – 2003. – Т. 8. – №4. – С. 85–91. 11. Jingcao Hu, Radu Marculescu, “Energy-Aware Communication and Task Scheduling for Network-on-Chip Architectures under Real-Time Constraints,” date, vol. 1, pp.10234, Design, Automation and Test in Europe Conference and Exhibition Volume I (DATE'04), 2004. 12. Дунець Р.Б. Аналіз та синтез топологій комп'ютерних видавничо-поліграфічних систем: Монографія. – Львів: НВФ “Українські технології”, 2003. – 192 с. 13. Дунець Р.Б. Визначення часу та маршрутів критичних шляхів топологій спеціалізованих комп'ютерних систем // Вісн. Хмельницького національного університету. – Хмельницький, 2007. – Т.1. – № 2. – С.70–74.

УДК 004.382

Р. Еліас
Національний університет “Львівська політехніка”,
кафедра електронних обчислювальних машин

ВБУДОВАНИЙ КОНТРОЛЬ СЕКЦІОНОВАНИХ ПОМНОЖУВАЧІВ ЕЛЕМЕНТІВ ПОЛІВ ГАЛУА $GF(2^m)$

© Еліас Р., 2010

Розглядається секціонований помножувач елементів полів Галуа $GF(2^m)$. Помножувач обробляє 521-бітні елементи поля Галуа $GF(2^{521})$, представлені з використанням гауссівського нормального базису типу 2 і формує 521-бітний добуток порціями по 16 бітів. Якщо під час обчислення добутку виникає помилка, помножувач формує відповідну ознаку. Помножувач використовується в процесорах оброблення цифрових підписів, які ґрунтуються на використанні еліптичних кривих.

Scalable multiplier for Galois field $GF(2^m)$ elements is examined. The multiplier processes presented with the use of type 2 Gaussian normal basis 521-bit Galois field $GF(2^{521})$ elements and forms 521-bit result by 16 bits portions. The multiplier forms the error sign in case error during the calculation. The multiplier is used in the processors for digital signatures which are based on the use of elliptic curves.

Вступ. На сучасному етапі математичною основою цифрових підписів є еліптичні криві. В одному з варіантів реалізації цифрових підписів оброблення точок еліптичних кривих відбувається за правилами оброблення елементів полів Галуа $GF(2^m)$. Розрядність елементів поля m може сягати 2048 бітів. Апаратна реалізація помножувача для таких полів вимагає більш ніж мільйона транзисторів. Помножувачі можуть бути паралельними, послідовними та паралельно-послідовними – секціонованими. У роботах останніх років звертається увага на вбудовані методи виявлення

1 ПРОГРАМОВНІ ЛОГІЧНІ ІНТЕГРАЛЬНІ СХЕМИ

Функціональна складність обчислювальних структур і систем обумовлює застосування складних спеціалізованих великих інтегральних схем (ВІС) та надвеликих інтегральних схем (НВІС). Величезні витрати на розробку і виготовлення нерегулярних ВІС і НВІС окупаються лише за масового їхнього виробництва. Крім того, для перекладу готової структурної схеми пристрою обчислювальної техніки в замовлену ВІС необхідно витратити багато часу і великі кошти на її розробку і виготовлення. При цьому існує ризик неправильного перекладу схеми. Ці проблеми можна вирішити за допомогою програмувальних логічних інтегральних схем (ПЛІС), конфігурацію яких розробник може задати сам, не прибігаючи до їх виготовлення. Термін ПЛІС відповідає англійському FPLD (field programmable logic devices).

У наш час технологія виготовлення ПЛІС забезпечує [1 - 3]:

- високий ступінь інтеграції (один корпус ПЛІС дозволяє реалізувати схему, що при малому і середньому ступені інтеграції розміщується в 100 – 150 корпусах);
- високу швидкодію (час поширення сигналу з входу на вихід кристала не перевищує кількох десятків наносекунд);
- можливість реалізації в одному корпусі практично будь-якої глибини рівнів комбінаційних і (або) послідовнісних схем;
- час реалізації замовленого варіанта схеми від 1 до 6 тижнів .

Сьогодні розробкою ПЛІС займаються понад 20 великих напівпровідникових фірм. Серед них такі відомі виробники інтегральних схем як [1] Advanced Micro Devices, Fairchild Semiconductor, GE/Intersil, Plessey Semiconductor, Intel, National Semiconductor, Altera, Lattice Semiconductor, VLSI Technology, Xilinx.

Програмувальні інтегральні схеми виготовляються як за біполярною, так і за КМОН технологіями. Біполярні ПЛІС відрізняються високою швидкодією, але споживають в порівнянні з КМОН-схемами більшу потужність. Крім того, біполярна технологія забезпечує можливість лише однократного програмування, як правило, за допомогою перепалювання плавких перемичок.

КМОН-технологія надає можливість виготовляти ПЛІС, які програмуються за допомогою затворів, що плавають. Такі ІС передбачають ультрафіолетове (УФ) або електричне стирання і є найбільш перспективними з технологічної точки зору. КМОП ПЛІС з УФ-стиранням

характеризуються більш високим рівнем інтеграції, меншою споживаною потужністю і більш низькою питомою вартістю виробництва в перерахуванні на одну схемну функцію ніж схеми з електричним стиранням. Проте останні можна більш оперативно перепрограмувати в складі однієї і тієї ж схеми на стадії макетування і налагоджування дослідного варіанта системи і репрограмувати для використання в різних схемах.

Подальше збільшення функціональної складності і швидкодії ПЛІС пов'язується з використанням арсенід-галієвої та біполярної ЕЗЛ-технологій.

1.1 Програмовні логічні матриці

Структура програмовної логічної матриці (ПЛМ) складається з двох частин. У першій частині вхідні змінні та їх інверсії, які отримуються у самій матриці, селективно підключаються до входів логічних елементів І, що утворюють матрицю добутків (матрицю І). Сигнали з виходів елементів І вводяться до другої частини матриці, де за допомогою інших селективних з'єднань можуть бути подані на входи елементів АБО, що утворюють матрицю сум (матрицю АБО). У ПЛМ передбачено програмування як матриці І, так і матриці АБО. Структура типової ПЛМ, виготовленої за ТТЛ-технологією, зображена на рис. 1.1.

На програмовних логічних матрицях можна будувати не лише комбінаційні схеми, а й схеми з пам'яттю. Для реалізації останніх між елементами ПЛМ вводяться зворотні зв'язки. Таким чином можуть бути реалізовані тригери, лічильники та інші найпростіші кінцеві автомати [4].

Різновидністю традиційної ПЛМ є запам'ятовувальна логічна матриця (ЗПМ). За структурою вона відрізняється від звичайної ПЛМ тим, що матриці вентилів І та АБО доповнені тригерними запам'ятовувальними елементами і з'єднані одна з одною таким чином, що вихідні і вхідні лінії поперемінно чергуються в межах однієї матричної структури [1, 4]. Це дозволяє, по-перше, розширити матрицю, вводячи значно більше число тригерів без збільшення розмірів області введення-виведення. По-друге, рядки матриці (сигнали кон'юнкції) і стовпці (сигнали диз'юнкції) можна розділяти на необхідне число незалежних сегментів, які дозволяють подавати незалежні змінні і функції на менших ділянках матриці. Це підвищує щільність компонування логічних схем у матриці в два-три рази та забезпечує можливість виконання на одному кристалі більш складних

функцій. Крім того, з'являється можливість використовувати схеми ЗЛМ для розв'язування незалежних завдань, оскільки стовпці та рядки у ЗЛМ можна розділяти на будь-яку необхідну кількість сегментів.

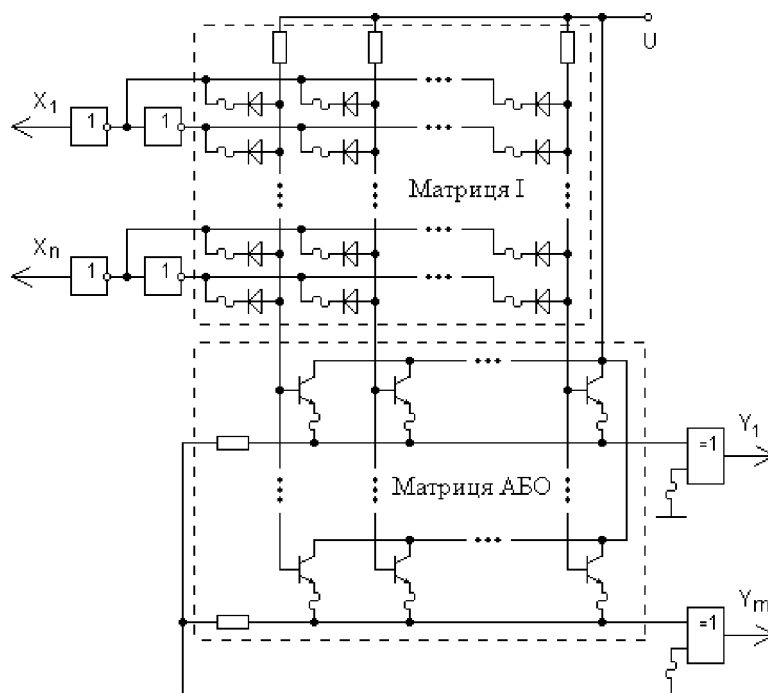


Рисунок 1.1 – Логічна структура програмової логічної матриці

Ще однією різновидністю ПЛМ є асоціативна логічна матриця (АЛМ) [1]. Вона будується у вигляді блоків, кожний з яких може являти собою комбінацію з декількох поперемінно розташованих горизонтальних і вертикальних МОН-комірок (блоки можуть мати різну структуру). Тому АЛМ є найбільш гнучкою і перспективною для створення складних послідовних схем.

За рахунок внутрішніх зворотних зв'язків асоціативна ПЛІС дозволяє реалізовувати на кристалі ВІС багатовхідні, багаторівневі комбінаційні і послідовні схеми, а за рахунок сегментування – складні функції з великою інформаційною щільністю запису. Крім того АЛМ надають можливість розташовувати послідовні схеми-автомати й елементи комбінаційних схем у будь-яких ділянках матриці без врахування їх розташування в проектній схемі, що забезпечує простоту і гнучкість при програмуванні АЛМ.

Популярність ПЛМ пояснюється їх швидкодією та ефективністю з точки зору використання логічних вентилів у тому випадку, якщо всі програмовні функції реалізуються в одному приладі. Перші ПЛМ

характеризуються рівнем інтеграції до 800 еквівалентних логічних вентилів, можливістю однократного програмування логічної структури, жорстко заданими кількістю та типом внутрішніх тригерів [1].

Подальшим розвитком технології ПЛМ є розширення їх функціональних можливостей та збільшення ступеня інтеграції. Це досягається переходом від біполярної до КМОН-технології та заміною логічних матриць, що програмуються шляхом перепалювання плавких перемичок, логічними матричними схемами, які програмуються за допомогою затворів, що плавають.

Сучасні ПЛМ крім матриць І та АБО містять так звані макроелементи, які складаються з кількох логічних вентилів (крім логічних вентилів макроелементи можуть містити і тригери). Так в мікросхемі GAL39V18, що розроблена фірмою Lattice Semiconductor за новою технологією Ultramos-III (спрощений варіант технології КМОН постійних запам'ятовувальних пристроїв з електричним стиранням), використовуються чотири типи макроелементів, які призначаються для керування матрицями І та АБО. Керування матрицею комірок І, яка складається з 5700 елементів, здійснюється за 38 входами, з кожним з яких зв'язаний макроелемент. Десять з цих макроелементів є вхідними логічними елементами, десять – логічними елементами введення-виведення, десять – вихідними логічними елементами і вісім – схованими регістрами логічних станів. Вихідні та сховані макроелементи містять тригерну D-E-конфігурацію, в якій використовуються два терми АБО (терм – елементарна операція над логічними змінними), що дозволяє реалізовувати широкий набір функцій. Матриця АБО, яка утворюється 2300 елементами, керується 64 термами добутків, кожний з яких є функцією всієї матриці І. Тридцять шість термів матриці АБО розділені на 18 пар, кожна з яких керує або одним з десяти вихідних логічних макроелементів, або одним з восьми схованих регістрів логічних станів.

Застосування цих схованих макроелементів підвищує гнучкість інтегральної схеми (ІС), оскільки звільняє контакти для підключення інших функціональних елементів. Крім того, споживачі мають додаткову можливість зробити схованими 10 вихідних логічних макроелементів за рахунок додаткового введення до кожного вихідного макроелемента другого кола зворотного зв'язку до матриці І. Більш того, перетворення елемента в схований може бути твердим, а може керовано реалізовуватися в динамічному режимі споживачем. Крім того, 10 вхідних макроелементів і 10 макроелементів введення-виведення можна груповим чином

програмувати, перетворюючи їх у регістри-фіксатори або в елементи комбінаційної логіки.

Типовий час затримки сигналу в асинхронному режимі для обох матриць – 20 нс, час затримки між тактовим і вихідним сигналами – 12-15нс. Це забезпечує роботу приладу у конвеєрних системах на частоті понад 40 МГц, а в якості кінцевого автомата – на частоті 25 МГц. Струм споживання – 80 мА, споживана потужність – 400 мВт [1].

У більш новій 24-контактній ПЛІС GAL6001 тієї ж фірми складністю 700 вентилів, яка виготовлена за 0,8-мкм технологією Ultramos-III, досягнуто час затримки розповсюдження сигналу 22–25 нс [1]. Ця схема містить чотири секції з різними програмовними макроелементами, 10 вихідних логічних макроелементів, 10 вхідних логічних макроелементів, вісім схованих макроелементів логічних станів та 10 макроелементів введення-виведення, утворюючи в результаті високо універсальний кристал, який є розширенням за функціональними можливостями варіантом більшості 24-контактних ПЛІС.

Ще більшу функціональну гнучкість ПЛМ можна досягти за допомогою реалізації програмовних з'єднань на базі елементів перепрограмуваних постійних запам'ятовувальних пристроїв з електричним стиранням (ЕСПЗП). Прикладом такого підходу є нове сімейство мікросхем фірми International CMOS Technology, що має великі функціональні можливості і гнучкість (до 4 тис. різних конфігурацій) [1]. До складу сімейства входять матриці PA7024, PA7028, PA7040 та PA7068, виготовлені за 1-мкм КМОН-технологією. Архітектура цих ІС забезпечує рівень складності від 1200 до 3000 еквівалентних вентилів.

Основу архітектури сімейства складають матриці схованих логічних елементів керування, оточених елементами введення-виведення, і глобальний елемент (рис. 1.2а). На відміну від інших видів матриць, у яких необхідна логічна функція реалізується в логічних елементах, у матрицях цього сімейства функції виду «сума логічних добутків» розподілені в програмовній матриці міжз'єднань. Ця розподілена матриця логічних функцій складається з набору шин, що утворюють вхідні лінії (вхідна шина), терми добутків (шина І) і терми сум (шина АБО) (рис 1.2б). Таким чином, на входах будь-якого логічного елемента керування можна отримати повні функції виду «сума логічних добутків». Цей елемент керування у свою чергу може використовувати такі функції як компоненти різних комбінаційних і регістрових функцій. Висока гнучкість подвійної

архітектури дозволяє за допомогою ІС сімейства RA70XX будувати різноманітні пристрої – від кінцевих автоматів до схем довільної логіки.

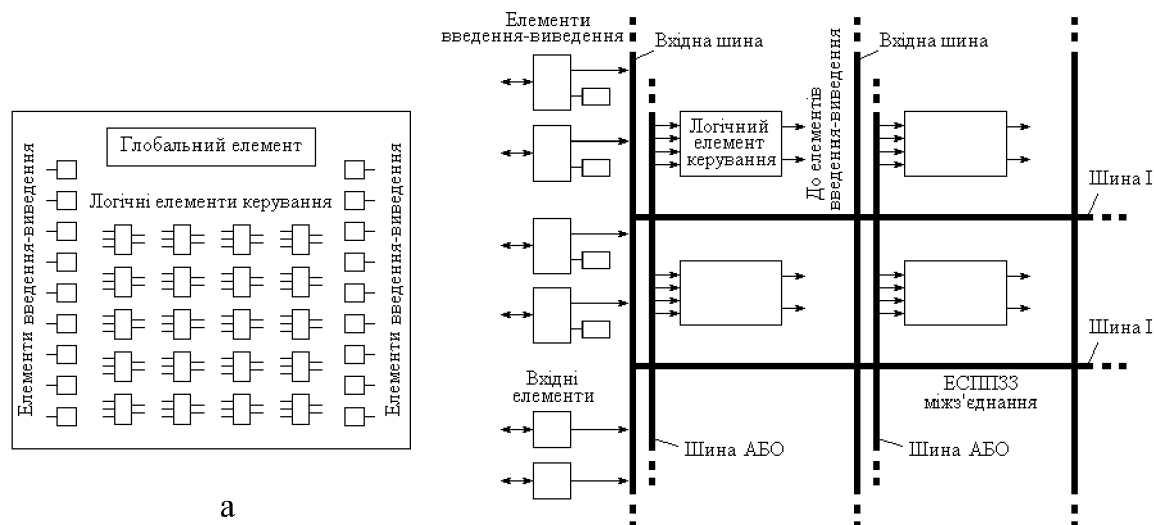


Рисунок 1.2 – Блок схема ПЛМ RA7024/7040/7028/7068 з електричним стиранням фірми International CMOS Technology (а) та розподілення функцій «сума логічних добутків» в між'єднаннях кристала RA70XX (б)

Кожний логічний елемент керування у схемі RA7024(40) має чотири входи та два незалежних виходи. На входи заведені терми сум від шини АБО. Сигнал з одного з виходів надходить на вхідну шину. Другий вихід можна підключити до будь-якого елемента введення-виведення та відповідного йому зовнішнього контакту.

Логічний елемент керування містить програмовний універсальний регістр, який можна реалізувати за схемою асинхронного чи синхронного D-, E- або J-K – тригера, ЕСППЗП для збереження даних (обсяг пам'яті – кілька бітів), що визначають конфігурацію елемента, та три програмовних мультиплексори розводки логічних сигналів і сигналів керування.

Оскільки два виходи логічного елемента керування є абсолютно незалежними один від одного, кожен такий елемент може мати два різних вихідних сигнали. У результаті, наприклад, кристал типу RA7024 у цілому реалізує 40 логічних функцій типу «сума логічних добутків».

Внутрішні схеми працюють з тактовими частотами до 50 МГц, а максимальний час затримки сигналів між контактами ІС, що визначається часом проходження сигналу через вхідний буфер введення-виведення, один логічний ступінь у логічній матриці та інший вихідний буфер введення-

виведення, складає 23 нс. Можна вводити додаткові внутрішні ступені логіки, кожний з яких буде вносити затримку близько 17 нс [1].

1.2 Програмовна матрична логіка

Архітектура програмовної матричної логіки (ПМЛ) є різновидністю архітектури ПЛМ і відрізняється від останньої тим, що містить програмовну матрицю І (одну чи кілька) і фіксовану матрицю АБО [1, 5]. У процесі розвитку ПМЛ з'явилися і більш складні їх різновиди, що крім базової матриці містять буферні елементи зворотних зв'язків. Це дозволяє формувати більш ніж один рівень логіки шляхом об'єднання вбудованих тригерів-заскочок, лічильників, регістрів зсуву і навіть автогенераторів. Основними виробниками ПЛІС на базі ПМЛ є компанії AMD, ICT, Intel, Altera, Lattice Semiconductor [1].

Традиційні ПЛІС на базі архітектури програмовної матричної логіки побудовані на скомутованих логічних структурах, зв'язаних з певними зовнішніми контактами через макроелементи введення-виведення та регістри. Тому під час використання однієї функції в сполученні з одним контактом виявляється, що всі інші функції, зв'язані з цим контактом, залишаються нереалізованими. Це призводить до того, що при підвищенні рівня інтеграції збільшуються як розміри регістрів і макроелементів, так і кількість непрацюючих вентилів. Ця надмірність є одним із серйозних недоліків ПЛІС на базі ПМЛ.

Модернізація структур ПЛІС з архітектурою ПМЛ відбувається у напрямку модернізації макроелементів введення-виведення. Кількість та складність останніх визначає коефіцієнт використання логічних вентилів та функціональну гнучкість ПМЛ.

Прикладом сучасної ПЛІС з архітектурою ПМЛ є мікросхема 85C220 фірми Intel [5]. На рис. 1.3а зображена архітектура цієї ПЛІС, а на рис. 1.3б – структура макрокомірки введення-виведення.

Схема містить логічну матрицю та вісім макрокомірок введення-виведення, кожна з яких має програмовну структуру введення-виведення та вісім термів добутку. Логічна матриця є програмовною матрицею І, яка використовується для програмування елементарних кон'юнкцій логічних змінних. Замість матриці АБО використовуються елементи з фіксованими входами, які виконують операцію диз'юнкції.

Для кожної макрокомірки введення-виведення (рис. 1.3б), що будується на основі D-тригера, можна задати один з п'яти варіантів

конфігурації: потоковий (прохідний), синхронний або асинхронний із застосуванням, синхронний або асинхронний регістровий. В прохідному режимі сигнал обходить тригер-заскок. В синхронному варіанті тригер-заскок керується зовнішнім сигналом, який подається через спеціальний вхід. В асинхронному режимі сигнал дозволу для заскоку формується за допомогою терму-добутку будь-якої допустимої комбінації вхідних сигналів.

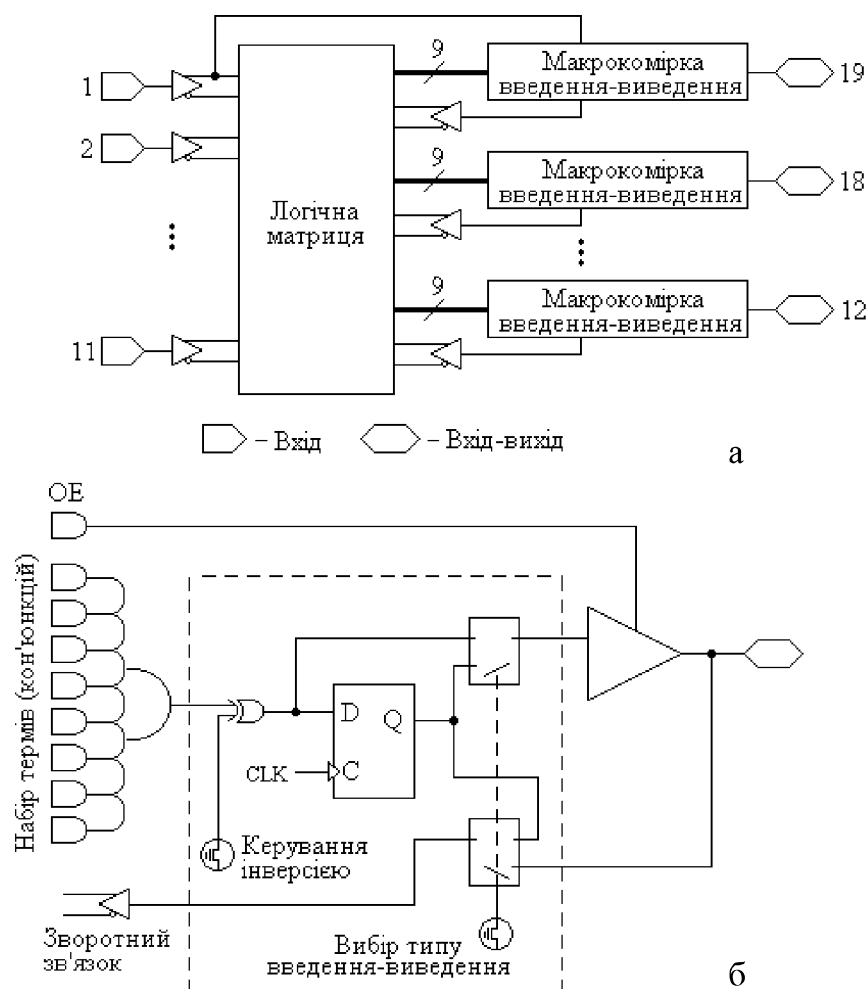


Рисунок 1.3 – Архітектура ПЛІС 85C220 фірми Intel (а) та структура макрокомірки введення-виведення (б)

Іншим типовим представником ПЛІС на базі ПМЛ є IC AmPAL32VX10 фірми AMD, що виготовлена за КМОН-технологією. Прилад передбачає можливість програмного визначення регістрового або комбінаційного режиму використання кожного виходу, що забезпечується макроелементом

введення-виведення. Існують два варіанти ПЛІС: з часом затримки поширення сигналу від входу до виходу 25 і 35 нс, відповідно.

Макроелемент введення-виведення будується на основі D-тригера з високою швидкодією, на якому емулюються інші типи тригерів: T, RS або JK. Особливістю макроелемента є наявність двох зворотних зв'язків в матрицю І (рис. 1.4), які дозволяють реалізовувати в складі макроелементів сховані тригерні схеми. Крім того, наявність вентиля виключального АБО надає можливість спільної роботи декількох груп макроелементів у складі синхронних систем [1].

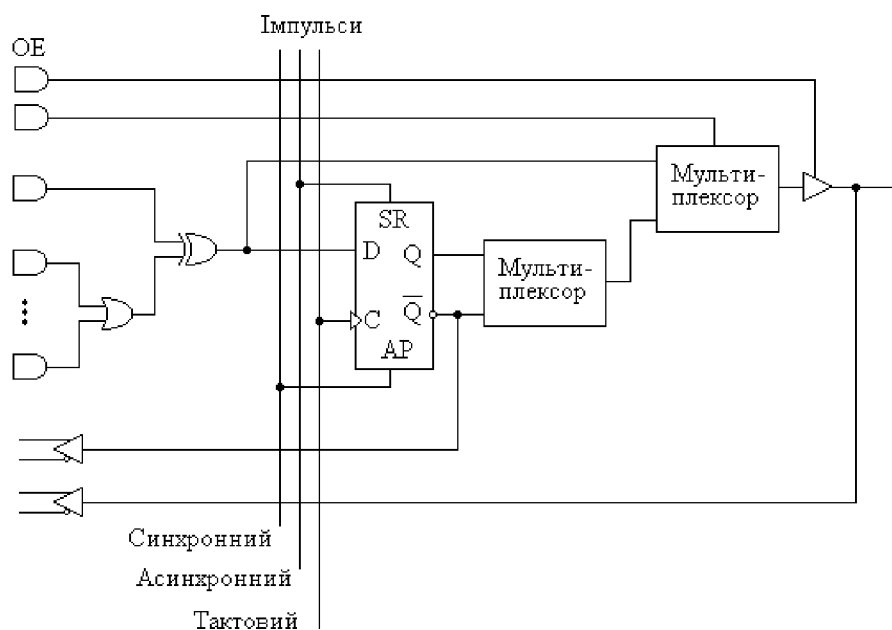


Рисунок 1.4 – Блок схема ПМЛ AmPAL32VX10 фірми AMD

Одним із шляхів розширення функціональних можливостей ПМЛ є введення до складу її макроелементів введення-виведення запам'ятовувальних елементів з електричним стиранням. Прикладом можуть служити ПЛІС моделей 18CV8, 20CG10, 18CV8Z, 22CV10C та ін., які виготовляються компанією ІСТ за технологією КМОП ЕСППЗП. Функціональна гнучкість цього сімейства мікросхем обумовлюється тим, що в них кожен логічний терм безпосередньо зв'язаний з багатофункціональним макроелементом введення-виведення і його контактом. Кожний з цих макроелементів містить D-тригер, вихідний мультиплексор, мультиплексор зворотного зв'язку та чотири запам'ятовувальні елементи з електричним стиранням. Шляхом програмування останніх можна задавати для кожного макроелемента одну з 12 можливих конфігурацій: полярність виходу, коло зворотного зв'язку, тип

виходу (регістровий чи комбінаційний), визначати тип макроелемента (вхідний, вихідний чи двонаправлений). Завдяки цьому прилад може замінити близько 30 інших 20-контактних ПЛІС [1]. Слід відзначити, що елементи ЕСППЗП, які визначають конфігурацію ПЛІС, можна репрограмувати до 100 разів, а безпомилкове збереження записаної в них інформації гарантується принаймні протягом 20 років [1].

Як було відзначено вище, основним недоліком ПЛІС з архітектурою ПМЛ є нераціональне використання її логічної матриці. Зменшити кількість незадіяних вентилів та збільшити функціональну щільність упакування ПМЛ можна завдяки розділенню її логічної матриці на кілька сегментів та спільному використанню наявних вентилів різними макроелементами введення-виведення. Прикладом такого підходу можуть служити мікросхеми EP1200/1210 та EP1800 фірми Altera.

Прилад EP1200 містить 28 макрокомірок та чотири внутрішніх регістри стану. Для зменшення загальної кількості сум логічних добутоків у ньому передбачена можливість спільного використання тих самих термів у різних вихідних елементах. Вбудовані тригери-заскочки забезпечують можливість синхронізації вхідних сигналів за допомогою програмовної синхронізуючої структури, що може функціонувати з різними тактовими частотами. Для оптимізації характеристик EP1200/1210 застосовується ПЛМ, яка розділена на дві симетричні половини, зв'язані глобальною шиною. Між макрокомірками ПЛМ забезпечується як локальний, так і глобальний зв'язок. Макрокомірки у кожній половині матриці групуються разом для програмування архітектури. Група з чотирьох макрокомірок програмується індивідуально, щоб одержати виходи з активним низьким чи високим сигналом. Елементи введення-виведення макрокомірок EP 1200/1210 можуть бути запрограмовані на використання як статичного, так і динамічного керування. Статичне керування після програмування залишається незмінним, тоді як динамічне залежить від сигналів, які подані на пристрій [1].

Ще більш нова модель EP1800 є програмовним логічним пристроєм (ПЛП) з Уф-стиранням, еквівалентним 2100 двовходовим вентилям. Кристал має 68 контактів та 48 макрокомірок і за логічною складністю в 10 разів перевершує 20- і 24-контактні ПЛІС. Функціонально він замінює від 60 до 70 ІС малого чи середнього ступеня інтеграції. Швидкодія даного ПЛП складає 25 МГц, споживана потужність у спокійному робочому режимі – 50 мВт, типове споживання струму – 45 мА з робочою частотою 10 МГц [1].

У мікросхемі EP1800 використовується система локальних і глобальних шин, які разом із синхронними й асинхронними лініями передають сигнали між виводами кристала і макрокомірками. Кристал поділяється на чотири однакових квадрати. Між макрокомірками вводяться шляхи зворотного зв'язку, більша частина яких знаходиться в межах макрокомірок самого квадрата. Вісім з 12 макрокомірок кожного квадрата мають доступ до локальної шини. Чотири можуть з'єднуватися з глобальною шиною.

Кожна комірка має тригер, який може бути настроєний на роботу в режимі D-, RS-, T- або JK-тигера. Синхронізація тригера для синхронної роботи здійснюється від однієї з чотирьох ліній синхронізації квадрата, а для асинхронної – від окремого входу. Більш того, і терми добутоків, і виходи макрокомірок, і елементи введення-виведення можуть видавати синхросигнал, а будь-яка з ліній синхронізації квадрата, якщо вона не використовується в цій якості, може служити універсальним входом [1].

1.3 ПЛІС на основі однорівневої логічної структури I-NI/I-NI

Використання однорівневої логічної структури I-NI/I-NI або, так званої, програмовної макрологіки (ПМАЛ) оснований на тому, що будь-яку логічну функцію можна подати у базисі I-NI. Тому вентиля I-NI/I-NI з однорівневою організацією цілком можна застосовувати для виконання комбінаційних логічних функцій у вигляді сум логічних добутоків.

Оскільки програмовні логічні ланцюжки I-NI/I-NI будуються з'єднанням ідентичних вентилів I-NI з програмовними входами, то рядки матриці I-NI легко компонуються в одну глобальну матрицю зі зворотними зв'язками.

Більш складні функції можна реалізувати шляхом програмування багаторівневих логічних контурів, доповнюючи їх через кола зворотного зв'язку макроелементами більш високого рівня, такими як тригери, вентиля виключального АБО, буфери, лічильники, регістри зсуву, мультиплексори, дешифратори, арифметико-логічні пристрої та блоки пам'яті.

Головна конструктивна перевага ПМАЛ полягає в тому, що на відміну від багаторівневих структур типу I-АБО вона виконується на одному матричному рівні, що з'єднує всі макроеlementи.

Ефективна побудова послідовнісних схем, схем дешифраторів, генераторів парності, суматорів, а також інших логічних схем з декількома рівнями (типами) вентилів вимагає використання кількох рівнів (типів)

логічних функцій. Останні можуть бути отримані у ПМАЛ шляхом утворення декількох проходів крізь одну логічну матрицю.

Прикладами ПЛІС з архітектурою ПМАЛ є біполярні мікросхеми PLHS501 і PLHS502 фірми Signetics, в яких елементи І-НІ програмуються перепалюванням металевих плавких перемичок, та КМОН мікросхема XL78C800 фірми Exel, в якій елементи АБО-НІ формуються на основі КМОН ЕСППЗП [1].

Комбінований логічний прилад PLHS501 містить матрицю І-НІ розміром, що приблизно дорівнює ППЗП ємністю 16Кбіт, і має час затримки вихідних сигналів при однократному проходженні через матрицю 17нс, при дворазовому проходженні – 25 нс. У кристалі нараховується 24 спеціалізованих входи, 16 спеціалізованих виходів і 8 програмовних контактів введення-виведення. Незважаючи на те, що ІС PLHS501 містить лише найпростіші макроелементи введення-виведення, вона дозволяє реалізовувати практично усі логічні функції, передбачені в наявних комбінаційних ПЛМ- і ПМЛ-схемах.

Модель PLHS502 є більш складним приладом послідовнісної логіки. В її основі лежить матриця І-НІ розміром, що приблизно дорівнює ППЗП ємністю 21Кбіт. Матриця має 24 спеціалізовані вхідні лінії і 16 програмовних ліній введення-виведення. Крім логічної матриці PLHS502 містить макроелементи високого рівня у вигляді тактових регістрів зсуву та тригерів RS- і D-типу. З метою підвищення ефективності керування трактами обробки даних макроелементи компонуються у групи по вісім штук.

Час затримки вихідних сигналів складає від 12 до 16 нс. Для послідовнісних операцій максимальний час встановлення – 10-14 нс, час формування вихідного сигналу, що відлічується з моменту появи тактового сигналу, – 18 нс. Прилад є придатним для побудови асинхронних і синхронних кінцевих автоматів і керованих подіями контролерів.

Прилад XL78C800 фірми Exel має багаторівневу одноплощинну архітектуру, завдяки якій можна ефективно реалізувати широкий набір логічних функцій. Основу приладу складає матриця АБО-НІ, крізь площину якої для отримання кількох рівнів логічних функцій організується кілька проходів. При цьому передача логічних сигналів з одного рівня на інший здійснюється не виходячи за межі кристала. Правильний вибір полярності (або інвертування сигналів) входу і виходу дозволяє використовувати елементи АБО-НІ для реалізації логічних функцій І, І-НІ чи АБО.

Крім логічної матриці до складу схеми входять 10 макрокомірок, кожна з них містить тригер D-, T- або JK-типу, спеціалізований вхід і програмовний вивід введення-виведення (рис. 1.5). Тригер може бути підключений або звільнений від виводу введення-виведення і брати участь у реалізації внутрішньої логіки, оскільки логічна матриця кристала має окремі лінії для синхронних і асинхронних входів.

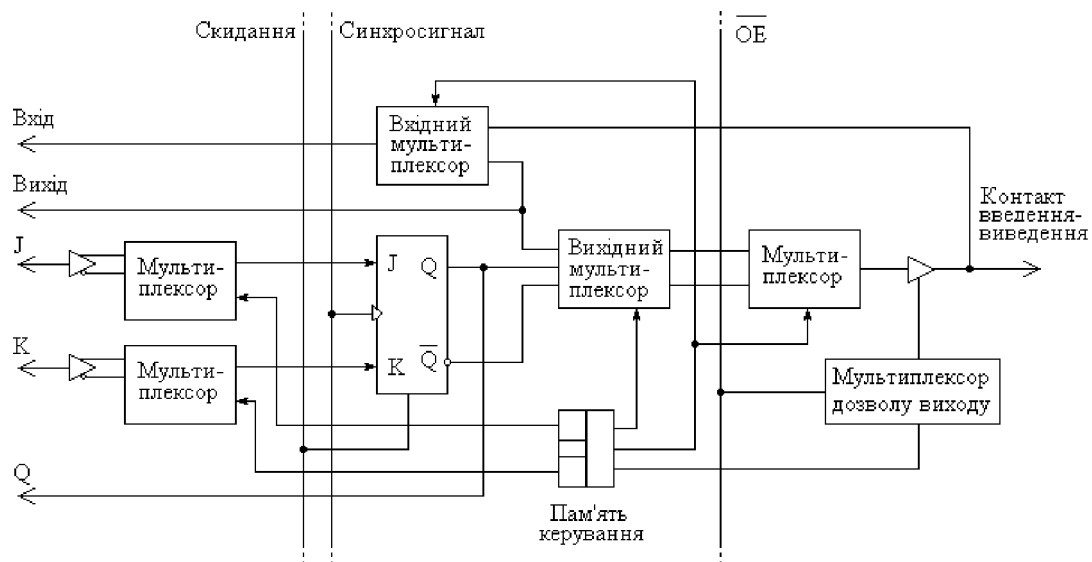


Рисунок 1.5 – Блок-схема макрокомірки введення-виведення мікросхеми XL78C800 фірми Exel

Багаторівнева архітектура дозволяє ефективно організувати функцію порівняння двійкових слів. Так, наприклад, у даному пристрої для порівняння двох байтів використовується три рівні і лише 25 термів (для порівняння, у дворівневих ПЛП в цьому випадку потрібно підсумовувати 256 термів добутків). Перші два рівні генерують вісім окремих побітових порівнянь, які потім на третьому рівні об'єднуються через елемент АБО-НІ.

Мікросхема XL78C800 містить близько 800 (еквівалентних) вентилів і поставляється в 24-вивідному корпусі. Кристал споживає струм 20 мА з тактовою частотою 10 МГц.

1.4 Програмовні вентильні матриці

Програмовні вентильні матриці (ПВМ), які вперше були запропоновані фірмою Xilinx, являють собою нескомутовані структури ПЛІС, у яких немає наперед фіксованих зв'язків між логічними блоками і регістрами. У результаті підвищується функціональна щільність упакування кристала, а структура ПЛІС стає більш гнучкою. Це, мабуть, найперспективніший

напрямок, з погляду на можливість побудови складних операційних систем.

Програмування логічної структури ПВМ може здійснюватися за допомогою перемичок, що перепалюються, або за допомогою статичних запам'ятовувальних пристроїв з довільною вибіркою (СЗПДВ). Перші мають більшу щільність упакування, оскільки елементи СЗПДВ займають на кристалі набагато більшу площину, ніж перемички. Проте [2], сьогодні вже з'являються ПВМ-кристали на базі СЗПДВ, які виготовляються за 0,6-мкм технологією і за рівнем інтеграції перевершують матриці з плавкими перемичками. Найважливіша особливість ПВМ-кристалів на базі СЗПДВ – це можливість їх багаторазового використання, яка є зручною і вигідною для макетних і експериментальних досліджень, оскільки відповідає необхідності викидати невірні запрограмовані однократно програмовні ІС. Крім того, репрограмування надає можливість модифікації системних функцій шляхом простого завантаження програми для нової конфігурації.

Звичайно архітектури сучасних ПВМ можна віднести до одного з двох класів: до дрібно- або крупнокоміркового [2]. Дрібнокоміркові кристали мають у своїй структурі велику кількість дрібних макроелементів вентильного рівня, з яких за допомогою комутації можна одержувати широку гаму функцій від тригерів до складних кінцевих автоматів. Вони будуються на простих функціональних блоках, що можуть складатися усього з декількох п-канальних і декількох р-канальних транзисторів, з яких і будуються схемні функції.

Прикладами дрібнокоміркових ПЛІС з архітектурою ПВМ є ІС компаній Actel Corp., Crosspoint Solutions Inc. і QuickLogic Corp., які програмуються перепалюванням перемичок, та ІС на базі СЗПДВ компанії Pilkington Glass, які також випускаються за ліцензією компаніями Plessey Semiconductors Ltd та Toshiba Corp.

Крупнокоміркові кристали містять більш складні макроелементи, які можна використовувати для побудови комбінаційних чи послідовних логічних функцій. У комбінаційних секціях цих складних макроелементів можна реалізовувати функції чотирьох і більше змінних. У послідовнісних секціях тригери з керованою конфігурацією дозволяють з мінімальними зусиллями будувати лічильники, регістри, кінцеві автомати і т.і. Конфігурація крупнокоміркової ПВМ визначається елементами СЗПДВ, що розподіленні по її кристалу. Основними виробниками крупнокоміркових ПВМ є компанії Xilinx Inc. та Concurrent Logic Inc.

Серед ПВМ із дрібнокомірковими архітектурами найбільш відомими є три сімейства мікросхем Act фірми Actel, в якості другого постачальника

Figure 1 consists of two schematic diagrams, (a) and (b), illustrating the control system.

(a) Logic diagram of the control system. It shows inputs S_A , A , B , S_B , C , D , S_0 , and S_1 . The inputs A and B are connected to a 2-to-1 multiplexer (labeled 0 and 1). The inputs S_A and S_B are connected to another 2-to-1 multiplexer (labeled 0 and 1). The outputs of these two multiplexers are connected to a third 2-to-1 multiplexer (labeled 0 and 1). The output of this multiplexer is connected to an inverter, which produces the output Y . The inputs S_0 and S_1 are connected to an OR gate, which produces the output Y . The diagram is labeled with "8 входів", "9 двохходових вентилів", and "5 інверторів".

(b) Block diagram of the control system. It shows the C-module (multiplexer) and the S-module (D flip-flop). The C-module has four inputs and one output. The S-module has two inputs (C and D) and one output (Q). The output of the C-module is connected to the D input of the S-module. The output of the S-module is connected to the Q input of the C-module. The diagram is labeled with "Чотири тактових сигнали" (Four clock signals), "Тактовий вхід" (Clock input), "Скидання" (Reset), and "C-модуль" and "S-модуль".

В останньому сімействі Act3 за допомогою включення до кристала к типів логічних модулів (рис. 1.6б), розподілених по кристалу, збільшена кількість вентилів у кристалі і зменшені затримки. Модуль першого типу – С-модуль – призначений для реалізації комбінаційних функцій і схожий на логічні модулі, які застосовувалися в попередніх родинках Act. Модуль другого типу – S-модуль – призначений для реалізації послідовнісних схем і складається з мультиплексора, виходи якого з'єднані з тригером з керованою конфігурацією [2].

З метою полегшення реалізації функцій, що використовуються у підсистемах цифрової обробки сигналів, компанією Texas Instruments був запропонований базовий логічний модуль ПВМ, структурна схема якого зображена на рис. 1.7 [2]. Модуль будується на основі схем “Виключального АБО” і має п’ять входів та два виходи. Крім “Виключального АБО” до складу модуля входять мультиплексор та елементи І та АБО. Парні виходи вирішують проблему ефективної

реалізації функцій підсумовування і віднімання, оскільки вдвічі зменшують кількість необхідних модулів.

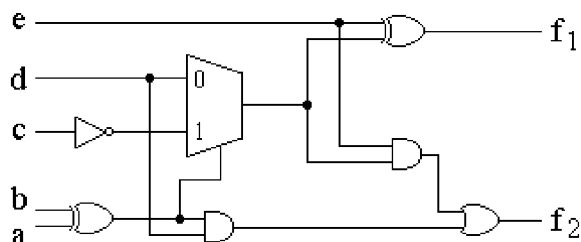


Рисунок 1.7 – Схема логічного модуля ПВМ, яка розроблена компанією Texas Instruments для прикладних задач цифрової обробки сигналів

За допомогою такої схеми можна легко реалізовувати такі найважливіші функції цифрової обробки сигналів, як “Виключальне АБО”, “Виключальне АБО-НІ”, АБО, АБО-НІ, І, І-НІ, підсумовування зі збереженням переносу та віднімання зі збереженням переносу. У порівнянні з логічним модулем фірми Actel функціональні можливості цього модуля більш обмежені, однак це ніяк не позначається на швидкодії схем, оскільки дана структура забезпечує більш високу продуктивність під час виконання арифметичних функцій. На ПВМ з такими логічними модулями легко будуються суматори та віднімачі зі збереженням переносу.

На основі поєднання технології перепалюваних перемичок, нової структури між’єднань, мініатюрних функціональних блоків на транзисторних парах і щільноупакованих блоків, що оптимізовані для отримання запам’ятовувальних елементів, компанія Crosspoint Solutions розробила свій варіант ІС, альтернативний кристалам фірми Actel. Її сімейство ПЛІС СР20К містить шість кристалів з архітектурою ПВМ і рівнем інтеграції від 2,2 до 20 тис. еквівалентних вентилів.

В архітектурі ПВМ компанії Crosspoint базові логічні елементи фактично розділяються на два типи. Перший тип елементів – це прості транзисторні пари, які звичайно використовуються в багатьох вентилях матрицях. У даній конструкції пара з n- та р-канального транзисторів визначена як елемент мозаїки з транзисторних пар ТРТ (transistor-pair tile). Ці плитки розташовані поруч одна з одною у рядки (рис. 1.8). Для ізоляції сусідніх логічних функцій затвори однієї транзисторної пари мають зворотний зсув, аналогічний тому, що використовується в деяких матрицях з масочним програмуванням (затворна ізоляція).

Поверх кожного рядка знаходяться елементи другого типу, що називаються елементами мозаїки ЗПДВ-логіки RLT (RAM-logic tile). Ці

елементи містять ресурси для реалізації як запам'ятовувальних елементів, регістрів-заскочок або мультиплексорів, так і логічних функцій “Виключального АБО”, “Виключального АБО-НІ”. Кожен RLT-елемент має вісім портів: шість для входних сигналів, один для вихідного сигналу та один двонаправлений. Чотири лінії постійно підключені до довгих ліній з'єднань для здійснення функцій стовпцевого і рядкового керування та для передачі біта даних, а комутація інших чотирьох ліній програмується. Лідером серед виробників крупнокоміркових ПБМ з конфігурацією, що може динамічно змінюватися, є фірма Xilinx. Основою програмовних схем цієї фірми є нескомутована матриця логічних блоків, що називаються CLB (configurable logic block – логічний блок з програмно-керованою конфігурацією), навколо якої розташовуються програмовні блоки введення-виведення. Матриця розбивається на кілька модулів (сегментів). Кожний CLB, також як і логічний модуль ПБМ сімейства Act3 фірми Actel, поділяється на дві частини: комбінаційну (комбінаційний блок), в основі якої лежить елемент СЗПДВ, та послідовнісну (послідовнісний блок), яка будується на одному або двох D-тригерах (у залежності від сімейства матриць).

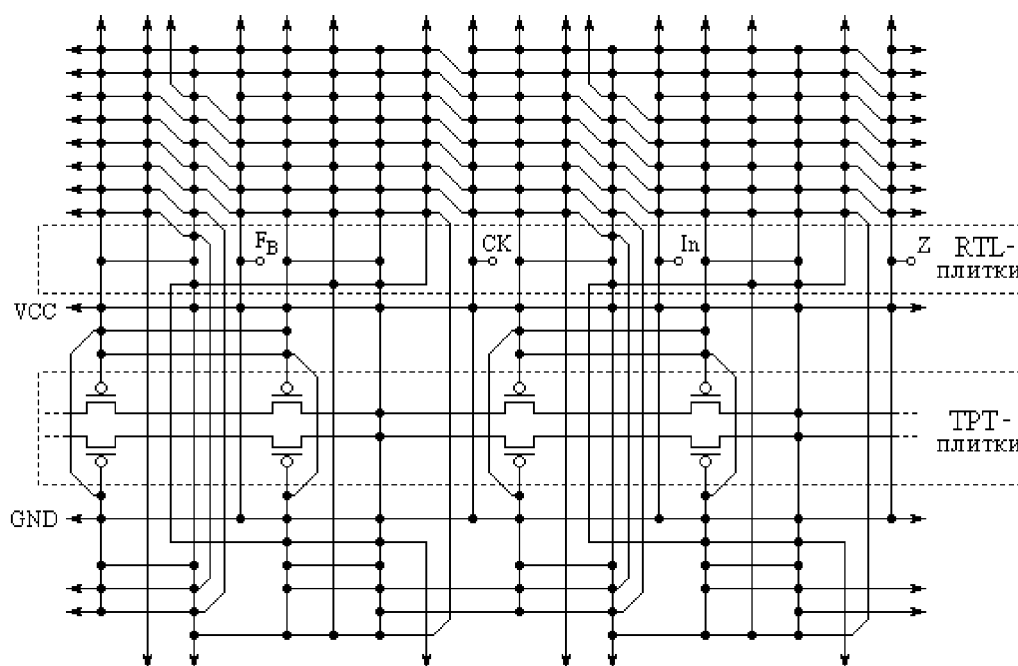


Рисунок 1.8 – Архітектура ПБМ компанії Crosspoint

У початковому стані логічні блоки оточені нескомутованими програмовними блоками введення-виведення, але при включенні живлення усі вони з'єднуються програмовними лініями з'єднань, у відповідності з

програмою завдання конфігурації, яка зберігається у внутрішньому ОЗП. Користувач сам складає програму і зберігає її в пам'яті. Під час ввімкнення живлення програма записується в логічну матрицю, а після вимикання матриця повертається у початковий стан.

Одним із останніх сімейств ПВМ на базі СЗПДВ компанії Xilinx є сімейство XC4000 матричних кристалів з еквівалентною складністю від 9 до 20 тис. вентилів [1-3]. Удосконалення архітектури базового логічного елемента і програмовних блоків спеціального ЗПДВ забезпечує значно більш високий рівень використання вентилів і набагато більшу гнучкість у порівнянні з попередніми сімействами ПВМ цієї фірми. Крім того, в інтегральних схемах сімейства XC4000 будь-яка макрофункція реалізується з приблизно вдвічі меншими затримками за порівнянням з матрицями попередніх сімейств. Приблизно 40% цього виграшу досягнуто за рахунок субмікронної КМОН-технології, а інші 60% є результатом зміни архітектури елементів і кристала у цілому [1, 2]. Більш того, удосконалений пакет програм проектування дозволяє розробникам більш ефективно використовувати логічні ресурси цих кристалів.

Найбільш оригінальна особливість нового сімейства матриць пов'язана з включенням у їхній склад блоків ЗПДВ із конфігурацією, що настроюється [1, 2]. Спочатку ці блоки можна використовувати як довідкові таблиці з описанням логіки. Але якщо в кристалі потрібна пам'ять, то ці невеликі блоки пам'яті можна перенастроїти на виконання функцій запам'ятовувальних пристроїв або регістрових матриць. Для ЗПДВ можна задати практично будь-яку розрядність слова з кроком приросту в 1 біт.

Базовий логічний блок, який використовується у матриці, має 13 незалежних входів і 4 виходи (рис. 1.9). Входи керують комбінаційним логічним блоком, до складу якого входить пара незалежних 4-входових генераторів складних логічних функцій, об'єднанням яких можна реалізовувати найрізноманітніші логічні функції багатьох змінних. Оскільки в комбінаційному логічному блоці для реалізації булевих функцій використовується ОЗП з табличним переглядом, час затримки розповсюдження сигналу крізь нього не залежить від виду функції.

Два виходи комбінаційного блоку керують входами двох D-тригерів (рис. 1.9), на яких будується послідовнісний блок. Вихідні сигнали тригерів можуть використовуватися як прямі входні сигнали для комбінаційного логічного блоку, що ще більше підвищує гнучкість нової архітектури. Крім того, на виходи елемента CLB можна на вибір видавати або вихідний сигнал комбінаційного логічного блоку, або вихідний сигнал тригера.

Комутація сигналів всередині базового логічного блоку здійснюється за допомогою мультиплексорів.

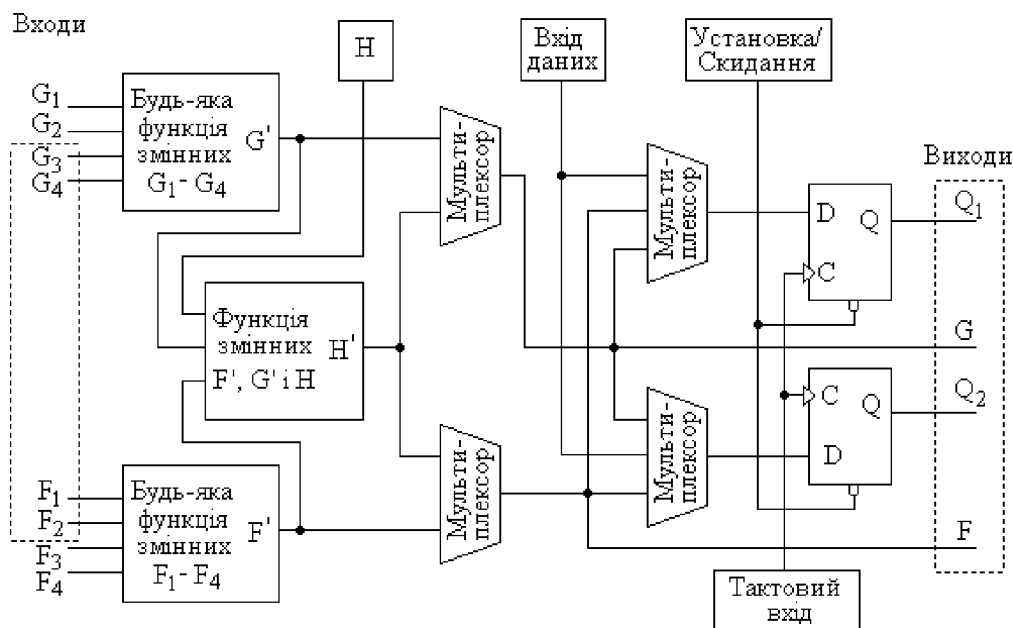


Рисунок 1.9 – Блок-схема базового логічного блоку ПВМ XC4000

Як і в попередніх пристроях фірми Xilinx, блоки CLB на вибір розробника можуть з'єднуватися з кожним із блоків введення-виведення, що виконують функції інтерфейсу між зовнішніми виводами корпусу і внутрішніми логічними блоками CLB. Кожний блок введення-виведення містить тригер, схему настройки входної порогової напруги та вихідну схему на три стани. Тригери у блоці введення-виведення забезпечують захват і синхронізацію зовнішніх сигналів. Вони розташовуються вздовж краю кристала разом з шиною тактових сигналів, яка керується із зовні або із середини.

Під дією сигналу керування з шини “3-й стан” блок введення-виведення, який конфігурований на вихід, може бути переведений у високоомний стан. Коли блок введення-виведення конфігурований на вхід, входну порогову напругу можна запрограмувати або на рівні TTL або на рівні КМОН (загальному для всього кристала).

Блоки введення-виведення можуть виконувати більше функцій ніж просте введення-виведення. Тригери, наприклад, можна використовувати як лічильники та регістри зсуву. Сигнал “3-й стан” допускає з'єднання кількох вихідних виводів разом, для отримання мультиплесора.

Трасування внутрішніх сигналів і завдання конфігурації логічних блоків і блоків введення-виведення здійснюється за допомогою спеціальної програми, яка зберігається у внутрішньому ОЗП. Це дозволяє програмувати

матрицю логічних елементів так само, як мікропроцесори, за допомогою програм, що завантажуються із зовнішнього ПЗП або ППЗП при ввімкненні живлення.

Функціональна гнучкість ПЛІС забезпечується мережею програмовних комутаційних елементів. Розрізняють три види між'єднань: універсальні, прямі та довгі.

Універсальні між'єднання – це сітка з металевих відрізків провідників, які проходять між рядками і стовпцями логічних блоків та блоків введення-виведення. Цей тип між'єднань використовується для розведення невеликих ділянок у місцях перетинів стовпців та рядків. У точках, де ці відрізки накладаються один на одного у місці перетину стовпця та рядка, використовуються двоспрямовані електронні ключі, з яких формується комутаційна матриця. Сигнал, що надходить в останню, може бути переключений на інший бік, що допускає зміну напрямку його руху або виведення його на іншу лінію.

Прямі між'єднання (програмувальні точки між'єднань) з'єднують входи логічних блоків і блоків введення-виведення з найближчими металевими лініями. Вони використовуються для побудови окремих швидкодійних структур, наприклад, лічильників і регістрів зсуву.

Довгі лінії пролягають на всю довжину та ширину кристала між рядками та стовпцями логічних блоків. Вони призначаються для розведення сигналів на великі відстані з мінімальними затримками. Для кожного рядка елементів CLB передбачається чотири вертикальні (дві загального призначення та дві для синхросигналів) та дві горизонтальні лінії, які підключаються до додаткової логічної схеми з трьома станами для реалізації двоспрямованої шини.

1.5 Програмовні вентиляні матриці на базі сзпдв з підвищеним рівнем інтеграції

Програмовні вентиляні матриці з підвищеним рівнем інтеграції будуються на основі поєднання крупнокоміркової та дрібнокоміркової архітектур. Такий підхід дозволяє збільшити коефіцієнт використання внутрішньої логіки матриці, полегшити реалізацію великих функціональних блоків та збільшити щільність упакування.

Основу архітектури ПВМ з підвищеним рівнем інтеграції складають складні програмовні логічні блоки (крупні комірки), які можуть функціонально поділятися на кілька більш простих програмовних елементів (дрібні комірки). Типовим прикладом ПВМ з підвищеним рівнем

інтеграції є сімейство ORCA (optimized reconfigurable cell array – оптимізована матриця на елементах з керованою конфігурацією) компанії AT&T Microelectronics Inc., яка спочатку була другим постачальником сімейств матриць XC2000 та XC3000 фірми Xilinx. Матриці сімейства ORCA працюють на тактових частотах до 80 МГц та мають у своєму складі до 22 тис. вентилів і до 288 елементів введення-виведення [2]. Завдяки високій тактовій частоті і подвійній архітектурі крупнокоміркового/дрібнокоміркового типу швидкодія нових матричних кристалів зростає до рівня, еквівалентного підвищенню тактової частоти матриць сімейства XC3000 до 250—300 МГц.

Внутрішня архітектура матриць сімейства ORCA складається з елементів двох основних типів – програмовних логічних елементів і програмовних елементів введення-виведення. До складу кожного програмовного логічного елемента (крупна комірка) входить складна схема з керованою конфігурацією, що називається програмовним функціональним блоком PFU (programmable function unit), і програмовний блок трасування. Кожен PFU-блок у свою чергу складається з чотирьох 4-входових блоків довідкових таблиць, виходи яких заведені на входи чотирьох D-тригерів. Таким чином, кожний PFU-блок за необхідності можна додатково розбити на чотири PFU-субблоки (дрібні комірки). Блок PFU забезпечує формування функцій для трактів даних, статичних ЗПДВ і схем довільної логіки [3].

Архітектура ORCA нагадує симетричну шахівницю, у якій кожна клітка є програмовним логічним елементом, а вертикальні і горизонтальні лінії – з'єднувальними каналами, кожний з яких містить 25 двоспрямованих ліній. Ці канали поділяються на три категорії: довгі лінії для трасування сигналів через весь кристал, лінії середньої довжини, які з'єднуються з кожним четвертим логічним елементом, і короткі лінії, які з'єднуються з кожним макроелементом.

Завдяки можливості вибору довжини лінії фахівці компанії AT&T зробили спробу мінімізувати навантаження на сигнальні лінії. Однак складності, пов'язані з реалізацією таких додаткових можливостей, викликають додаткове ускладнення проектного програмного забезпечення для цих матриць, оскільки воно повинно під час виконання кожного з'єднання проводити оцінювання усіх можливих варіантів. Засоби трасування, що здійснюють поворот сигнальної лінії (перехід від вертикальної на горизонтальну чи навпаки), реалізовані в складі логічного елемента (програмовний блок трасування), а не в з'єднувальних провідниках. Це збільшує складність елемента, але дає зменшення

загального обсягу схем трасування у матриці, забезпечуючи підвищену ефективність використання площини в логічних блоках у порівнянні з блоками в матрицях фірми Xilinx.

Пам'ять, що використовується в кожній з чотирьох довідкових таблиць (шістнадцять 1-бітних слів) одного PFU-блоку, можна об'єднати в ЗПДВ з організацією 16x4 біт. Як і в кристалах сімейства XC4000, табличні СЗПДВ можна при необхідності скомутувати як стандартні СЗПДВ. Проте на відміну від матриць фірми Xilinx пам'ять у матрицях сімейства ORCA можна поділяти між довідковими таблицями і системним СЗПДВ у співвідношенні 50/50. На кожному PFU-блоці можна побудувати швидкодійний 4-бітний суматор, віднімач, лічильник, мультиплексор або пристрій, що виконує інші функції. Крім того, у кожному PFU-блоці можна реалізувати чотири 4-входові функції, дві 5-входові функції, одну 6-входову і навіть декілька 11-входових. Регістри і логіку PFU-блоку можна використовувати як спільно, так і незалежно, підвищуючи тим самим ефективність топології кристала і рівень використання логіки [2].

Лідером серед виробників ПВМ з підвищеним рівнем інтеграції є фірма Altera. Її порівняно нове сімейство з п'яти інтегральних схем з максимально повною кількістю вентилів 48 тисяч (кількість використовуваних вентилів 24 тисячі) отримало назву FLEX 8000 (flexible-logic-element-matrix – гнучка матриця логічних елементів) [6].

Прилади цього сімейства виконані на базі ЗПДВ, що забезпечує можливість зміни їхньої конфігурації безпосередньо в системах. Це перший вихід фірми в сектор ринку логічних ІС на базі ЗПДВ. Матричні кристали сімейства FLEX, які виконані на основі колишніх матричних СППЗП- або ЕСППЗП-архітектур, відрізняються високою регістровою насиченістю – у їхній склад входять від 452 до 2252 тригерних схем (максимальний показник для всіх аносованих ПВМ-кристалів) і велика кількість ліній введення-виведення. Для нових ІС забезпечені висока передбачуваність і визначеність часових параметрів завдяки використанню нових логічних функціональних блоків з високою швидкістю і глобальними з'єднувальними каналами під назвою FastTracks. Ці канали дозволяють навіть для найгіршого випадку одержувати затримки розповсюдження сигналів через весь кристал значенням до 9 нс [6].

Основу матриць сімейства FLEX (рис. 1.10) складають логічні матричні блоки LAB (logic array block), що утворюють “великі комірки”. Кожний блок LAB можна розділити на вісім “дрібнокоміркових” логічних елементів LE (logic element), кожний з яких має у своєму складі

послідовносні та комбінаційні логічні схеми. Чотири таких елементи еквівалентні одному PFU блоку матриць сімейства ORCA.

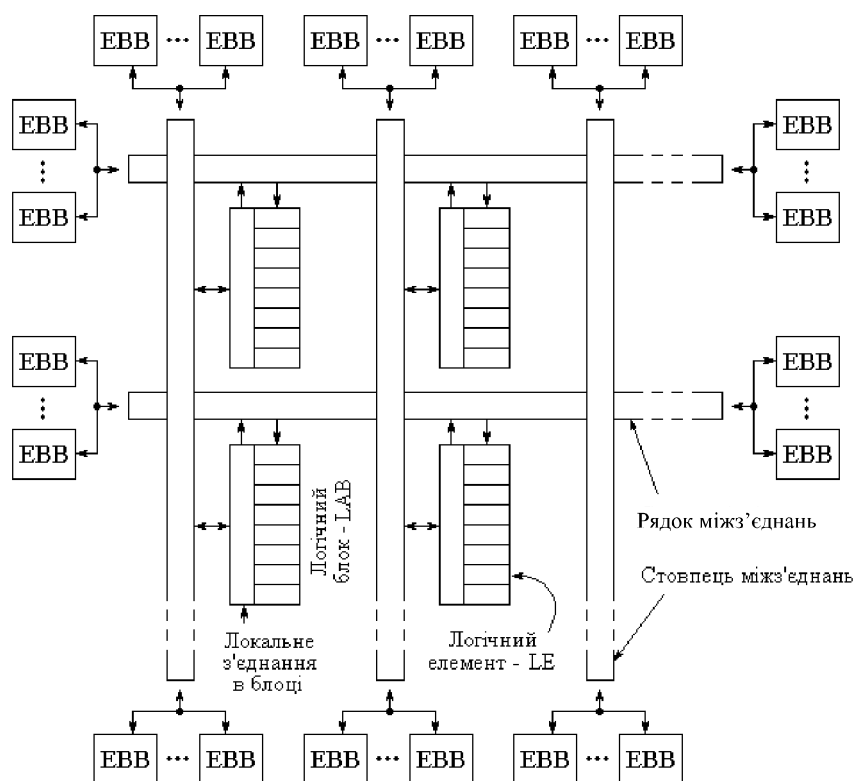
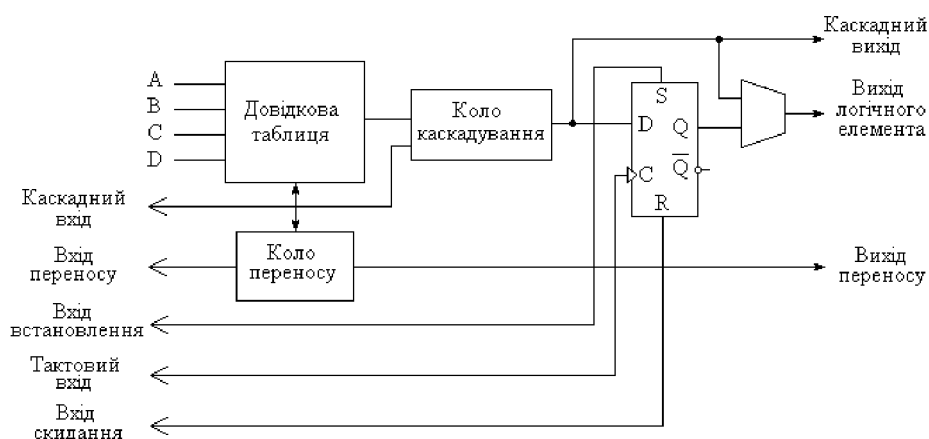


Рисунок 1.10 – Структурна схема ПЛІС сімейства FLEX8000

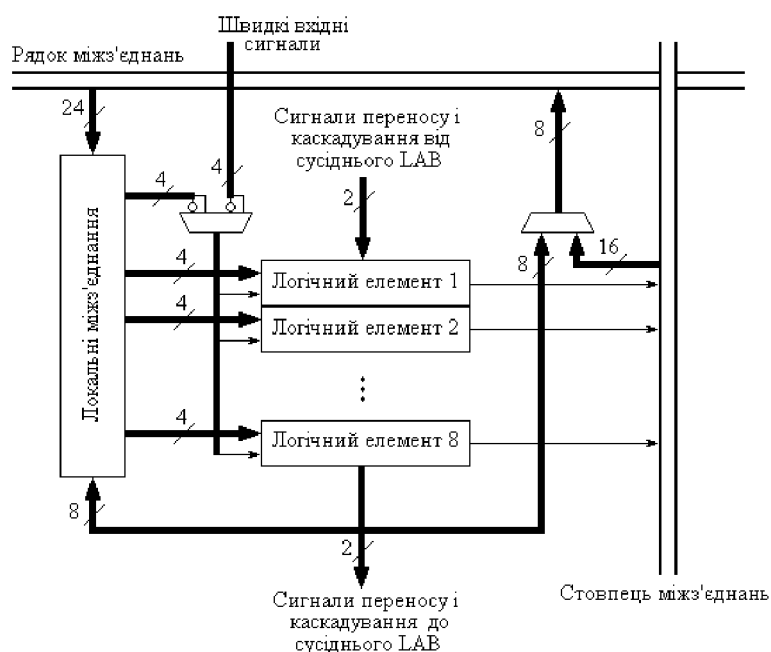
Комбінаційна логіка в кожному LE-елементі складається з 4-входової довідкової таблиці і каскадного ланцюжка. Довідкова таблиця формує будь-яку логічну функцію чотирьох змінних за 5 нс. До послідовної частини LE-елемента входить тригер з керованою конфігурацією, який має синхронний та асинхронний тактові входи, входи встановлення та скидання (рис. 1.11а). Цей тригер за допомогою налаштування конфігурації можна зробити тригером D-, T-, JK- або RS-типу. Сигнали для керування функціями тактування, скидання та встановлення можна подавати на LE-елемент із високошвидкісної сигнальної лінії або з будь-якої внутрішньої лінії елемента. Якщо LE-елемент використовується в комбінаційному режимі, то його тригер можна просто обійти.

Додаткова логіка в кожному LE-елементі включає в себе два швидкодіючих тракту даних – коло переносу та коло каскадування. Коло переносу здійснює функцію прямого переносу, а коло каскадування – послідовне з'єднання LE-елементів за допомогою використання логічних функцій І чи АБО. Ці підсекції полегшують формування швидкодіючих

суматорів і багаторозрядних функціональних блоків, здійснюючи з'єднання сусідніх LE-елементів без застосування навіть локальних міжз'єднань. Сума та сигнал переносу генеруються довідковою таблицею. Вихідний сигнал переносу обходить програмовний тригер і вносить менш ніж 1 нс додаткової затримки на кожний додатковий розряд реалізованої функції. Коло переносу та коло каскадування з'єднують усі LE-елементи в LAB-блоці та всі LAB-блоки в одному рядку.



а



б

Рисунок 1.11 – Структурна схема логічного елемента (а) та логічного блоку (б) ПЛІС сімейства FLEX8000

Вісім LE-елементів згруповані і скомутовані так, що утворюють один LAB-блок (рис. 11б). Кожну таку групу з восьми LE-елементів обслуговує свій блок локальних з'єднань. Входи елементів і їх виходи “пропущені”

крізь цей блок, а також виведені на рядки і стовпці великої матриці з'єднань.

Завдяки цьому, для простої макроелементної функції, що реалізується одним LE-елементом, затримка складає всього 5-6 нс. Кожний наступний LE-елемент додає до цієї затримки 1 нс. Каскадне включення LE-елементів дозволяє одержувати такі багатовхідні функції, як адресні дешифратори. Для двох LE-елементів 8-вхідна функція має затримку логічного сигналу 5 нс, 12-вхідна – всього 7, 16-вхідна – всього 8 нс.

Прямі й інверсні варіанти чотирьох високошвидкісних сигнальних ліній з малим розфазуванням, що з'єднані з чотирма вхідними контактами IC, заведені на кожний LAB-блок і виконують функцію глобальних сигналів керування. Дві лінії можна використовувати як тактові сигнали тригерів, а дві інші – як сигнали скидання. Одну з ліній скидання можна також використовувати як лінію сигналу встановлення. Для кожного LE-елемента в LAB-блоці можна незалежно задавати, звідки він одержує свої тактові сигнали і сигнали скидання – з високошвидкісних вхідних контактів IC, з будь-яких інших контактів або від будь-якої з внутрішніх схем, що генерує відповідний сигнал. Сигнали керування з високошвидкісних входів забезпечують найкращу взаємну синхронізацію тактових сигналів і сигналів скидання в системному масштабі.

Вбудовані ресурси трасування включають безперервні металеві лінії FastTrack, що перетинають весь кристал і забезпечують прогнозовані затримки 9 нс на повній довжині або ширині кристала. LAB-блоки, що розташовуються у вузлах регулярної матриці у всій середній частині кристала, підключаються до рядкових і стовпових з'єднувальних каналів FastTrack. Затримка сигналу між LE-елементами всередині одного LAB-блоку складає всього 1 нс, а між елементами одного рядка – 6 нс. На передачу сигналів між LE-елементами з різних рядків потрібно 9 нс.

Елементи введення-виведення, які обслуговують зовнішні виводи кристала, вводять зовнішні сигнали в схеми FLEX або виводять їх у зовнішні кола. Кожний елемент має у своєму складі двоспрямований буфер введення-виведення, тригер і логіку керування швидкістю наростання вихідної напруги. Буфер введення-виведення та тригер можна використовувати як вхідний або вихідний регістр. Логіка керування швидкістю наростання вихідної напруги дозволяє збільшувати фронти перемикальних сигналів за порівнянням з початковими значеннями, щоб знизити кидки напруги на земляній шині.

Елементи СЗПДВ, в які записується інформація про конфігурацію ІС, необхідно завантажувати відразу після ввімкнення живлення. Відповідну інформацію можна зберігати в таких стандартних приладах пам'яті, як СППЗП та ЕСППЗП, або в системних ЗПДВ.

Фахівці фірми Altera запропонували шість різних конфігурацій пам'яті, які системотехніки можуть на вибір реалізувати в процесі системного проектування. Передбачені також два основних режими завдання конфігурації: активний і пасивний. В активному режимі FLEX-кристал сам керує процесом завантаження даних, виконуючи його безпосередньо з зовнішньої пам'яті. У пасивному режимі FLEX-кристал працює як ведений пристрій, а передачею потрібних даних керує провідна система.

Передачу даних можна виконувати по байтах або у вигляді послідовного бітового потоку. Для послідовних передач передбачене замовлене послідовне СППЗП конфігурації EPC1213, що має ємність 213 Кбіт і випускається у 8-контактному дворядному корпусі або у 20-контактному пластмасовому носії кристалів з виводами. Для реалізації побайтового режиму до шини даних FLEX-кристала можна безпосередньо підключати стандартні СППЗП або інші прилади пам'яті з байтовою організацією. Відновлення усього вмісту пам'яті можна виконати менш ніж за 100 мс. Завдяки такому малому часу системотехніки мають можливість створювати багатоцільові апаратні чи модульні комплекси, які можна автоматично перенастроювати на будь-які системні вимоги.

Двома ключовими особливостями ІС сімейства FLEX є висока швидкодія і мала потужність споживання. Ці матричні кристали, які виготовлені за допомогою 0,8-мкм КМОН-технології з двома рівнями з'єднувальної металізації, можуть працювати з зовнішніми тактовими сигналами з частотою 70 МГц. У середині матриць на LE-елементах і LAB-блоках можна побудувати, наприклад, 16-бітні синхронні не завантажувальні лічильники з робочою частотою 160 МГц, 16-бітні реверсивні завантажувальні лічильники з частотою 70 МГц і 24-бітні суматори з частотою 50 МГц. Ці показники швидкодії на 20-50% перевершують показники більшості наявних сьогодні ПВМ-кристалів. Слід зазначити, що в режимі очікування струм споживання матричних ІС складає менш ніж 1 мА з напругою живлення 5 В. В активному режимі струм споживання зростає приблизно до 100 мА [6].

У порівнянні з вентильними матрицями кристали сімейства FLEX мають трохи меншу швидкодію. Для сучасних матричних КМОН-кристалів типові затримки вентилів у прикладних схемах з помірними

навантаженнями складають від 500 до 600 пс. При великих навантаженнях (велике розгалуження по виходу або довгі металеві лінії) ця величина може подвоїтися. Таким чином, функціональні блоки на таких сильно навантажених вентилях, наприклад тригери і лічильники, можуть мати частоту перемикання більш ніж 200 МГц. Тому гранична робоча частота FLEX-кристалів, яка дорівнює 160 МГц, робить їх цілком конкурентоздатними, особливо з врахуванням миттєвої реалізації потрібних схемних рішень і практично нульової вартості їхньої розробки.

Основними областями застосування IC сімейства FLEX є відео- і графічні підсистеми, апаратура зв'язку і підсистеми керування.

1.6 Програмовні багатоблочні матриці

Програмовні багатоблочні матриці (MAX – multiple array matrix) є найновішим технічним напрямком у розвитку програмовних логічних пристроїв, що розроблений на фірмі Altera [1]. Вони будуються на принципово новій архітектурі, працюють з подвоєною тактовою частотою і мають у 4 рази більшу щільність компонування матриці логічних вентилів І-АБО ніж у найнасиченіших КМОН ПЛІС цієї фірми [1]. Новими приладами з архітектурою MAX є ПЛІС сімейств MAX3000, MAX7000 та MAX9000.

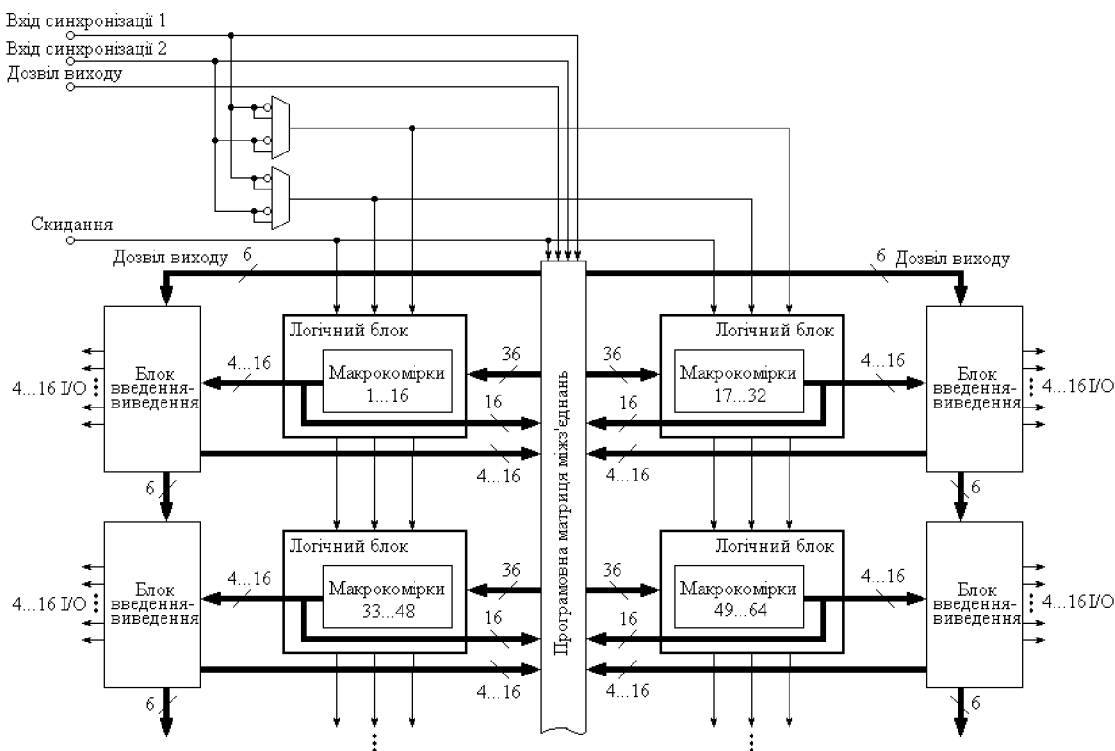


Рисунок 1.12 – Функціональна схема ПЛІС сімейства MAX 3000

Програмовні логічні схеми сімейства MAX3000 з'явилися на ринку влітку 1999 року. Вони виготовлені за 0.35 мкм технологією КМОН ЕСПЗП [7] і допускають програмування у системі (технологія ISP – In-system programmability) та периферійне сканування (boundary scan) у відповідності зі стандартом IEEE Std. 1149.1 JTAG. Мікросхеми сімейства MAX3000 випускаються в корпусах з виводами від 44 до 208, можуть працювати у системах з рівнями сигналів 5, 3.3 та 2.5 В, мають можливість апаратної емуляції виходів з відкритим колектором, підтримують режим зниженого енергоспоживання і задовольняють вимоги стандарту PCI.

В основі архітектури ПЛІС сімейства MAX3000 (див. рис 1.12) лежать логічні матричні блоки LBA, кожен з яких складається з 16 макрокомірок. Логічні блоки з'єднуються за допомогою програмовної матриці між'єднань PIA (programmable interconnect array). Кожен логічний блок має 36 входів з PIA.

На рис. 1.13 наведена структурна схема макрокомірки, яка складається з трьох основних функціональних модулів: локальної програмовної матриці, матриці розподілення термів і програмовного тригера. На кожен макрокомірку заведені глобальний сигнал скидання та два глобальних сигнали синхронізації. Останні дозволяють ефективно програмувати схеми з двофазною синхронізацією.

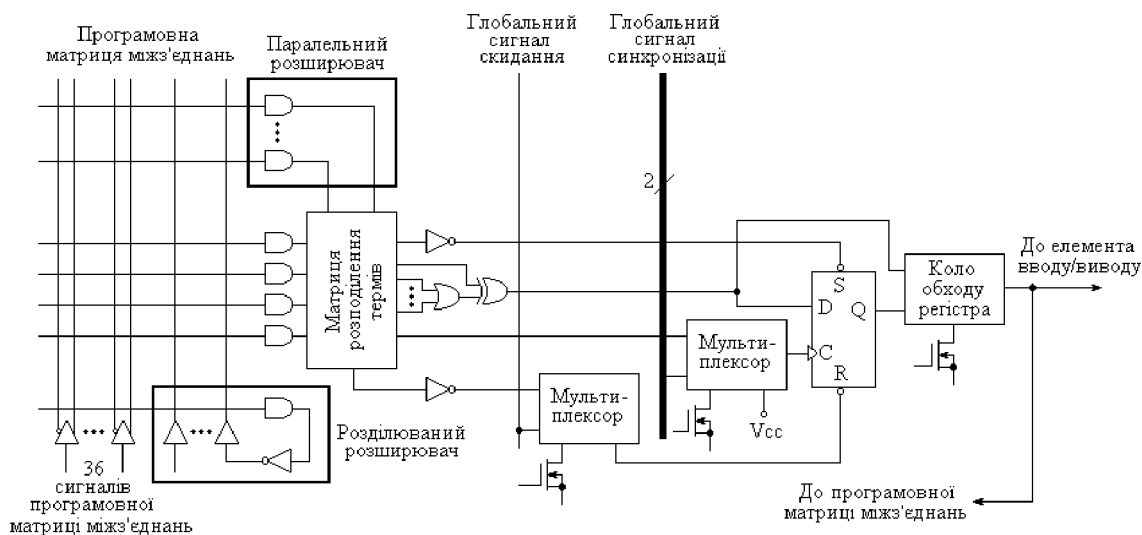


Рисунок. 1.13 – Структурна схема макрокомірки ПЛІС сімейства MAX3000

Комбінаційні функції реалізуються на локальній програмовній матриці і матриці розподілення термів, яка дозволяє об'єднувати логічні добутки чи то по АБО, чи то по виключальному АБО. Крім того, матриця розподілення

термів дозволяє зкомутувати коло керування тригером.

Для кожного тригера можна задати конфігурацію D-, T-, JK- або RS-типу. Тригер має асинхронні входи попередньої установки та скидання, що дозволяє організувати асинхронне завантаження лічильників та регістрів зсуву. Будь-який тригер макроелемента можна запрограмувати на роботу в якості регістрового елемента як прохідного, так і такого, що спрацьовує за фронтом сигналу. Прокідний регістровий елемент забезпечує мінімальні затримки від входу до виходу і використовується для побудови дешифраторів, а тригер, що спрацьовує за фронтом сигналу гарантує формування чітких сигналів, необхідних для синхронних лічильників або кінцевих автоматів. Для реалізації лише комбінаційних функцій тригер можна обійти.

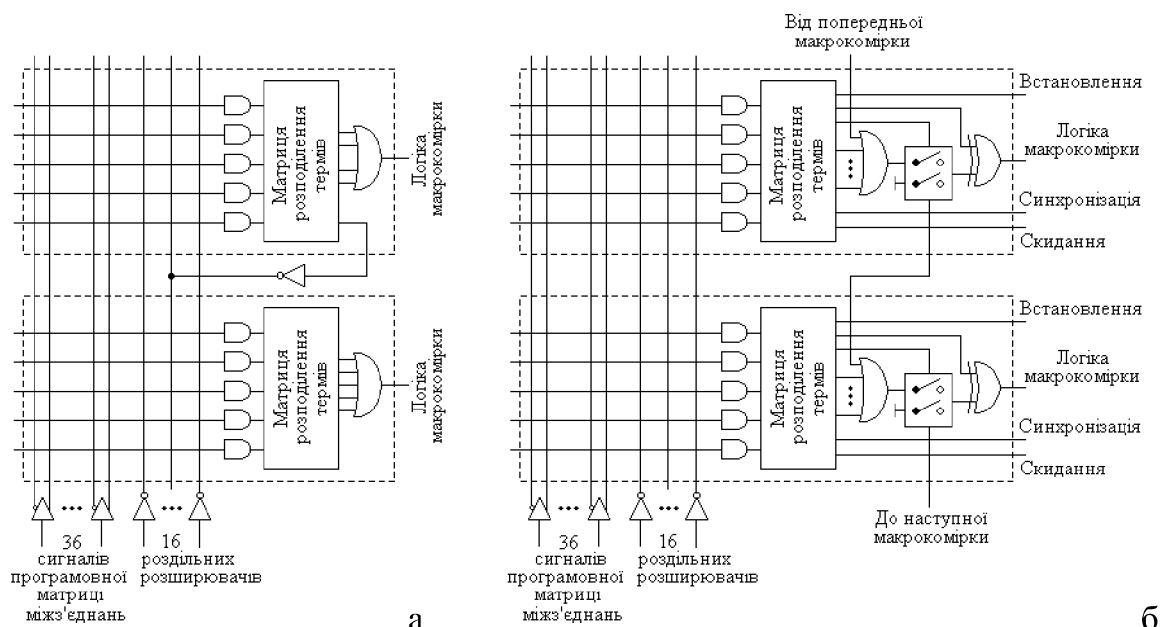


Рисунок 1.14 – Логічні розширювачі: а – роздільний, б – паралельний

Для реалізації логічних функцій великої кількості змінних використовуються логічні розширювачі. Роздільний логічний розширювач (рис. 1.14а) дозволяє реалізовувати логічну функцію з великою кількістю входів, об'єднуючи макрокомірки, що входять до складу одного логічного блоку. Таким чином, роздільний розширювач формує терм, інверсне значення якого передається матрицею розподілення термів в локальну програмовну матрицю і може бути використаний у будь-якій макрокомірці даного логічного блоку. Як видно з рис. 1.14а є 36 сигналів локальної програмовної матриці міжз'єднань, а також 16 інверсних сигналів з роздільних логічних розширювачів, що дозволяє в межах одного логічного блоку реалізовувати функцію до 52 термів одного рангу.

Паралельний логічний розширювач (рис. 1.14б) дозволяє використовувати локальні матриці між'єднань суміжних макрокомірок для реалізації функцій, до яких входить більш ніж 5 термів. Один ланцюжок паралельних розширювачів може включати до 4 макрокомірок, реалізуючи функції 20 термів.

Для вирішення двох проблем, які є типовими для більшості структур ПЛІС, – проблеми небажаних часових зсувів між логічними сигналами через різні довжини з'єднань між вентилями і проблеми довгих затримок розповсюдження сигналів – в архітектурі MAX передбачена спеціальна матриця між'єднань PIA, що зв'язує між собою логічні матричні блоки. Блок PIA (рис. 1.15), що забезпечує однакову, чітку затримку від точки до точки, діє подібно програмовній лінії зв'язку між логічними блоками, так що входи та лінії зворотних зв'язків макрокомірок можна підключати до будь-якого іншого мікроелемента в рамках приладу. Завдяки забезпеченню фіксованої затримки блок PIA усуває часові зсуви між логічними сигналами, які можуть призвести до викидів сигналів у внутрішній або зовнішній логіці.

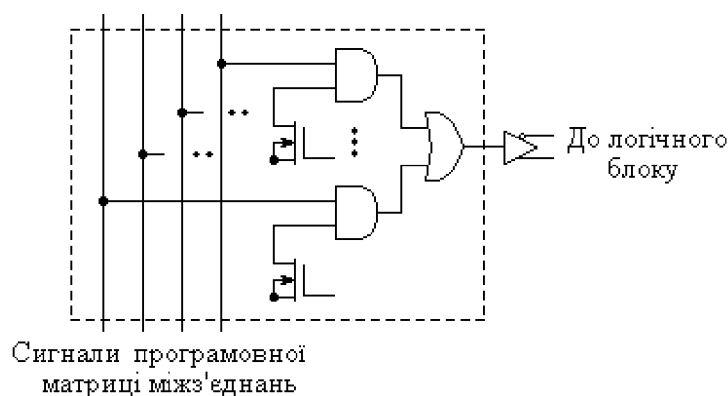


Рисунок 1.15 – Структура програмовної матриці між'єднань

На програмовну матрицю між'єднань виводяться сигнали від усіх можливих джерел: елементів введення-виведення, сигналів зворотних зв'язків логічних блоків, спеціалізованих виводів. У процесі програмування на логічний блок заводяться лише необхідні сигнали. Матриця PIA має безперервну структуру і дозволяє реалізовувати час затримки розповсюдження сигналів до 4.5 нс.

Додаткову гнучкість архітектурі MAX надає оригінальна організація блоків введення-виведення (див. рис. 1.16), що дозволяють організувати режими роботи з відкритим колектором та третім станом. Блоки введення-виведення передбачають можливість розв'язування контактів введення-

виведення та внутрішніх тригерів. Це дозволяє створювати універсальні структури введення-виведення, в яких контакти вводу-виводу можна використовувати як спеціальні двоспрямовані виходи або додаткові спеціальні входи. Це, у свою чергу, дозволяє будувати великі внутрішні схеми, зберігаючи при цьому можливість використання усіх контактів вводу-виводу. Додаткова перевага розв'язки контакту вводу-виводу від внутрішнього макроелемента – можливість створювати для кожного мікроелемента подвійний зворотний зв'язок, що є корисним тоді, коли необхідно використовувати велику кількість вхідних виводів, оскільки при цьому можна використовувати зворотний зв'язок макроелемента.

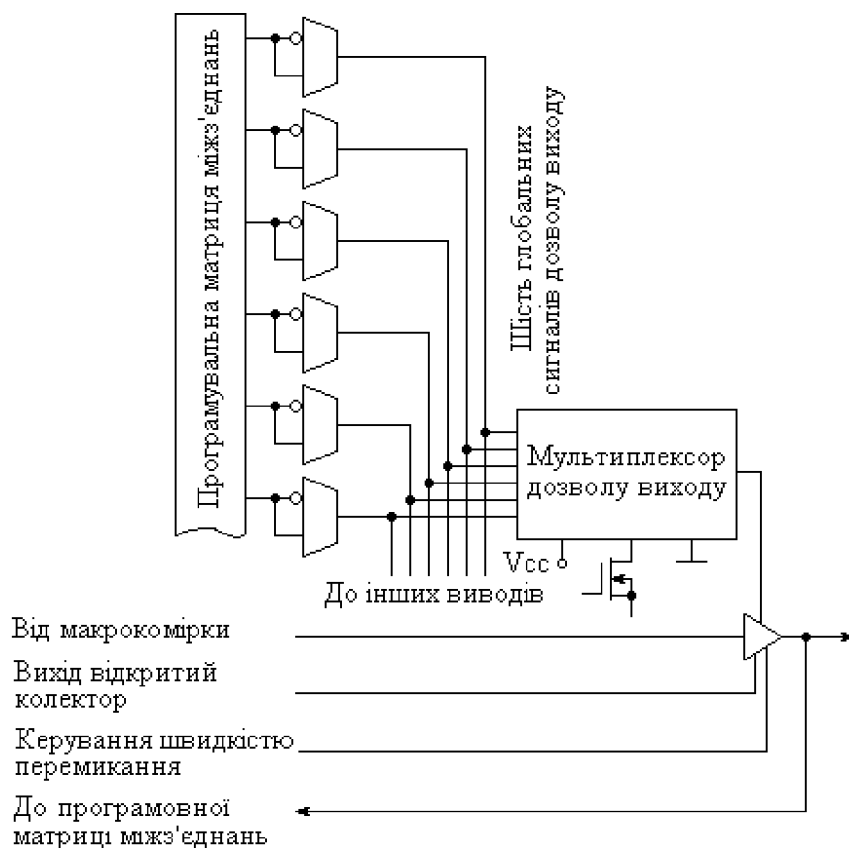


Рисунок 1.6 – Структурна схема елемента введення-виведення

Сімейство мікросхем MAX7000 є першими програмовними багатоблочними логічними матрицями, що виконанні за технологією ПЗП з електричним стиранням. У наш час випускаються ПЛІС MAX7000, MAX7000A, MAX7000B, MAX7000E та MAX7000S. Сімейства MAX7000A та MAX7000B розраховані на роботу в системах з напругою живлення 3.3 та 2.5В, відповідно. Сімейство ПЛІС MAX7000S є подальшим розвитком 5-вольтового MAX7000 з можливістю програмування у системі і останнім

часом здобуло найбільшої популярності у розробників.

Елементи введення-виведення сімейства MAX7000S дозволяють працювати з рівнями сигналів 5 та 3.3В. Програмувальна матриця міжз'єднань забезпечує час затримки розповсюдження сигналів до 5нс. ПЛІС MAX7000S підтримують режим зниженого енергоспоживання і забезпечують можливість емуляції виходів з відкритим колектором та індивідуального програмування кіл скидання, встановлення і тактування тригерів у макрокомірках. Програмовний логічний розширювач дозволяє реалізовувати на одній макрокомірці функції до 32 змінних. Також як і ПЛІС сімейства MAX3000 пристрої MAX7000S надають можливість задавати біт секретності для захисту від несанкціонованого тиражування розробки.

Сімейство ПЛІС MAX9000 має матричну структуру, яка подібна до структури ПЛІС сімейств FLEX6000 та FLEX8000, але виконану за технологією ПЗП з електричним стиранням, як і ПЛІС сімейств MAX3000 та MAX7000.

Мікросхеми сімейства MAX9000 характеризуються великою логічною ємністю і не потребують зовнішнього конфігураційного ПЗП. Завдяки матричній структурі міжз'єднань вони є придатною елементною базою для реалізації алгоритмів цифрової обробки сигналів.

Основною системою проектування пристроїв на ПЛІС фірми Altera є система MAX+PLUS II, яка до останнього часу за своїми функціональними можливостями не мала достойних конкурентів (у 1999 році з'явилася система проектування нового покоління Quartus). У матзабезпеченні MAX+PLUS II (Multiple Array matrix Programmable Logic User System) використовуються могутні методи логічного синтезу, існують різноманітні програми для автоматичної мінімізації функцій, розміщення і виявлення помилок введення проєктованих пристроїв, реєстрації максимальної часової затримки між двома зазначеними точками, а також для функціонального і часового моделювання проєктованого пристрою.

КОНТРОЛЬНІ ПИТАННЯ

1. На які основні два типи поділяються програмовні логічні інтегральні схеми за технологією їх виготовлення? Охарактеризуйте кожний з них.
2. Програмовні логічні матриці: їх структура та різновиди. Особливості структурної організації сучасних ПЛМ.