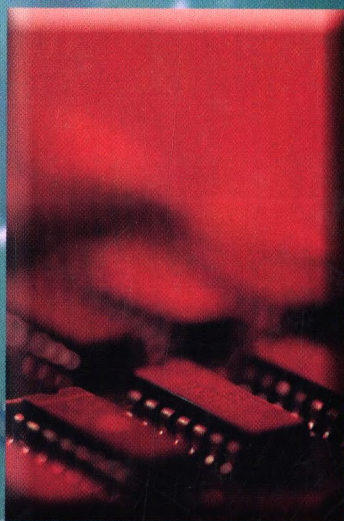


32.844.73
0-75

ОСНОВИ СХЕМО- ТЕХНІКИ електронних систем



«ВИЩА ШКОЛА»

ОСНОВИ СХЕМО- ТЕХНІКИ електронних систем

*Затверджено
Міністерством освіти
і науки України*

Підручник для студентів
вищих навчальних закладів
I–II рівнів акредитації

КИЇВ
«ВИЩА ШКОЛА»
2004

УДК 621.382.2/.3+004(075.32)
ББК 32.844.1я723
О-75

Гриф надано Міністерством
освіти і науки України
(протокол від 23 вересня
2003 р. № 1/11-4043)

ЗМІСТ

Автори: В. І. Бойко, А. М. Гуржій, В. Я. Жуйков, А. А. Зорі,
Є. І. Сокол, В. М. Співак, Т. О. Терещенко

Рецензенти: чл.-кор. НАНУ, д-р техн. наук, проф. О. В. Кириленко (Інститут електродинаміки Національної академії наук України), канд. техн. наук, проф. Ю. Є. Кулешов (Київський національний університет технологій та дизайну)

Редактор В. С. Захарченко



О-75 / **Основи схемотехніки електронних систем: Підручник**
/ В. І. Бойко, А. М. Гуржій, В. Я. Жуйков та ін. — К.:
Вища шк., 2004. — 527 с.: іл.
ISBN 966-642-266-2

Викладено основи схемотехніки, розглянуто принципи дії, подано розрахунки аналогових, цифрових та імпульсних пристроїв електронних систем на основі напівпровідникових приладів, інтегральних операційних підсилювачів й інтегральних логічних мікросхем ТТЛ, МОН, КМОН типів, принципи побудови систем керування пристроями електроніки на базі мікропроцесорів і мікроконтролерів.

Для студентів вищих навчальних закладів I—II рівнів акредитації. Може бути корисним для фахівців з електронної техніки, які спеціалізуються в галузі розробки, виготовлення та експлуатації електронних систем і приладів.

УДК 621.382.2/.3+004(075.32)
ББК 32.844.1я723

ISBN 966-642-266-2

© В. І. Бойко, А. М. Гуржій,
В. Я. Жуйков, А. А. Зорі,
Є. І. Сокол, В. М. Співак,
Т. О. Терещенко, 2004

Передмова	8
Вступ	12

Частина 1 АНАЛОГОВА СХЕМОТЕХНІКА

Розділ 1. Підсилювальні пристрої	15
1.1. Електронні системи, підсистеми і вузли	15
1.2. Основні компоненти електронних пристроїв	16
1.3. Підсилювальні пристрої. Основні визначення	17
1.4. Основні технічні показники підсилювачів	19

Розділ 2. RC-Підсилювачі напруги на біполярних і польових транзисторах	24
2.1. Підсилювач напруги на біполярному транзисторі за схемою зі спільною базою	24
2.2. Підсилювач напруги на біполярному транзисторі за схемою зі спільним емітером	28
2.3. Підсилювач напруги на біполярному транзисторі за схемою зі спільним колектором	33
2.4. Підсилювач напруги на польовому транзисторі за схемою зі спільним витоком	36

Розділ 3. Частотні характеристики RC-підсилювачів звукових частот	41
3.1. Звукові частоти. Характерні області звукових частот	41
3.2. Характеристики підсилювачів напруги в області середніх звукових частот	44
3.3. Низькі звукові частоти	45
3.4. Робота підсилювача в області високих звукових частот	47

Розділ 4. Підсилювачі потужності	50
4.1. Узгодження джерела сигналу з навантаженням. Класифікація підсилювачів потужності	50
4.2. Однотактні підсилювачі потужності	52
4.3. Двотактні підсилювачі потужності	58
4.4. Підсилювачі потужності без трансформаторів	59

Розділ 5. Вплив температури на характеристики і параметри транзисторних підсилювачів. Нелінійні спотворення каскадів	63
5.1. Вплив температури на характеристики біполярних транзисторів. Основні причини температурної нестабільності каскадів	63
5.2. Температурна стабілізація і компенсація каскадів	66
5.3. Причини нелінійних спотворень	70
5.4. Наскрізна характеристика каскаду	72
5.5. Методи розрахунку нелінійних спотворень	74
Розділ 6. Зворотні зв'язки у підсилювачах	78
6.1. Загальні поняття і класифікація зворотних зв'язків	78
6.2. Вплив зворотного зв'язку на основні параметри підсилювача	79
6.3. Вплив зворотного зв'язку на вхідний і вихідний опори підсилювача	81
6.4. Практичні схеми підсилювальних каскадів зі зворотними зв'язками	85
6.5. Стійкість підсилювачів зі зворотними зв'язками	87
Розділ 7. Підсилювачі постійного струму. Дрейф нуля і способи його зменшення	90
7.1. Призначення підсилювачів постійного струму. Підсилювачі на несівній частоті	90
7.2. Підсилювачі з безпосередніми зв'язками	92
7.3. Дрейф нуля підсилювачів. Основні причини і способи його зменшення	96
7.4. Паралельно-балансові й диференціальні каскади підсилювачів	99
Розділ 8. Аналогові мікроелектронні структури. Операційні підсилювачі в інтегральному виконанні	101
8.1. Класифікація аналогових інтегральних мікросхем, елементи їх схемотехніки, взаємні компоненти, вихідні каскади	101
8.2. Напруга зсуву, вхідні струми та їхні температурні дрейфи	105
8.3. Операційні підсилювачі. Еквівалентна схема підсилювача	109
Розділ 9. Побудова вирішальних структур на базі операційних підсилювачів. Лінійні та нелінійні функціональні перетворювачі	111
9.1. Операційні підсилювачі з інвертуванням і без інвертування сигналу	111
9.2. Суматори, інтегратори і диференціатори на базі підсилювачів	115
9.3. Схеми установки нуля і частотної корекції підсилювачів	117
Розділ 10. Вибірні (селективні) підсилювачі	120
10.1. Характеристики паралельного і послідовного коливальних контурів	122

10.2. Вибірні підсилювачі LC-типу	127
10.3. Загальні положення теорії вибірних RC-систем	131
10.4. Подвійний T-подібний міст. Основні характеристики і параметри	132
10.5. Принципові схеми вибірних RC-підсилювачів	136
Розділ 11. Генератори періодичних коливань LC-типу	139
11.1. Методи аналізу умов збудження генераторів	139
11.2. LC-Генератор на польовому транзисторі з контуром у колі затвора	141
11.3. LC-Генератори на біполярних транзисторах	143
Розділ 12. RC-Генератори	147
12.1. Загальні положення теорії RC-генераторів	147
12.2. RC-Генератори з фазообертальними на 180° ланками	148
12.3. RC-Генератор з нульовим фазообертачем	152
Частина 2	
ІМПУЛЬСНІ ПРИСТРОЇ	
Розділ 13. RC-Ланки під час імпульсного впливу. Формувачі прямокутних імпульсів	155
13.1. Імпульси, класифікація, характеристика, параметри	155
13.2. Диференційні, розділові та інтегровальні RC-ланки	157
13.3. Обмежувачі на діодах послідовного і паралельного типів	163
13.4. Лінійні моделі транзисторів у режимі великого сигналу	167
13.5. Розрахунки транзисторних ключів	170
Розділ 14. Мульти- й одновібратори	175
14.1. Транзисторний мультивібратор. Принцип дії. Осцилограми роботи	175
14.2. Розрахунок періоду коливань мультивібратора	178
14.3. Регулювання частоти, термостабілізація і поліпшення форми вихідної напруги мультивібратора	180
14.4. Транзисторний одновібратор. Принцип дії, осцилограми	184
Розділ 15. Генератори лінійно змінюваної напруги. Блокінг-генератори	188
15.1. Загальна характеристика і принципи побудови генераторів	188
15.2. Автоколивальні генератори на транзисторах	190
15.3. Генератори в режимі очікування на транзисторах і операційних підсилювачах	194
15.4. Автоколивальний блокінг-генератор	197
15.5. Блокінг-генератор у режимі очікування. Синхронізація блокінг-генератора	202
Розділ 16. Потенційні логічні елементи	206
16.1. Потенційні логічні елементи. Типи, характеристики, параметри	206
16.2. Діодна та діод-транзисторна логіка	215
16.3. Транзисторно-транзисторна логіка	216
16.4. Логічні елементи на МДН-транзисторах	219

16.5. Логічні елементи інтегрально-інжекційної логіки	223
16.6. Мультивібратори на потенційних логічних елементах	226
16.7. Одновібратори на потенційних логічних елементах	229

Розділ 17. Кодувальні пристрої.

Аналого-цифрові й цифроаналогові перетворювачі	232
17.1. Кодування часових інтервалів і напруг	232
17.2. Аналого-цифрові перетворювачі. Основні характеристики і параметри	236
17.3. Цифроаналогові перетворювачі. Структура, основні характеристики і параметри	238
17.4. Пристрій вибірки збереження	242

Частина 3

ЦИФРОВА СХЕМОТЕХНІКА

Розділ 18. Математичні основи цифрових пристроїв

18.1. Системи числення. Правила перетворення. Двійкова арифметика	244
18.2. Основні закони алгебри логіки	247
18.3. Форми логічних функцій і методи мінімізації логічних схем	250
18.4. Класифікація логічних пристроїв	255
18.5. Мінімізація булевих функцій	257

Розділ 19. Комбінаційні схеми

19.1. Етапи побудови логічної схеми	262
19.2. Синтез логічних пристроїв у заданому базисі ЛЕ	263
19.3. Мульти- й демультиплексори	264
19.4. Дешифратори, дешифратори-демультиплексори і шифратори	267
19.5. Суматори і компаратори	272

Розділ 20. Тригерні елементи

20.1. Асинхронні та синхронні тригери	277
20.2. Універсальні тригери	288
20.3. Приклади використання тригерів	290

Розділ 21. Функціональні вузли

послідовних логічних пристроїв	297
21.1. Регістри зсуву	297
21.2. Лічильники за mod M	301
21.3. Лічильники на регістрах зсуву	309
21.4. Реверсивні лічильники	310

Розділ 22. Мікросхеми запам'ятовувальних пристроїв

22.1. Мікросхеми статичних і динамічних ОЗП	314
22.2. Мікросхеми маскових ПЗП	320
22.3. Мікросхеми ППЗП	322
22.4. Мікросхеми РПЗП	325

Розділ 23. Застосування цифрових інтегральних мікросхем

23.1. Завади і завадостійкість цифрових пристроїв	332
23.2. Рекомендації щодо монтажу інтегральних мікросхем	339

Частина 4

МІКРОПРОЦЕСОРИ І МІКРОКОНТРОЛЕРИ

Розділ 24. Основні поняття мікропроцесорної техніки

24.1. Класифікація мікропроцесорів	351
24.2. Організація шин	353
24.3. Принципи побудови мікропроцесорних систем	354
24.4. Подання чисел у мікропроцесорах	357

Розділ 25. Архітектура мікропроцесорів

25.1. Архітектура 8-розрядних мікропроцесорів	360
25.2. Архітектура 16-розрядних мікропроцесорів	366
25.3. Архітектура 32-розрядних мікропроцесорів	382
25.4. Особливості архітектури мікропроцесорів Pentium	391
25.5. Особливості архітектури 64-розрядних мікропроцесорів	394

Розділ 26. Основи програмування мовою Асемблер

26.1. Формат команд	398
26.2. Система команд мікропроцесора i8086	399
26.3. Приклади виконання команд	414
26.4. Типи адресації операндів	424
26.5. Програмування мовою Асемблер	429

Розділ 27. Побудова апаратної частини

мікропроцесорних систем

27.1. Побудова модуля центрального процесора на базі i8086	445
27.2. Побудова модуля ПЗП	450
27.3. Побудова модулів ОЗП	453
27.4. Побудова інтерфейсу введення-виведення	455

Розділ 28. Сучасні мікроконтролери і процесори

28.1. Однокристалні мікроконтролери з CISC-архітектурою	464
28.2. Однокристалні мікроконтролери з RISC-архітектурою	472
28.3. Сигнальні процесори	475
28.4. Основні поняття і завдання нейронних обчислювачів	477

Частина 5

ДЖЕРЕЛА ЕЛЕКТРОЖИВЛЕННЯ

Розділ 29. Імпульсні джерела живлення, елементна база силової електроніки, перспективи розвитку

29.1. Структурні схеми й основні проблеми імпульсних джерел електроживлення	484
29.2. Схемотехніка основних блоків імпульсних джерел електроживлення	488
29.3. Силкові напівпровідникові елементи	503
29.4. Тенденції розвитку електронних компонентів	512

Список рекомендованої літератури

.....	520
-------	-----

ПЕРЕДМОВА

Електроніка — галузь сучасної фізики та електротехніки. Вона займається вивченням і використанням явищ, приладів і систем, основою яких є проходження електричного струму у вакуумі, газі та твердому тілі, дослідження, розробка електронних засобів і систем та принципів їх використання. Обмін інформацією в електронних системах відбувається за допомогою сигналів, носіями яких можуть бути різні фізичні величини — струми, напруги, магнітні стани, світлові хвилі. Розрізняють аналогові (безперервні) і дискретні сигнали. Є два типи дискретних сигналів: перший отримано за рівнем або за часом дискретизації безперервних сигналів, другий — у вигляді набору кодових комбінацій знаків.

Перевагами цифрових пристроїв і систем порівняно з аналоговими є підвищена завадостійкість, висока надійність, можливість тривало зберігати інформацію без її втрати, економічна й енергетична ефективність, сумісність з інтегральною технологією, висока технологічність і повторюваність, а недоліками — мала швидкодія та точність.

Основа розвитку електроніки — безперервне ускладнення функцій. На сучасному етапі стає неможливим вирішувати нові завдання старими електронними засобами з використанням наявної елементної бази. Виникають об'єктивні умови для подальшого вдосконалення елементної бази. Основними факторами є підвищення надійності, зменшення габаритних розмірів, маси, вартості та споживаної потужності.

Важливе завдання вищої освіти — правильна орієнтація майбутнього фахівця на стадії вивчення фундаментальних і професійно орієнтованих дисциплін фаху, де поєднуються глибина викладу важливих фізичних процесів та їхній оптимальний обсяг. Більшість випущених підручників і навчальних посібників з аналогової та цифрової схемотехніки або присвячені викладу лише окремих розділів цієї дисципліни, або дають загальні відомості з основних розділів чи недостатньо

відображають тенденції розвитку сучасної електроніки. У пропонуваному підручнику автори зробили спробу ліквідації зазначених вище недоліків.

Підручник складається з п'яти частин.

Частина перша — «Аналогова схемотехніка» — містить 12 розділів з аналогової схемотехніки, в яких розглянуто такі питання:

основні компоненти електронних систем, підсистем і вузлів, підсилювачі;

RC-підсилювачі напруги на біполярних і польових транзисторах за різними схемами підключення зі спільними емітером, базою, колектором, стоком, витоком;

частотні характеристики RC-підсилювачів звукових частот, робота підсилювача в області низьких, середніх і високих частот; логарифмічні амплітудно-частотні характеристики, приклади розрахунків;

узгодження джерела сигналу з навантаженням, класифікація одно- і двотактних підсилювачів потужності та підсилювачів без трансформаторів;

наскрізні характеристики каскадів, вплив температури на характеристики біполярних транзисторів, причини та методи розрахунку нелінійних спотворень;

класифікація паралельних і послідовних зворотних зв'язків: за струмом і напругою, жорстких і гнучких, їхній вплив на схемні функції, показники роботи, умови стійкості системи;

підсилення постійного струму, способи зменшення дрейфу нуля, підсилювачі на несівній частоті, з безпосередніми зв'язками, паралельні балансіві та диференціальні схеми;

класифікація аналогових мікроелектронних структур, операційні підсилювачі на інтегральних мікросхемах, елементи їх схемотехніки;

побудова вирішальних структур на базі операційних підсилювачів, лінійні та нелінійні функціональні перетворювачі, суматори, інтегратори, диференціатори, частотна корекція, логарифмування, помножувачі, подільники, випрямлячі, детектори; загальні положення теорії селективних підсилювачів різних типів;

LC-генератори періодичних коливань на польових і біполярних транзисторах;

основи теорії RC-генераторів з різними типами фазообертачів і без них.

Частина друга — «Імпульсні пристрої» — містить 5 розділів, у яких розглянуто такі питання:

проходження імпульсів через ланки інтегрування, диференціювання, розділові; фіксатори рівня;

формувачі прямокутних імпульсів, ключі, обмежувачі, моделі для великого сигналу;

мульти- та одновібратори; регулювання частоти, термостабілізація і поліпшення форми вихідної напруги схем; генератори лінійно змінюваної напруги, блокунг-генератори в автоколивальному режимі та режимі очікування;

аналіз кодувальних пристроїв, АЦП та ЦАП, пристрої вибірки збереження;

імпульсні джерела живлення, елементна база силової електроніки та перспективи розвитку.

Частина третя — «Цифрова схемотехніка» — охоплює 6 розділів, у яких розглянуто такі питання:

математичні основи цифрової схемотехніки, системи числення, коди, двійкова арифметика та форми подання чисел, алгебра логіки, методи мінімізації булевих функцій;

комбінаційні схеми, мульти- та демультиплексори, суматори, шифратори, дешифратори, компаратори, перетворювачі кодів; тригерні елементи, RS-, D-, JR-тригери;

функціональні вузли послідовних логічних пристроїв: регістри зсуву, лічильники, цифрові фазообертачі;

мікросхеми запам'ятовувальних пристроїв: статичні, динамічні оперативні та мікросхеми постійних запам'ятовувальних пристроїв;

застосування цифрових інтегральних мікросхем, завади і завадостійкість, монтаж цифрових інтегральних мікросхем.

Частина четверта — «Мікропроцесори та мікроконтролери» — складається з 4 розділів, у яких розглянуто такі питання:

основні поняття мікропроцесорної техніки: загальні принципи побудови мікропроцесорних систем, організація шин, поняття про архітектуру мікропроцесорів;

архітектура мікропроцесорів: однокристальні 8- та 16-розрядні мікропроцесори, особливості архітектури мікропроцесорів Pentium та архітектури 64-розрядних мікропроцесорів;

основи програмування мовою Асемблер;

побудова апаратної частини мікропроцесорних систем: модуля ПЗП та ОЗП, інтерфейсів введення — виведення;

сучасні мікропроцесори та мікроконтролери: однокристальні мікроконтролери з CISC- та RISC-архітектурою, сигнальні мікропроцесори, нейронні обчислювачі та їхні функції.

Частина п'ята — «Джерела електроживлення» — має один розділ, в якому розглянуто такі питання:

структурні схеми;

схемотехніка основних блоків імпульсних джерел електроживлення;

силові напівпровідникові елементи та тенденції розвитку електронних компонентів.

У підручнику в стислому вигляді та доступній формі викладено всі розділи програми підготовки бакалаврів напрямів «Електроніка», «Енергетика», «Радіотехніка» та інші згідно з вимогами державного стандарту України, що сприятиме підвищенню ефективності не лише аудиторних занять, а й самостійної роботи студентів. Матеріал скомпоновано так, що кожний наступний розділ є логічним продовженням попереднього.

Наслідком вивчення курсу є засвоєння студентами принципів функціонування, вибору, практичної реалізації пристроїв та систем електроніки різного призначення, принципів розробки систем керування електронними системами. Студенти мають знати: принципи побудови та функціонування пристроїв аналогової і цифрової схемотехніки; принципи побудови і функціонування мікропроцесорних та мікроконтролерних систем.

Підручник написано на основі досвіду викладання дисциплін згідно з програмами підготовки бакалаврів напряму «Електроніка» в Національному технічному університеті України «КПІ», Донецькому національному технічному університеті та Дніпродзержинському державному технічному університеті.

Курс забезпечується основними дисциплінами: математика, фізика, основи електротехніки.

Автори висловлюють вдячність співробітникам кафедр «Промислова електроніка», «Звукотехніка та реєстрація інформації» НТУУ «КПІ», «Електронна техніка» Донецького НТУ і «Електроніка та автоматика» Дніпродзержинського ДТУ за допомогу під час підготовки оригіналу-макета та обговорення навчального матеріалу.

Автори щиро вдячні рецензентам за цінні зауваження та рекомендації щодо вдосконалення окремих розділів рукопису, які вони врахували під час його доопрацювання, що сприяло поліпшенню змісту підручника.

ВСТУП

Промисловий розвиток електроніки має два напрями.

1. Інформаційний, до якого належать електронні засоби та системи вимірювання, контролю і керування різними технологічними процесами на виробництві, в наукових дослідженнях, біології, медицині. Підсилювачі сигналів, генератори напруг, струмів, потужності різної форми і частоти, логічні схеми, лічильники, індикаторні пристрої — все це пристрої та системи інформаційної електроніки, яка ґрунтується на використанні інтегральних мікросхем.

2. Силовий (енергетичний) напрям пов'язаний з перетвореннями змінного та постійного струмів для потреб електроенергетики, металургії, хімії, електротяги транспорту тощо. Основними видами електронних систем є випрямлячі, інвертори, перетворювачі частоти, керовані перетворювачі.

Електронні системи за способом формування і передавання сигналів керування поділяють на два класи — аналогові (безперервні) й дискретні (переривчасті), які, у свою чергу, поділяють на імпульсні, релейні та цифрові.

Аналогові електронні пристрої і системи призначені для приймання, перетворення та передавання електричного сигналу, який змінюється за законом безперервної (аналогової) функції. В електронній системі аналогового типу кожному конкретному значенню реальної фізичної величини на вході давача відповідає однозначне, цілком визначене значення обраного електричного параметра постійного або змінного струму. Це може бути напруга або струм на ділянці електричного кола, частота, фаза та ін. При цьому як сама фізична величина, так і її електричний еквівалент, набуваючи нескінченне число значень, можуть бути визначені у будь-який довільний момент часу та змінюватися в одному і тому самому масштабі часу. Слід зазначити, що електричний еквівалент містить повну інформацію про реальний процес, хоча в загальному випадку моменти, коли реальна величина набуде певного значення та

коли з'явиться її електричний еквівалент, можуть не збігатися, тобто між цими моментами може існувати деяка затримка. Переваги — теоретично максимально досяжні точність та швидкодія, простота системи, недоліки — низька завадостійкість та нестабільність параметрів, зумовлені значною залежністю властивостей пристрою від зовнішніх дестабілізуючих факторів, наприклад температури, часу (старіння елементів), дії зовнішніх полів та ін., значні спотворення під час передавання на значні відстані, труднощі у разі тривалого зберігання результатів, низька енергетична ефективність.

Дискретні електронні пристрої (системи) призначені для приймання, перетворення та передавання електричних сигналів, отриманих унаслідок квантування (процес заміни безперервного сигналу його значеннями в деяких точках) за часом або (та) за рівнем заданої аналогової функції. Тому сигнали, що в них діють, пропорційні обмеженому числу обраних за певним законом значень реальної фізичної величини, відображеної у вигляді різних параметрів імпульсів або перепадів напруг (струмів) (амплітуди, тривалості фронту та спаду імпульсів, тривалості імпульсу, періоду та частоти проходження імпульсів, тривалості паузи тощо). У дискретних електронних системах (ДЕС) використовується лише частина інформації про реальну фізичну величину, тобто в процесі подання інформації виникають часткові її втрати. Перевагами є також те, що імпульсну та середню потужності визначають через шпаруватість, тому за великої шпаруватості можна отримати істотне перевищення потужності в імпульсі, що сприяє поліпшенню показників маси та габаритних розмірів; у режимі ключа розсіювання потужності мінімальне, що підвищує коефіцієнт використання приладу; властивості дискретних приладів менше залежать від нестабільності параметрів використаних приладів; завадостійкість приладів вища, оскільки зменшується проміжок часу, коли завада може вплинути на сигнал; застосовується однотипна елементна база, що сприяє підвищенню надійності, забезпечує дешевизну.

За типом квантування дискретні сигнали ДЕС поділяють на імпульсні, релейні та цифрові. Імпульсні електронні системи реалізують квантування початкового сигналу. В процесі імпульсної модуляції форма імпульсів вихідної послідовності залишається незмінною. Поширені амплітудно-імпульсна, широтно-імпульсна, фазово-імпульсна модуляції. Релейні системи реалізують квантування початкового сигналу за рівнем та перетворюють його на ступеневу функцію, висота кожного із рівнів пропорційна деякій наперед заданій величині.

Найвірогідніше, що в недалекому майбутньому цифрова електроніка посіде провідне місце на ринку електронних пристроїв та систем. Нині цифрові персональні комп'ютери і контролери (ЕОМ) практично витіснили аналогові електронні обчислювальні машини, які були створені раніше. Те саме відбувається з апаратурою радіозв'язку, радіомовлення і телебачення (телевізорами, радіоприймачами, відеомагнітофонами, пристроями, що записують звук, фотоапаратурою).

Однак повністю витіснити аналогову техніку цифрова в принципі не зможе, оскільки фізичні процеси, від яких електронна система отримує інформацію, мають аналогову природу, в цьому випадку на вході та виході потрібні аналого-цифрові та цифроаналогові пристрої.

Промисловий розвиток електроніки майже за сто років свого існування налічує чотири покоління, що характеризуються подальшою мікромініатюризацією електронних компонентів, пристроїв та систем на базі застосування великих інтегральних схем (ВІС) та надвеликих інтегральних схем (НВІС). Деякі функціональні блоки роблять в одній інтегральній схемі, яка є готовим електронним пристроєм або системою приймання, перетворення або передавання інформації. Такі електронні пристрої дають змогу повністю забезпечити необхідний алгоритм обробки початкової інформації та істотно підвищити надійність їх функціонування. Компактність монтажу електронних пристроїв четвертого покоління становить близько 1000 ел./см^3 і більше (для порівняння: електронні пристрої третього покоління — 50 ел./см^3). Застосування інтегральних схем у сучасних електронних системах істотно підвищує надійність систем і зменшує їхні вартість, масогабаритні розміри та питому потужність.

1.1. Електронні системи, підсистеми і вузли

Предметом електронної техніки є теорія і практика застосування електронних, йонних і напівпровідникових приладів у пристроях, що використовуються у різних галузях народного господарства. Гнучкість, швидкодія і точність відкривають великі можливості її застосування у науці й техніці.

Початком розвитку електронної техніки вважають час відкриття А. С. Поповим радіо (7 травня 1895 р. доповідь і демонстрація радіопередачі).

У розвитку електроніки виділяють п'ять основних етапів:

- радіотелеграфний (1895 — 1925 рр.);
- радіотехнічний (1925 — 1945 рр.);
- електроніки (напівпровідниковий) (1945 — 1965 рр.);
- мікроелектроніки (з 1965 р. і понині);
- наноелектроніки (сучасний напрям).

Останні досягнення в галузі мікроелектроніки — створення інтегральних мікросхем від малого до надвеликого ступенів інтеграції — дали змогу отримати базові елементи з дуже високими характеристиками надійності, швидкодії, малою споживаною потужністю, на основі яких створюються сучасні мікропроцесорні пристрої й системи, а також персональні комп'ютери та елементи вимірювальних, керувальних і обчислювальних систем.

Під електронною системою розуміють множину елементів блоків та пристроїв електронної техніки, які перебувають у певному зв'язку один з одним і утворюють певну функціональну цілісність.

Робота кожного елемента описується моделлю, яка відображає функцію, що виконується. У кожній електронній системі можна виділити кілька підсистем або блоків.

Підсистемою називають групу елементів у системі, що виконують певну (найпростішу) функцію.

Підсистеми складаються із ще простіших пристроїв — вузлів. Вузли, у свою чергу, складаються з елементів. Прийнята класифікація є умовною і залежить від критеріїв розподілу.

1.2. Основні компоненти електронних пристроїв

Серед компонентів електронних пристроїв розрізняють пасивні та активні. До пасивних елементів належать двополюсні (резистори, конденсатори, котушки індуктивності), а також деякі багатополюсні елементи, складені з пасивних двополюсних.

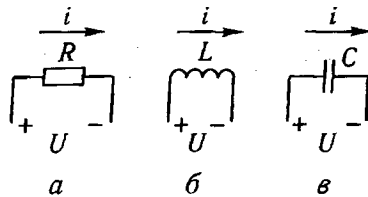


Рис. 1.1. Основні пасивні компоненти електронних схем:

а — резистор; б — індуктивність; в — конденсатор

Розглянемо базові пасивні компоненти — резистор, індуктивність і конденсатор (рис. 1.1).

Зв'язки між струмами і напругами для них визначаються такими виразами:

$$U = Ri; \quad U = L \frac{di}{dt}; \quad i = C \frac{dU}{dt}. \quad (1.1)$$

Двopolюсники, для яких причинно-наслідкові зв'язки визначені рівняннями (1.1), називають *лінійними*. Для них справедливі такі співвідношення:

$$U = Ri; \quad \Psi = Li; \quad q = CU, \quad (1.2)$$

де Ψ — потокозчеплення; q — заряд конденсатора.

Характеристики лінійних елементів зображено на рис. 1.2.

За відомими характеристиками елементів можна визначити їхні параметри:

$$R = \frac{dU(i)}{di} = \frac{U(i)}{i}; \quad L = \frac{d\Psi(i)}{di} = \frac{\Psi(i)}{i};$$

$$C = \frac{dq(U)}{dU} = \frac{q(U)}{U}. \quad (1.3)$$

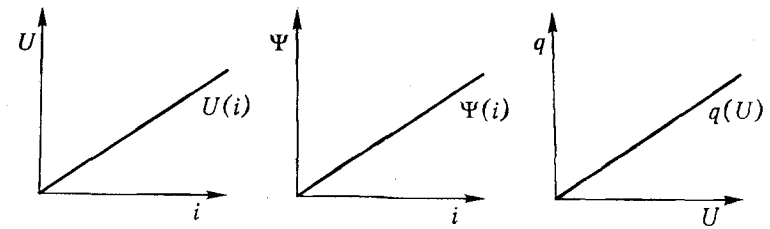


Рис. 1.2. Характеристики лінійних елементів

Значення цих параметрів постійні для лінійних двополюсників і до них може бути застосований принцип суперпозиції (накладення).

Деякі двополюсники мають нелінійні характеристики.

До активних елементів належать елементи з керувальним електродом. Вони здебільшого призначені для підсилення та генерації електричних сигналів заданих форми, амплітуди і частоти. Це транзистори, електронні лампи, операційні підсилювачі, багатошарові структури p-n-переходів та ін.

1.3. Підсилювальні пристрої. Основні визначення

Підсилювачем називають пристрій, що дає змогу перетворювати вхідний сигнал на сигнал більшої потужності (або більшого струму, або більшої напруги) без істотного спотворення його форми. Під час підсилення струму чи напруги одночасно відбувається підсилення потужності.

Ефект підсилення можливий лише за наявності джерела керованої енергії, перетворюваної підсилювачем на енергію підсилених сигналів. Таким джерелом є джерело живлення (рис. 1.3). Енергія джерела живлення (напруга $E_{\text{ж}}$) перетворюється на енергію корисного сигналу за допомогою підсилювача з коефіцієнтом K .

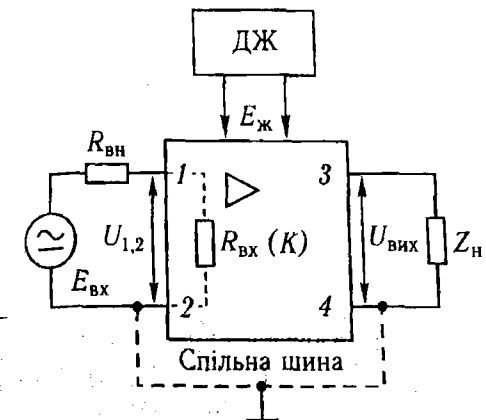


Рис. 1.3. Структурна схема підсилення електричних сигналів

Пристрій, що є споживачем і до якого прикладена вихідна напруга $U_{\text{вих}}$, називають *навантаженням* ($Z_{\text{н}}$), а ланка підсилювача, до якої він підключається, — *вихідним колом* (затискачі 3, 4). Поток енергії від джерела живлення (ДЖ) до навантаження ($Z_{\text{н}}$) керує вхідний сигнал, який подається вхідною напругою $U_{12} = U_{\text{вх}}$. Ця напруга залежить від величини джерела електрорушійної сили (ЕРС) $E_{\text{вх}}$, його внутрішнього опору $R_{\text{вн}}$ і вхідного опору підсилювача $R_{\text{вх}}$. Сигнал, який потрібно підсилити, називають *вхідним*, а ланку підсилювача, до якого він підключається, — *вхідним колом* підсилювача (затискачі 1, 2). Часто затискачі 2 і 4 мають однаковий потенціал і їх називають спільною шиною (масою) підсилювача.

Підсилювачі класифікують за такими ознаками:

- призначенням;
- характером сигналів підсилення;
- смугою частот підсилення;
- видом використовуваних активних елементів.

За призначенням розрізняють:

- підсилювачі напруги, $K_U = U_{\text{вих}} / U_{\text{вх}}$ — коефіцієнт підсилення за напругою;
- підсилювачі струму, $K_I = I_{\text{вих}} / I_{\text{вх}}$ — коефіцієнт підсилення за струмом, де $I_{\text{вх}}$ — вхідний струм, $I_{\text{вих}}$ — вихідний струм;
- підсилювачі потужності, $K_P = P_{\text{вих}} / P_{\text{вх}}$ — коефіцієнт підсилення за потужністю, де $P_{\text{вх}}$ і $P_{\text{вих}}$ — потужності на вході та виході підсилювача.

У підсилювачах потужності слід забезпечити у навантаженні ($Z_{\text{н}}$) задану потужність, а в підсилювачах напруги (струму) — задані значення коефіцієнтів підсилення і вихідні параметри $U_{\text{вих}}$ ($I_{\text{вих}}$).

За характером сигналів підсилення бувають:

- підсилювачі гармонійних сигналів. Ці пристрої забезпечують підсилення неперервних гармонійних, синусоїдальних сигналів;
- підсилювачі імпульсних сигналів. Ці пристрої забезпечують підсилення імпульсних сигналів заданої форми.

За смугою частот підсилення розрізняють:

- підсилювачі постійного струму, діапазон частот підсилення $\Delta f = 0 \dots f_{\text{в}}$, де $f_{\text{в}}$ — верхня гранична частота підсилення;
- підсилювачі змінного струму, з діапазоном частот $\Delta f = f_{\text{н}} \dots f_{\text{в}}$, де $f_{\text{н}}$ — нижня гранична частота підсилення.

Підсилювачі змінного струму, у свою чергу, поділяють на:

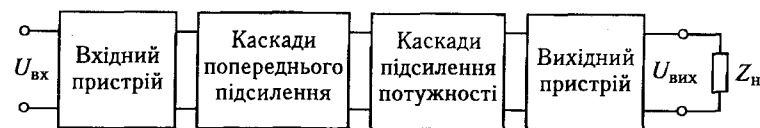


Рис. 1.4. Структурна схема підсилювача

- підсилювачі низької частоти;
- підсилювачі високої частоти;
- смугові підсилювачі $f_{\text{в}} / f_{\text{н}} \approx 1,1$.

За видом активних елементів, що використовуються, розрізняють такі підсилювачі:

- лампові;
- транзисторні;
- діодні;
- параметричні.

Структурна схема підсилювача має вигляд, наведений на рис. 1.4, і включає вхідний і вихідний пристрої, каскади попереднього підсилення та підсилення потужності.

Вхідний пристрій передає сигнал від джерела сигналу на вхідне коло. Застосовують його тоді, коли джерело сигналу, яке підключають, не можна або нецільно підключати безпосередньо до входу підсилювача.

Каскади попереднього підсилення призначені для підсилення сигналу за напругою, струмом, потужністю до потрібного рівня, що забезпечує нормальну роботу наступного блоку.

Каскади підсилення потужності забезпечують у навантаженні відповідні значення потужності за допустимих рівнів спотворення форми і шумів сигналу.

Вихідні пристрої використовують для передачі сигналу від підсилювача потужності у навантаження. Застосовують, якщо безпосереднє підключення навантаження неможливе або нецільне.

1.4. Основні технічні показники підсилювачів

Суму відомостей, що характеризують властивості підсилювача, називають його *показниками*. До них належать:

- вхідні та вихідні дані;
- коефіцієнт підсилення;
- коефіцієнт корисної дії (ККД);

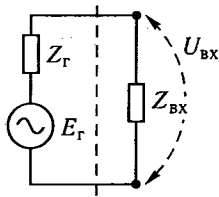


Рис. 1.5. Модель джерела ЕРС

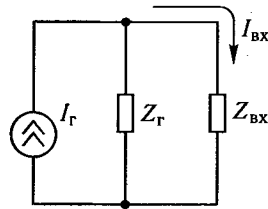


Рис. 1.6. Модель джерела струму

- частотні характеристики;
- амплітудні характеристики.

Розглянемо докладніше ці показники.

Вхідні і вихідні дані. Вхідні дані — $U_{ВХ}$, $I_{ВХ}$, $P_{ВХ}$, $Z_{ВХ}$.

Джерелом вхідних сигналів можуть бути джерело ЕРС і джерело струму. Модель джерела ЕРС має вигляд, зображений на рис. 1.5.

Для забезпечення нормальної роботи підсилювача $U_{ВХ}$ має прагнути до $E_Г$. Оскільки $Z_Г > 0$, то на ньому відбувається спад напруги, отже, $U_{ВХ} < E_Г$ і $U_{ВХ}$ визначають із виразу

$$U_{ВХ} = \frac{E_Г Z_{ВХ}}{Z_Г + Z_{ВХ}}. \quad (1.4)$$

Із наведеного вище виразу випливає, що для того, щоб $U_{ВХ} \approx E_Г$, потрібне виконання умови $Z_Г \ll Z_{ВХ}$. На практиці допускається $U_{ВХ} = 0,5E_Г$, але не припустимо, щоб $U_{ВХ} < 0,2E_Г$.

Модель джерела струму має вигляд, зображений на рис. 1.6.

Для цієї ланки можна записати:

$$I_{ВХ} = I_Г \frac{Z_Г}{Z_Г + Z_{ВХ}}. \quad (1.5)$$

Отже, для того щоб $I_{ВХ} \approx I_Г$, треба, щоб $Z_Г \gg Z_{ВХ}$.

Вихідні дані — $U_{ВІХ}$, $I_{ВІХ}$, $P_{ВІХ}$, $Z_{ВІХ}$, Z_H . Вихідне коло (модель) зображено на рис. 1.7, де $K_{U_{ХХ}}$ — коефіцієнт підсилення підсилювача в режимі холостого ходу, $Z_{ВІХ}$ — вихідний опір підсилювача.

Для узгодження джерел сигналу з навантаженням мають виконуватися такі умови:

- для підсилювачів напруги $Z_H \gg Z_{ВІХ}$, тоді $U_H \approx E_{ВІХ} = K_{U_{ХХ}} U_{ВХ}$;

- для підсилювачів струму $Z_H \ll Z_{ВІХ}$, тоді $I_H \approx I_{ВІХ}$;
- для підсилювачів потужності $Z_H = Z_{ВІХ}$, тоді $P_H \rightarrow \max$.

Коефіцієнти підсилення підсилювачів. Виділяють такі коефіцієнти підсилення:

- за потужністю $K_P = P_{ВІХ} / P_{ВХ}$;
- за напругою $K_U = U_{ВІХ} / U_{ВХ}$;
- за струмом $K_I = I_{ВІХ} / I_{ВХ}$.

У загальному випадку коефіцієнт підсилення має такий вигляд:

$$\dot{K}_U = K_U e^{j(\varphi_{ВІХ} - \varphi_{ВХ})} = K_U e^{j\varphi}, \quad (1.6)$$

де $\varphi = \varphi_{ВІХ} - \varphi_{ВХ}$ — фазовий зсув між вхідною і вихідною напругами або струмами \dot{K}_U — комплексний коефіцієнт підсилення.

Графічно це зображення на комплексній площині подано на рис. 1.8.

Для підсилювача з багатьма каскадами, що містить n каскадів, загальний коефіцієнт підсилення визначають за допомогою виразу

$$K_U = K_{U1} K_{U2} \dots K_{Un} = \prod_{i=1}^n K_{Ui}. \quad (1.7)$$

Іноді логарифмічну шкалу краще подавати у вигляді K_U , одиницею якої є децибел. Його визначають десятою частиною десяткового логарифма відношення потужностей на виході та вході: $K_{P(дБ)} = 10 \lg K_P$. Для коефіцієнтів підсилення за напругою і струмом формули для перетворення відносних

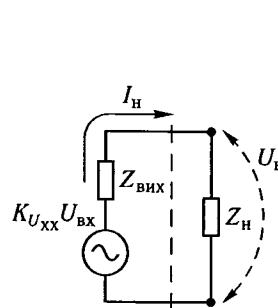


Рис. 1.7. Модель вихідного кола підсилювача

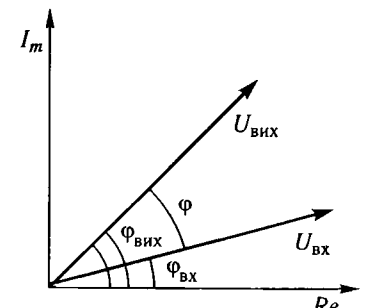


Рис. 1.8. Графічне зображення сигналів підсилювача

величин на логарифмічні мають такий вигляд:

$$K_{U(\text{дБ})} = 20 \lg K_U; \quad K_{I(\text{дБ})} = 20 \lg K_I.$$

При цьому коефіцієнт підсилення підсилювача з багатьма каскадами в логарифмічних одиницях становитиме

$$K_{U(\text{дБ})} = K_{U1(\text{дБ})} + K_{U2(\text{дБ})} + \dots + K_{Un(\text{дБ})} = \sum_{i=1}^n K_{Ui(\text{дБ})}. \quad (1.8)$$

Амплітудно-частотні (АЧХ) і фазово-частотні (ФЧХ) характеристики. Залежність модуля коефіцієнта підсилення підсилювача від частоти є амплітудно-частотною характеристикою (АЧХ). Фазово-частотна характеристика (ФЧХ) відображає залежність кута зсуву фази між вхідним і вихідним сигналами від частоти.

Графічне зображення цих характеристик для підсилювача змінної напруги наведено на рис. 1.9.

Амплітудна характеристика. Залежність сталого значення вихідного сигналу від вхідного синусоїдального сигналу $U_{\text{вих}} = f(U_{\text{вх}})$ на деякій постійній частоті відображає амплітудна характеристика (рис. 1.10).

У робочому діапазоні амплітуд вхідного сигналу амплітудна характеристика має бути лінійною (рис. 1.10, ділянка *аб*), а кут її нахилу визначається величиною коефіцієнта підсилення на цій частоті. Мінімальний вхідний сигнал $U_{\text{вх min}}$ ви-

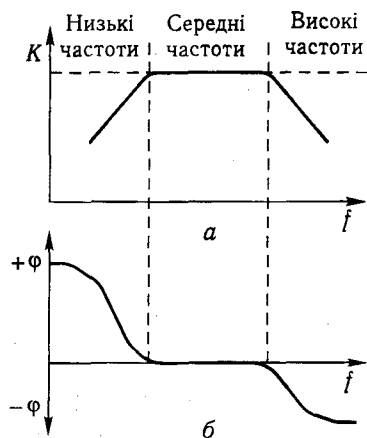


Рис. 1.9. АЧХ (а) і ФЧХ (б) RC-підсилювача

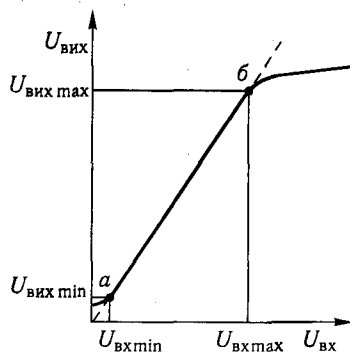


Рис. 1.10. Амплітудна характеристика підсилювача

значається рівнем власних шумів підсилювача, а максимальний вхідний сигнал $U_{\text{вх max}}$ — переходом на нелінійну ділянку характеристики, що зумовлює нелінійні спотворення, внаслідок зменшення коефіцієнта підсилення підсилювача.

Діапазон напруг вхідного сигналу, що підсилюється без істотних спотворень, характеризують динамічним діапазоном підсилювача

$$D_c = \frac{U_{\text{вх max}}}{U_{\text{вх min}}}, \quad \text{або} \quad D_c = \frac{U_{\text{вих max}}}{U_{\text{вих min}}}. \quad (1.9)$$

Динамічний діапазон спотворення вхідного сигналу не повинен перевищувати динамічний діапазон підсилювача.

Контрольні запитання

1. Дайте визначення підсилювача електричних сигналів і поясніть потребу джерела живлення у його складі.
2. Назвіть основні види класифікацій підсилювачів.
3. Поясніть умови оптимального узгодження вихідного каскаду підсилювача з навантаженням для підсилювача напруги, підсилювача струму, підсилювача потужності.
4. Назвіть основні технічні характеристики підсилювачів.
5. На підставі амплітудної характеристики підсилювача $U_{\text{вих}} = \varphi(U_{\text{вх}})$ побудуйте її у вигляді $K = \Psi(U_{\text{вх}})$.

Розділ 2 РС-ПІДСИЛЮВАЧІ НАПРУГИ НА БІПОЛЯРНИХ І ПОЛЬОВИХ ТРАНЗИСТОРАХ

2.1. Підсилювач напруги на біполярному транзисторі за схемою зі спільною базою

Для підсилювачів на біполярних транзисторах вхідний перехід транзистора завжди підключають у прямому напрямі, а вихідний — у зворотньому. Схему підсилювача на біполярному транзисторі, ввімкненому за спільною базою (СБ), зображено на рис. 2.1. Джерело змінного струму $I_{вх}$ у цьому випадку має забезпечувати низький опір постійного струму I_E .

Резистор R_K є навантаженням транзистора за постійним струмом і визначає його підсилювальні властивості. Якщо $R_K = 0$, то ефект підсилення напруги не відбувається, тому що $U_{КБ} = E_K = \text{const}$. Зі збільшенням R_K збільшується також коефіцієнт підсилення схеми за напругою, однак існує обмеження на R_K зверху.

Для цієї схеми орієнтовні значення коефіцієнтів підсилення можна визначити так:

$$K_U = \frac{U_{КБ}}{U_{ЕБ}} = \frac{I_K R_{КБ} \parallel R_K}{I_E R_{ЕБ}},$$

де $R_{КБ}$ і $R_{ЕБ}$ — опори колекторно-базового та емітерно-базового переходів.

Оскільки для схеми СБ $I_K \approx I_E$, $R_{КБ} \parallel R_K \approx R_K$, а $R_{ЕБ} \ll R_K$ (тому що вхідний перехід транзистора ввімкнений у провідному напрямі), то коефіцієнт підсилення за напругою $K_U \gg 1$.

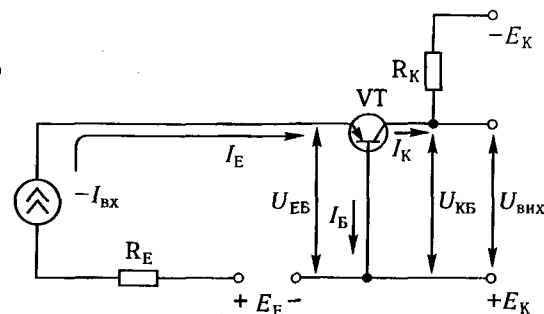
Коефіцієнт підсилення за струмом для схеми СБ менше ніж одиниця:

$$K_I = \frac{I_{вх}}{I_{вх}} = \frac{I_K}{I_E} < 1; \quad K_I \approx 0,5 \dots 0,95.$$

Отже, схема з СБ підсилює напругу та потужність, але не підсилює струм.

Розрахунок схеми за постійним струмом. Режим роботи схеми за постійним струмом визначається елементами: R_K ,

Рис. 2.1. Схема підсилювача за схемою зі спільною базою



R_E , E_K , E_E і характеристиками транзистора VT. Запишемо рівняння Кірхгофа для вихідного кола:

$$E_K = I_K R_K + U_{КБ}; \quad (2.1)$$

$$U_{КБ} = \Psi(I_K, I_E). \quad (2.2)$$

Рівняння (2.1) — це рівняння прямої, яку називають навантажувальною прямою, а рівняння (2.2) — це сімейство вихідних характеристик транзистора, ввімкненого за схемою зі спільною базою.

Для побудови навантажувальної лінії (2.1) рекомендується використовувати два режими:

режим холостого ходу (ХХ): $I_K = 0$, тоді з (2.1) отримаємо $U_{КБ} = E_K$ точка 1 (рис. 2.2);

режим короткого замикання (КЗ): $U_{КБ} = 0$, отже, $I_{КЗ} = E_K / R_K$ точка 2 (див. рис. 2.2).

Через отримані дві точки проведемо навантажувальну пряму і виберемо на ній точку спокою, наприклад точку О (див. рис. 2.2). Для можливості більш повного використання характеристик транзистора точку О розміщують у центральній частині вихідних характеристик. Ця точка характеризується двома координатами $I_{Кп}$, $U_{КБп}$ залежно від вибраного $I_{Еп}$.

Для забезпечення роботи підсилювача в точці спокою О потрібно забезпечити вхідний струм $I_{Еп}$. Аналогічно до ви-

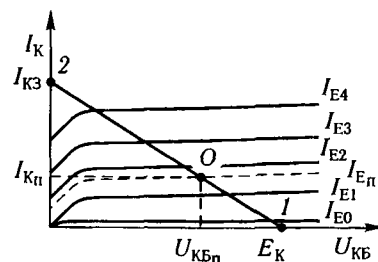


Рис. 2.2. Вихідні характеристики транзистора з СБ

хідного кола опишемо вхідну ланку системою рівнянь:

$$E_E = I_E R_E + U_{EB}; \quad (2.3)$$

$$U_{EB} = \Phi(I_E, U_{KB}). \quad (2.4)$$

Рівняння (2.3) є навантажувальною прямою на вході, а рівняння (2.4) — вхідними характеристиками транзистора. Для побудови навантажувальної лінії використаємо режим холостого ходу і короткого замикання (рис. 2.3):

режим ХХ: $I_E = 0$; $U_{EB} = E_E$;

режим КЗ: $U_{EB} = 0$; $I_{KЗ} = E_E / R_E$.

Положення робочої точки на навантажувальній прямій можна визначити за струмом $I_{Eп}$ і за напругою $U_{KBп}$. Координати робочої точки визначають напругу між базою та емітером з постійного струму $U_{EBп}$ (рис. 2.3).

Розрахунок підсилювача змінного струму. Принципова схема підсилювача напруги $U_{вх}$ має вигляд, зображений на рис. 2.4.

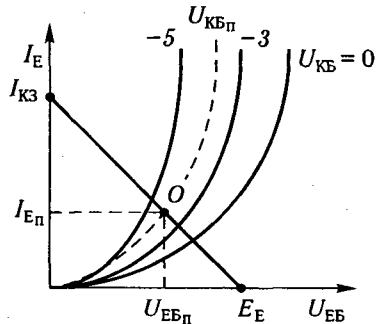
Роздільні конденсатори C_{p1} і C_{p2} потрібні для того, щоб:

- джерело вхідного сигналу і навантаження не змінювали режим роботи транзистора за постійного струму;
- не пропускали в навантаження постійну складову.

Побудуємо осцилограми, що ілюструють роботу підсилювача. Нехай вхідний вплив поданий джерелом синусоїдального струму

$$i_{вх}(\omega t) = I_m \sin \omega t.$$

Осцилограми, що ілюструють роботу підсилювача, мають вигляд, зображений на рис. 2.5, на якому показані характерні точки для I_K , U_{KB} при значеннях аргументу $\omega t = 0$; $\frac{\pi}{2}$; π ; $\frac{3\pi}{2}$; 2π вхідного струму $i_{вх}(\omega t)$,



а також для довільного значення аргументу ωt_i вхідного впливу $i_{вх}(\omega t_i)$.

Для коливання вхідного струму, значення якого щодо координати точки спокою O змінюється не більше ніж на 25–30 %, можна вважати, що

Рис. 2.3. Вхідні характеристики транзистора з СБ

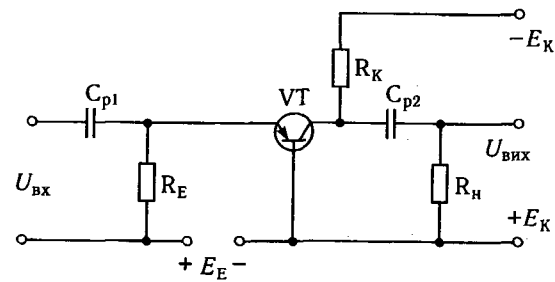


Рис. 2.4. Принципова електрична схема підсилювача з СБ

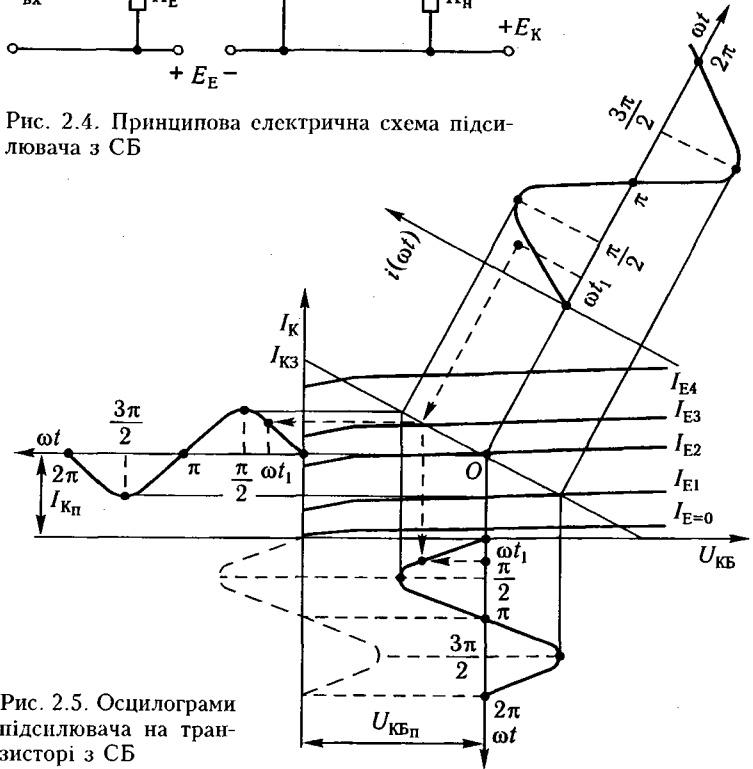


Рис. 2.5. Осцилограми підсилювача на транзисторі з СБ

підсилювач працює в лінійній області характеристик, які забезпечують синусоїдальні значення вихідного струму (I_K) і напруги (U_{KB}) за синусоїдального вхідного впливу.

Вхідна напруга $U_{вх} = i(\omega t) R_{вх.підс}$ за фазою збігається зі струмом $i(\omega t)$. Із рис. 2.5 випливає, що фазовий зсув між вхідною і вихідною напругами дорівнює нулю ($\phi_U = 0$), а фазовий зсув між струмами I_K і I_E становить 180° ($\phi_i = 180^\circ$). Це пояснюється тим, що U_{KB} і I_K негативні та реально розміщені в третьому квадранті.

2.2. Підсилювач напруги на біполярному транзисторі за схемою зі спільним емітером

Схему підсилювача з СЕ зображено на рис. 2.6. Призначення елементів аналогічні до поданої раніше схеми з урахуванням того, що R_B виконує функцію R_E .

Розрахунок підсилювача за постійним струмом. Режим роботи підсилювача за постійним струмом визначається елементами E_K , R_K , R_B і параметрами транзистора VT.

Під час проектування підсилювача задаються $U_{вих м}$, R_H .

Виходячи з цього, $2E_K > U_{вих м}$; $I_{нт} = \frac{U_{вих м}}{R_H}$; $I_{R_K м} = \frac{U_{вих м}}{R_K}$.

Вважаючи те, що $R_H \equiv (3...5)R_K$, отримаємо $I_{R_K м} = (3...5)I_{К м}$, звідси випливає, що $I_{К max} \approx 5I_{н max}$. Гранична частота $f_{гр}$ підсилення транзистора має бути в 3–5 разів вище від верхньої граничної частоти сигналу підсилення f_B . Транзистори вибирають за значеннями гранично допустимих параметрів $I_{К max}$, $U_{КЕ max}$, $P_{розс.дод}$ і $f_{гр}$.

Режим роботи підсилювача за постійним струмом описується системами рівнянь:

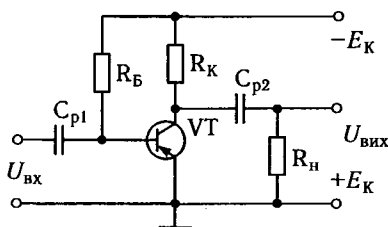
$$E_K = I_K R_K + U_{КЕ}; \quad (2.5)$$

$$U_{КЕ} = \Psi(I_K, I_B); \quad (2.6)$$

$$E_K = I_B R_B + U_{БЕ}; \quad (2.7)$$

$$U_{БЕ} = f(I_B, U_{КЕ}). \quad (2.8)$$

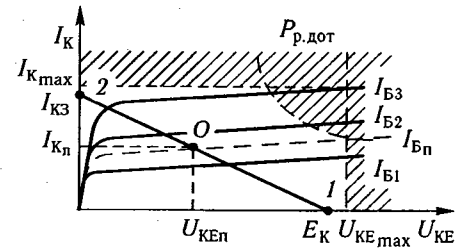
За вихідними характеристиками транзистора, з урахуванням обмежень (рис. 2.7), вибирають положення навантажувальної лінії за постійним струмом; E_K рекомендують брати $(0,8...0,9)U_{КЕ max}$. Навантажувальну лінію будують за двома точками — XX і K3.



З рівняння (2.5):
для режиму XX $I_K = 0$;
 $U_{КЕ} = E_K$ (точка 1);
для режиму K3 $U_{КЕ} = 0$;
 $I_{K3} = \frac{E_K}{R_K}$ (точка 2).

Рис. 2.6. Принципова електрична схема підсилювача з СЕ

Рис. 2.7. Вихідні ВАХ транзистора з СЕ і гранично допустимі параметри



Під час роботи підсилювача в режимі малих сигналів робочу точку доцільно розміщувати в середині робочої області характеристик (точка O).

Вона визначається двома координатами $I_{Кп}$, $U_{КЕп}$ для вибраного струму бази $I_{Bп}$. Цій точці відповідає точка O на вхідних характеристиках транзистора (рис. 2.8), яка визначається координатами $I_{Bп}$, $U_{КЕп}$. Для розрахунку величини резистора R_B (за рівняннями (2.7) і (2.8)) встановимо величину напруги $U_{БЕп}$ (див. рис. 2.8). Оскільки величина цієї напруги близько 0,4...0,7 В, то проводити навантажувальну лінію згідно з рівнянням (2.7) незручно, тому що напруга E_K досягає 10...20 В. Записавши рівняння (2.7) для точки O, розрахуємо потрібне значення резистора R_B :

$$E_K = U_{БЕп} + I_{Bп} R_B, \text{ звідси } R_B = \frac{E_K - U_{БЕп}}{I_{Bп}}.$$

Для малопотужних транзисторів значення опорів R_K і R_B відповідно становлять одиниці та десятки кілоомів.

Розрахунок підсилювача за змінним струмом. Для розрахунку за змінним струмом потрібно:

- початок координат на характеристиках транзистора перенести в робочу точку O за постійним струмом. У робочій точці визначити для нескінченно малих приростів параметри транзистора (найбільш уживані h -параметри). Зауважимо, що навколо робочої точки транзистор працює в режимі малих сигналів, і в цьому випадку до розрахунку підсилювача потрібно застосувати принцип накладання.

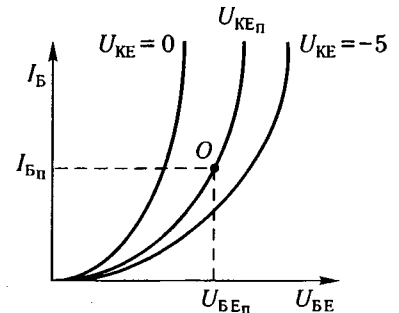


Рис. 2.8. Вхідні ВАХ транзистора з СЕ

• для змінних складових напруг і струмів скласти лінійну модель підсилювача з урахуванням лінійної моделі транзистора.

З урахуванням того, що для змінних складових напруг і струмів внутрішній опір джерела надто малий (точки $+E_K$ і $-E_K$ мають однаковий потенціал) і транзистор працює в активній області в режимі малого сигналу, отримаємо таку лінійну електричну модель підсилювача (рис. 2.9).

Описавши цю електричну модель рівняннями відповідно до законів електротехніки, визначають:

1) вхідний опір підсилювача, що потрібно для врахування узгодження підсилювача з джерелом вхідного сигналу;

2) за вихідним колом підсилювач подають еквівалентним генератором щодо опору навантаження R_H . Для цього визначають вихідний опір підсилювача $R_{вих}$ і коефіцієнт підсилення за напругою в режимі холостого ходу — $K_{ХХ}$;

3) коефіцієнти підсилення підсилювача за напругою й струмом K_U і K_I та їхню залежність від частоти для побудови амплітудно-частотної характеристики (АЧХ), фазочастотної характеристики (ФЧХ) та амплітудно-фазочастотної характеристики (АФЧХ);

4) коефіцієнт нелінійних спотворень для заданого значення вхідного сигналу і коефіцієнти частотних спотворень M_H і M_B на граничних частотах f_H і f_B .

Під час розрахунку підсилювачів звукових частот (див. підрозд. 3.1) цей діапазон частот умовно поділяють на три діапазони:

- низькі частоти (10...300 Гц);
- середні частоти (300...5000 Гц);
- високі частоти (5000...30 000 Гц).

Основні параметри підсилювача визначають у діапазоні середніх частот. При цьому припускають, що опори розділових конденсаторів у цій області малі порівняно з $R_{вх}$ і R_H , вони ввімкнені послідовно і ними можна знехтувати,

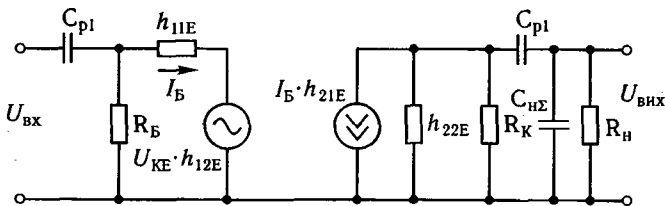


Рис. 2.9. Схема заміщення підсилювача із СЕ

а опір конденсатора $C_{H\Sigma}$ набагато більший, ніж R_H , і $|\dot{X}_C| = \left| \frac{1}{j\omega C_{H\Sigma}} \right| \gg R_H$ ввімкнені паралельно, отже, ним також можна знехтувати:

$$C_{H\Sigma} = C_{KE} + C_H + C_M,$$

де C_{KE} — вихідна ємність транзистора; C_H — ємність навантаження; C_M — ємність монтажу.

Як правило, опір конденсатора $C_{H\Sigma}$ досягає десятків — сотень пікофарад.

Якщо напруга колектора понад 5В за модулем, вхідні ВАХ зливаються в одну, що зумовлює $h_{12E} \rightarrow 0$, звідси випливає:

$$R_{вх.т} \approx h_{11E}.$$

При цьому вхідний опір підсилювача визначається паралельно підключеними опорами $R_{вх.т}$ і R_B :

$$R_{вх.підс} = \frac{R_{вх.т} R_B}{R_{вх.т} + R_B}.$$

Оскільки $R_B \gg h_{11E}$, то вхідний опір підсилювача $R_{вх.підс} \approx h_{11E}$.

За $h_{12E} \rightarrow 0$ дістанемо:

$$K_U = - \frac{h_{21E}}{\left(h_{22E} + \frac{1}{R_K} + \frac{1}{R_H} \right) h_{11E}}.$$

Аналіз останнього виразу показує, що $K_U \gg 1$, а знак «-» указує на те, що $U_{вих}$ і $U_{вх}$ протифазні. Вираз, розміщений у дужках, порядку $1/R_K$ і спрощене значення коефіцієнта підсилення підсилювача:

$$K_U \approx \frac{h_{21E} R_K}{h_{11E}}.$$

Коефіцієнт підсилення підсилювача за струмом визначається як

$$K_I = \frac{I_{вих}}{I_{вх}} = \frac{I_H}{I_{вх}},$$

де $I_H = \frac{U_{вих}}{R_H}$, а $I_{вх} = \frac{U_{вх}}{R_{вх.підс}}$.

Отже,

$$K_I = \frac{U_{вих}}{R_H} \frac{R_{вх.підс}}{U_{вх}} = \frac{K_U R_{вх.підс}}{R_H}.$$

З цього виразу випливає, що коефіцієнт підсилення за струмом $K_I \gg 1$. Для збільшення K_I варто зменшувати $R_{\text{н}}$, однак, починаючи з певного значення $R_{\text{н}}$, відбувається зниження K_U , що може призвести до протилежного ефекту.

Допускаючи, що $h_{12} = 0$, яке практично завжди спостерігається, отримаємо:

$$R \approx \frac{1}{h_{22E} + 1/R_K}.$$

Оскільки $1/h_{22E} \gg R_K$, то $R_{\text{вих}} \approx R_K$.

Слід зазначити, що вхідний і вихідний опори схеми з СЕ порівнянні, тому можливе послідовне підключення каскадів підсилювачів з СЕ у разі їхнього задовільного узгодження. Так, для двокаскадного підсилювача з коефіцієнтами підсилення K_1 і K_2 і рівністю $R_{\text{вих}} = R_{\text{вх}2}$ отримаємо загальний коефіцієнт підсилення підсилювача $K = \frac{K_1 K_2}{2}$.

Підсилювач напруги зі спільною базою. Аналогічно можна розглянути підсилювач на транзисторі, що підключений за схемою з СБ (див. принципову схему рис. 2.4), опис якого без визначення основних параметрів наведено у підрозд. 2.1. Його лінійна електрична модель (схема заміщення) аналогічна схемі з СЕ (див. рис. 2.9), в якій h -параметри мають індекси спільної бази ($h_{11Б}$, $h_{12Б}$, $h_{21Б}$, $h_{22Б}$) і замість резистора R_B стоїть резистор R_E .

Аналіз його основних параметрів $R_{\text{вх}}$, $R_{\text{вих}}$, K_U , K_I дає змогу вважати, що вхідний опір підсилювача, як і для СЕ, $R_{\text{вх.підс}} = h_{11Б} \parallel R_E \approx h_{11Б}$. Однак значення $h_{11Б}$ у десятки разів менше ніж $h_{11Е}$, тому $R_{\text{вх.підс}}$ СБ становить десятки—сотні омів.

Вихідний опір схеми з СБ визначається аналогічно схемі з СЕ:

$$R_{\text{вих}} = \frac{1}{h_{22Б}} \parallel R_K \approx R_K.$$

Коефіцієнт підсилення схеми з СБ за напругою $K_U \gg 1$, як і в схемі з СЕ, має додатний знак, що зумовлює нульовий фазовий зсув між вихідною і вхідною напругами. На відміну від схеми з СЕ каскад із СБ не посилює струм ($K_I < 1$), оскільки $h_{21Б} < \alpha$.

Висновки. Схема підсилювача напруги (СЕ) має приблизно однакові вхідний і вихідний опори, що дає змогу погоджува-

ти за напругою вхідний опір наступного каскаду з вихідним опором попереднього у разі їх послідовного вмикання в підсилювачах із багатьма каскадами. Схема з СБ не дає змоги виконувати таке підключення, оскільки $R_{\text{вх.підс}} \ll R_{\text{вих.підс}}$.

Для послідовного вмикання каскадів з СБ між ними потрібно включати узгоджувальні каскади, побудовані за схемою з СК (див. підрозд. 2.3).

Коефіцієнти підсилення схем із СЕ і СБ за напругою $K_U \gg 1$ (десятки) відрізняються лише фазовими співвідношеннями $\varphi_{\text{СЕ}} = 180^\circ$, $\varphi_{\text{СБ}} = 0^\circ$.

Коефіцієнти підсилення за струмом для схеми з СЕ ($K_I \gg 1$), а для схеми з СБ ($K_I < 1$). Оскільки коефіцієнт підсилення за потужністю $K_P = K_U K_I$, то схема з СЕ має найбільший коефіцієнт.

Схему підсилювача напруги з СЕ усе частіше застосовують в електроніці, однак схему з СБ, незважаючи на зазначені недоліки, все-таки продовжують застосовувати з урахуванням таких переваг, як найвища температурна стабільність і значно менші нелінійні спотворення (див. розд. 5).

2.3. Підсилювач напруги на біполярному транзисторі за схемою зі спільним колектором

Розрахунок схеми за постійним струмом. Режим роботи схеми за постійним струмом визначається елементами R_E , R_B , E_K і параметрами транзистора. Принципову схему підсилювача зображено на рис. 2.10. Аналогічно, як і для схеми зі спільним емітером, вихідне і вхідне кола можна описати такими системами рівнянь:

$$\begin{cases} E_K = I_E R_E + U_{EK}; \\ U_{EK} = \Psi(I_K, I_B). \end{cases} \quad (2.9)$$

$$\begin{cases} E_K = I_B R_B + R_E (I_K + I_B) + U_{BE}; \\ U_{BE} = f(I_B, U_{KE}). \end{cases} \quad (2.10)$$

$$E_K = I_B R_B + R_E (I_K + I_B) + U_{BE}; \quad (2.11)$$

$$U_{BE} = f(I_B, U_{KE}). \quad (2.12)$$

Оскільки $I_E = I_K + I_B$, а $I_B \ll I_K$, то рівняння (2.9) можна записати так:

$$E_K \approx I_K R_E + U_{EK}.$$

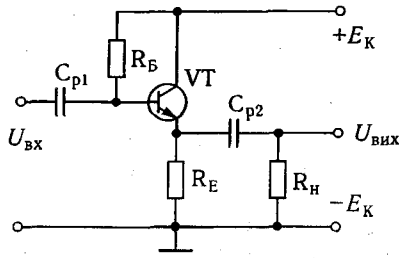


Рис. 2.10. Принципова електрична схема підсилювача на біполярному транзисторі, що підключений за схемою зі спільним колектором

Як і для схеми з СЕ (рис. 2.11), побудуємо навантажувальну лінію 1, яка відповідає системі рівнянь (2.9) і (2.10):

За аналогією зі схемою з СЕ вибираємо точку спокою О і визначаємо значення опорів R_E і R_B (див. рис. 2.11):

$$R_E \approx \frac{E_K}{I_{K3}}; R_B = \frac{E_K - R_E(I_{Bп} + I_{Kп}) - U_{BEп}}{I_{Bп}}.$$

Представимо схему заміщення підсилювача з СК (рис. 2.12). Проаналізувавши модель, отримаємо коефіцієнт підсилення (передачі) за напругою:

$$K_U = \frac{U_{вих}}{U_{вх}} = \frac{h_{21E} R_{екв}}{\left[h_{21E} R_{екв} + h_{22E} h_{11E} \left(R_{екв} + \frac{1}{h_{22E}} \right) \right]},$$

де $R_{екв} = R_E \parallel R_H$.

Оскільки знаменник K_U більший за чисельник, то $K_U < 1$. За правильно спроектованого каскаду $K_U \approx 0,9 \dots 0,99$. Якщо

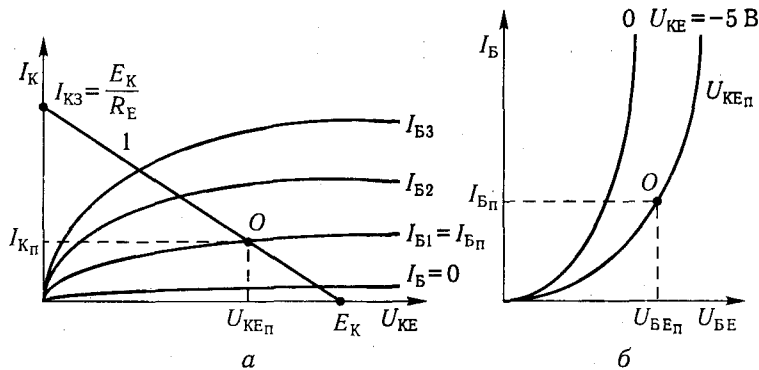


Рис. 2.11. Визначення режиму роботи за постійним струмом: а — на вихідних характеристиках транзистора; б — на вхідних характеристиках транзистора

Рис. 2.12. Схема заміщення підсилювача з СК

$K_U \approx 1$, то $U_{вих} \approx U_{вх}$, тому підсилювач за схемою з СК називають *емітерним повторювачем*, оскільки вихідний сигнал повторює вхідний за фазою та амплітудою.

Вхідний опір транзистора можна визначити як

$$R_{вх.тр} = \frac{U_{вх}}{I_B} = \frac{h_{11E}}{1 - K_U}.$$

Виходячи з цього, вхідний опір підсилювача визначають за виразом

$$R_{вх.підс} = R_{вх.тр} \parallel R_B.$$

Якщо $K_U \approx (0,9 \dots 0,99)$, то $R_{вх.тр} = (10 \dots 100) h_{11E}$, отже, $R_{вх.підс} \approx (10 \dots 100 \text{ кОм})$.

Тому схема з СК має найвищий вхідний опір, і її застосування необхідне тоді, коли використовується джерело сигналу з високим внутрішнім опором.

Аналогічно визначимо коефіцієнт підсилення за струмом

$$K_I = \frac{U_{вих} / R_H}{U_{вх} / R_{вх.підс}} = K_U \frac{R_{вх.підс}}{R_H} \approx \frac{R_{вх.підс}}{R_H}.$$

Оскільки припустимі значення R_H становлять одиниці кілоомів — сотні омів, то $K_I \gg 1$ і також становить десятки-сотні омів.

Вихідний опір транзистора можна визначити за виразом

$$R_{вих.тр} = \frac{U}{I_{заг}} = \frac{1}{U \left(1 + \frac{h_{21E}}{h_{11E} h_{22E}} \right) h_{22E}} = \frac{h_{11E}}{h_{11E} h_{22E} + h_{21E}}.$$

Якщо $h_{11E} h_{22E} \ll h_{21E}$, то $R_{вих.тр} \approx h_{11E} / h_{21E}$. Для типових значень цих параметрів малопотужних транзисторів отримаємо $R_{вих.тр}$ порядку десятків омів.

Повний вихідний опір емітерного повторювача становить: $R_{вих.пов} = R_{вих.тр} \parallel R_E \approx R_{вих.тр}$, оскільки R_E зазвичай набагато більший ніж $R_{вих.тр}$.

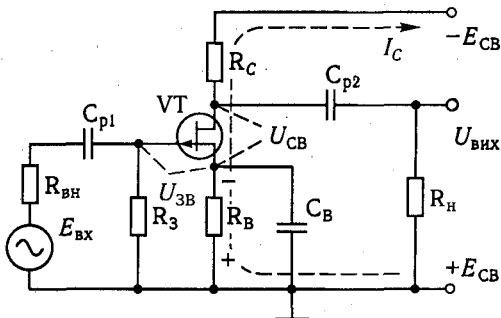
Висновки. Схема зі спільним колектором має найнижчий вихідний і найвищий вхідний опори із трьох схем підключення транзистора. Тому таку схему застосовують як погоджувальний каскад між джерелами вхідних сигналів з високим $R_{вн}$ і низьким опором навантаження. Ця схема має найвищий коефіцієнт підсилення за струмом K_I , але вона не підсилює напругу ($K_U \approx 1$), тому її називають *емітерним повторювачем*, при цьому вихідний сигнал повторює вхідний як за фазою, так і за амплітудою.

Схему зі спільним колектором застосовують у вхідних і вихідних каскадах для забезпечення великого вхідного та малого вихідного опорів підсилювача та як погоджувальний каскад між підсилювальними каскадами СБ–СБ чи СЕ–СБ.

2.4. Підсилювач напруги на польовому транзисторі за схемою зі спільним витоком

Принципову схему підсилювача на польовому транзисторі зображено на рис. 2.13. Принцип будови схеми аналогічний схемі підсилювача на біполярному транзисторі, підключеному зі спільним емітером. Резистор R_C аналогічний R_K , ланцюг автоматичного зсуву виконує функцію резистора R_B чи подільника (див. рис. 5.5 і 5.6).

У цій схемі R_B , R_3 і C_B утворюють ланку автоматичного зсуву. На R_B відбувається спад напруги, зумовлений струмом стоку, який передається на затвор через резистор R_3 і визначає положення робочої точки, тобто режим роботи транзистора за постійним струмом транзистора. В режимі змінного струму резистор R_B шунтований ємністю C_B , не порушуючи тим самим положення точки спокою, визначене в режимі за постійним струмом.



Розрахунок за постійним струмом. Польовий транзистор вибирають аналогічно біполярному — за гранично допустимими значеннями $E_{св\max}$, $I_{C\max}$ і P_{\max} та $f_{гр}$.

Рис. 2.13. Принципова схема підсилювача

Вихідне коло підсилювача можна описати такою системою рівнянь:

$$E_{св} = I_C (R_C + R_B) + U_{св}; \quad (2.13)$$

$$U_{св} = \varphi(I_C, U_{зв}). \quad (2.14)$$

Перше рівняння — це рівняння навантажувальної прямої, а друге — вихідні характеристики транзистора. Графоаналітичне розв'язання цієї системи зображено на рис. 2.14, де $U_{свп}$, $I_{Cп}$, $U_{свпр}$ — напруга між стоком і витоком, струм стоку і напруга затвор–витік у точці спокою O .

У режимах ХХ і КЗ визначають крайні точки навантажувальної прямої:

$$\text{режим ХХ: } I_C = 0; \quad U_{св} = E_{св};$$

$$\text{режим КЗ: } U_{св} = 0; \quad I_C = I_{КЗ} = \frac{E_{св}}{R_C + R_B}, \text{ якщо відомі } R_C \text{ та } R_B.$$

Під час проектування каскаду проводять навантажувальну лінію відповідним чином і, знаючи $I_{КЗ}$, визначають сумарний опір $R_C + R_B$:

$$R_C + R_B = E_{св} / I_{КЗ}.$$

За рахунок струму I_C створюється спад напруги на R_B , плюс «+» цієї напруги подається на затвор через резистор R_3 (див. рис. 2.13), мінус «-» прикладений до витоку, що й зумовлює напругу зсуву. Отже, втрата напруги на R_B має забезпечувати напругу $U_{звп}$:

$$I_{Cп} R_B = U_{звп}; \quad R_B = \frac{U_{звп}}{I_{Cп}}.$$

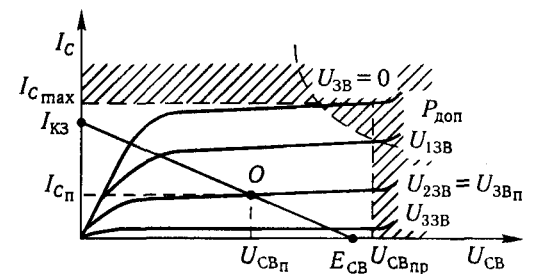


Рис. 2.14. Вихідні характеристики польового транзистора

Ємність C_B вибирають з умови, щоб під час подачі вхідного перемінного сигналу виконувалася нерівність

$$\frac{1}{\omega_{\min} C_B} \ll R_B,$$

де ω_{\min} — мінімальна частота вхідного сигналу підсилення.

Оскільки напруга зсуву передається на затвор через резистор R_3 , то, знаючи I_3 (подано в довіднику), можна визначити максимальне значення R_3 , за якого $I_3 R_3 \ll U_{3C}$. Для польових транзисторів з p - n -переходом $R_{3\max}$ становить близько 1 МОм.

Повна лінійна модель підсилювача має вигляд, наведений на рис. 2.15. У діапазоні середніх звукових частот, аналогічно RC-підсилювачам на біполярних транзисторах, конденсаторами C_{p1} і C_{p2} , а також ємностями $C_{пр}$, $C_{вх}$ і $C_{н\Sigma}$ можна знехтувати. Виходячи з цього, модель підсилювача для середніх звукових частот матиме вигляд, зображений на рис. 2.16.

Вихідну напругу можна записати так:

$$U_{\text{вих}} = -S U_{\text{вх}} R_{\text{екв}},$$

де $R_{\text{екв}} = R_i \parallel R_C \parallel R_n$; $U_{3B} = U_{\text{вх}}$; $S = \frac{dI_C}{dU_{3B}} \Big|_{U_{CB}=\text{const}}$

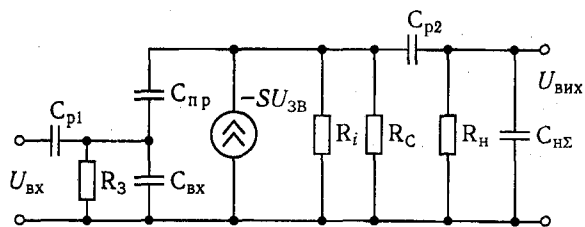


Рис. 2.15. Схема заміщення підсилювача

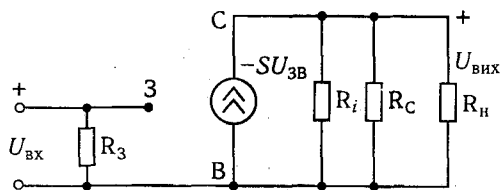


Рис. 2.16. Модель підсилювача в діапазоні середніх звукових частот

Оскільки $R_i = \frac{dU_{CB}}{dI_C} \Big|_{U_{3B}=\text{const}}$, для малопотужних польових транзисторів (сотні кілоомів) R_n становить одиниці мегаомів, а R_C — десятки кілоомів, то $R_{\text{екв}} \approx R_C$.

Виходячи з цього, можна знайти коефіцієнт підсилення за напругою

$$K_U = \frac{U_{\text{вих}}}{U_{\text{вх}}} = -S R_{\text{екв}} \approx -S R_C.$$

За певних значень крутості характеристики $S \approx 1 \dots 10 \text{ мА} / \text{В}$ дістанемо $K_U \gg 1$.

Коефіцієнт підсилення за струмом визначають аналогічно біполярним транзисторним каскадам

$$K_I = \frac{I_n}{I_{\text{вх}}} = \frac{U_{\text{вих}} / R_n}{U_{\text{вх}} / R_3} = K_U \frac{R_3}{R_n}.$$

Аналізуючи цей вираз, отримаємо $K_I \gg 1$. Порівняно з K_I на біполярних транзисторах для схеми СЕ схема на польових транзисторах СВ має значно більший коефіцієнт підсилення.

З моделі випливає, що

$$R_{\text{вх}} = R_3.$$

На високих частотах потрібно враховувати вплив $C_{пр}$ і $C_{вх}$, при цьому вхідний опір

$$R_{\text{вх}} = R_3 \parallel C_{\text{вх}} \parallel C_{пр} (1 + K_U).$$

За великих коефіцієнтів підсилення (10...100) та характерних значень $C_{пр} \approx 1 \text{ пФ}$ отримуємо перевагу дії $C_{пр}$ над $C_{вх}$, значення якого становить одиниці пікофарад.

Вихідний опір підсилювача визначають традиційно:

$$R_{\text{вих}} = \frac{R_i R_C}{R_i + R_C} \approx R_C.$$

Отже, за значеннями встановлених параметрів K_U , K_I , $R_{\text{вх}}$, $R_{\text{вих}}$ простежується аналогічність їхніх параметрів параметрам підсилювача на біполярному транзисторі за схемою з СЕ.

Контрольні запитання

1. Проаналізуйте вхідні опори підсилювачів для трьох основних схем вмикання транзистора, порівняйте між собою та встановіть порядок їхніх величин.
2. Назвіть елементи схем підсилювачів, що визначають режими роботи каскадів за постійним струмом.
3. Поясніть призначення розділових конденсаторів у підсилювачах.
4. Який із каскадів має найменший (найбільший) вихідний опір?
5. Який із розглянутих каскадів має максимальний коефіцієнт підсилення за потужністю і чому?
6. Назвіть елементи схеми підсилювача зі спільним витоком, що визначають режим роботи каскаду за постійним струмом.
7. Які елементи утворюють ланку автоматичного зсуву, як їх розрахувати?
8. Побудуйте навантажувальну лінію схеми зі спільним витоком за постійним струмом. Якими елементами визначається її кут нахилу?

Розділ З

ЧАСТОТНІ ХАРАКТЕРИСТИКИ РС-ПІДСИЛЮВАЧІВ ЗВУКОВИХ ЧАСТОТ

3.1. Звукові частоти.

Характерні області звукових частот

Область звукових частот знаходиться в діапазоні від одиниць — десятків герців до десятків кілогерців (орієнтовно 10 Гц... 30 кГц). Умовно звукові частоти, тобто акустичні сигнали, які чує людина, можна поділити на три області:

- область нижніх звукових частот (НЧ) (10...300 Гц);
- область середніх звукових частот (СЧ) (300Гц ...5 кГц);
- область верхніх звукових частот (ВЧ) (5...30 кГц).

Границі цих областей чітко не визначаються, тому цей поділ є умовним. Графічно цей розподіл звукових частот зображено на рис. 3.1.

Для достатнього розпізнавання людського голосу під час телефонних розмов досить обмежити спектр сигналу областю середніх звукових частот, а для якісного відтворення музичних творів потрібно підсилювати всі три області частот з мінімальними частотними спотвореннями.

Будь-який підсилювальний каскад (незалежно від його структури), як і підсилювач у цілому, можна подати стандартним чотириполосником, що характеризується певними вхідним і вихідним опорами та коефіцієнтом підсилення в режимі холостого ходу (рис. 3.2). Доповнивши цей чотириполосник реактивними елементами (розділовими конденсаторами і сумарною ємністю навантаження), можна теоретично визначити частотні характеристики підсилювача як у кожному діапазоні звукових частот, так і в області звукових частот у цілому. З урахуванням реактивних елементів на рис. 3.3 зображено модель підсилювального каскаду.

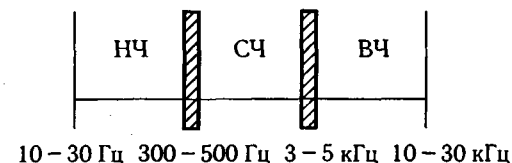


Рис. 3.1. Поділ діапазону звукових частот на області

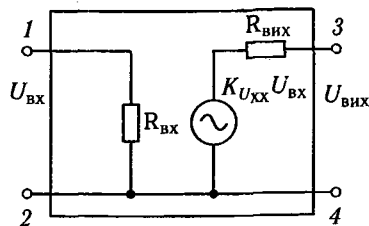


Рис. 3.2. Схема підсилювального каскаду зі стандартним чотириполюсником

У цій схемі: $C_{н\sum}$ — сумарна ємність навантаження, до складу якої входять ємність монтажу, ємність навантаження і вихідна ємність транзистора,

причому ємність $C_{н\sum}$ зазвичай невелика і досягає кількох десятків пікофарад; C_p — розділова ємність на виході підсилювача. Розділову ємність на вході підсилювача разом із вхідним опором відносять до попереднього каскаду. Частотні характеристики підсилювача з багатьма каскадами визначаються сукупністю частотних характеристик його окремих каскадів.

Комплексну частотну характеристику підсилювального каскаду у розглядуваному випадку запишемо

$$K(j\omega) = \frac{U_{34}(j\omega)}{U_{12}(j\omega)} = \frac{U_{34}e^{j\varphi_{34}(\omega)}}{U_{12}e^{j\varphi_{12}(\omega)}} = K(\omega)e^{j\varphi(\omega)},$$

де $\varphi(\omega) = \varphi_{34}(\omega) - \varphi_{12}(\omega)$ — фазовий зсув підсилювача.

Виходячи з цього виразу, розрізняють три типи частотних характеристик.

Амплітудно-частотна характеристика (АЧХ) — залежність модуля коефіцієнта підсилення підсилювача від частоти $|K(j\omega)| = f(\omega)$. Характерний вигляд АЧХ підсилювача напруги зображено на рис. 3.4. Смуга пропускання Π визначається на рівні $0,707K_{ср}$.

Фазово-частотна характеристика (ФЧХ) — це залежність кута зсуву фази між вихідним і вхідним сигналами від частоти $\varphi = \varphi_{34} - \varphi_{12} = \varphi(\omega)$.

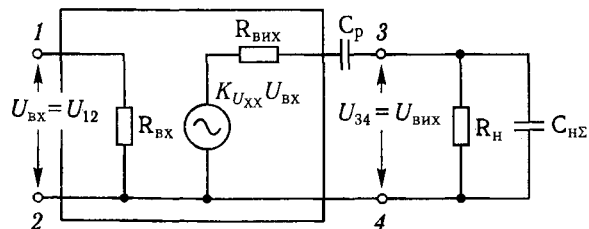


Рис. 3.3. Модель підсилювача напруги в області звукових частот

Вигляд ФЧХ типових підсилювальних каскадів (схем із СЕ, СБ і СК) зображено на рис. 3.5. Аналогічні АЧХ і ФЧХ мають підсилювальні каскади на польових транзисторах, для схем підключення з СВ, СЗ і СС.

Амплітудно-фазово-частотна характеристика (АФЧХ) — комплексна характеристика, що поєднує залежності амплітуди та фазового зсуву між вихідним і вхідним сигналами від частоти. Вона є траєкторією, що описується кінцем вектора вихідної напруги підсилювача, під час зміни частоти одиничного вхідного сигналу від нуля до нескінченності й будується на комплексній площині.

Кожній точці траєкторії (АФЧХ) відповідає визначена частота ω_i . Залежно від схеми підключення транзистора АФЧХ розміщується в другому і третьому квадрантах (СЕ) або в першому і четвертому квадрантах (схеми з СБ і СК). Типову АФЧХ транзисторного каскаду з СЕ подано на рис. 3.6.

Для оцінки якості частотних характеристик використовують коефіцієнти частотних спотворень M_n і M_v , які визначають за такими співвідношеннями:

$$M_n = K_{ср} / K_n; \quad M_v = K_{ср} / K_v.$$

Коефіцієнти частотних спотворень зазвичай задаються на граничних частотах підсилювачів f_n та f_v і показують, у скільки разів коефіцієнт підсилення на середній частоті ($K_{ср}$) більший за коефіцієнт підсилення на граничних частотах. У разі ідеальної частотної характеристики (немає спадів в областях НЧ і ВЧ) $M_v = M_n = 1$, що забезпечується за $C_p = \infty$ і $C_{н\sum} = 0$ (реально нездійсненне). У процесі постановки технічного завдання на розробку підсилювача задають модулі коефіцієнтів частотних спотворень M_v та M_n .

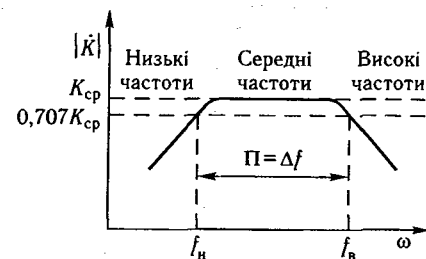


Рис. 3.4. АЧХ підсилювача напруги

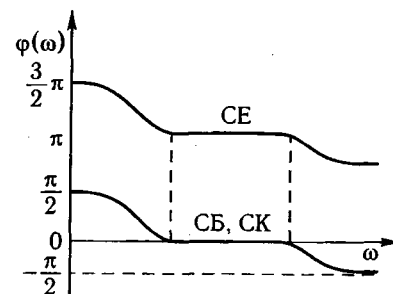


Рис. 3.5. ФЧХ підсилювача

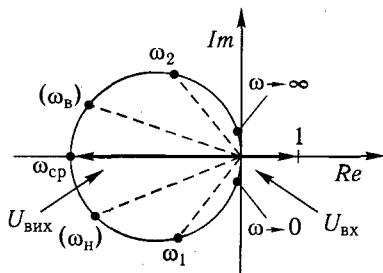


Рис. 3.6. АФЧХ підсилювального каскаду з СЕ

Для розрахунку частотних характеристик підсилювачів їх звичайно розглядають окремо в областях НЧ, СЧ і ВЧ, де визначають за заданими значеннями M_B , M_H , f_H , f_B значення C_p і $R_{вих, підс}(C_{H\Sigma})$.

Потім, скориставшись загальною характеристикою $K(j\omega)$, уточнюють частотні характеристики підсилювачів.

3.2. Характеристики підсилювачів напруги в області середніх звукових частот

У діапазоні середніх звукових частот впливом реактивних елементів можна знехтувати, оскільки в ньому виконуються дві нерівності:

$$\frac{1}{\omega C_{p1}} \ll R_H; \quad (3.1)$$

$$\frac{1}{\omega C_{H\Sigma}} \gg R_H. \quad (3.2)$$

У цьому випадку вихідне коло чотириполосника матиме вигляд, наведений на рис. 3.7.

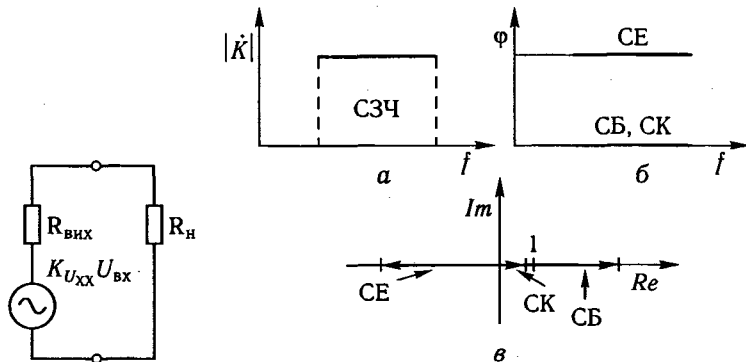


Рис. 3.7. Вихідне коло чотириполосника в області СЧ

Рис. 3.8. Частотні характеристики підсилювача напруги в області СЧ:
а – АЧХ; б – ФЧХ; в – АФЧХ

Модуль коефіцієнта передачі в цьому діапазоні визначають за виразом

$$|K(j\omega)| = K_{cp} = \frac{K_{XX} R_{вих}}{\frac{1}{R_{вих}} + \frac{1}{R_H}} = \text{const},$$

де K_{XX} – коефіцієнт передачі за холостого ходу.

Виходячи з цього, частотні характеристики підсилювача матимуть вигляд, зображений на рис. 3.8.

3.3. Низькі звукові частоти

В області низьких звукових частот впливом сумарної ємності навантаження $C_{H\Sigma}$ нехтують, але враховують вплив C_p , тому що нерівність (3.2) на низькій частоті виконується із запасом, а рівність (3.1) не виконується, що потребує урахування опору розділового конденсатора C_p . Тоді модель вихідної ланки чотириполосника матиме вигляд, зображений на рис. 3.9.

Коефіцієнт передачі, або модуль коефіцієнта підсилення підсилювача в області низьких частот K_H , у цьому випадку запишемо як

$$K(j\omega) = K_H = \frac{K_{cp}}{\left[1 - j \frac{1}{\omega C_p (R_{вих} + R_H)} \right]}.$$

Для побудови АЧХ визначимо модуль коефіцієнта передачі в області низьких частот:

$$|K_H| = \frac{K_{cp}}{\sqrt{1 + b^2}},$$

$$\text{де } b = \frac{1}{\omega C_p (R_{вих} + R_H)}.$$

Згідно з отриманим виразом, зі зменшенням частоти зростає b та зменшується модуль $|K_H|$; АЧХ матиме вигляд, зображений на рис. 3.11, а.

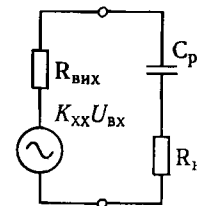


Рис. 3.9. Модель вихідного кола підсилювача напруги в області НЧ

Коефіцієнт частотних спотворень в області низьких частот (див. рис. 3.11, з) визначають із виразу

$$\dot{M}_H = \frac{K_{cp}}{K_H} = 1 - j \frac{1}{\omega C_p (R_{вих} + R_H)},$$

а його модуль буде

$$|\dot{M}_H| = \sqrt{1 + \left(\frac{1}{\omega C_p (R_{вих} + R_H)} \right)^2}.$$

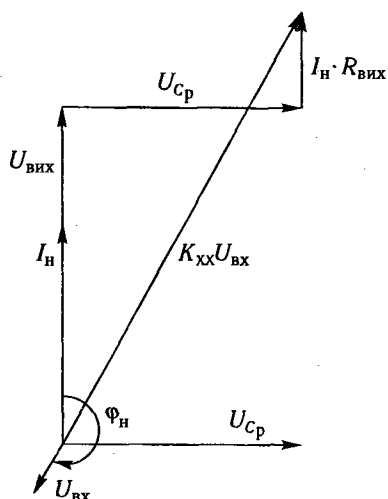
Отже, $|\dot{M}_H|$ характеризує ступінь зменшення $|\dot{K}_H|$ щодо K_{cp} і визначається для найнижчої частоти сигналу підсилення. Для підсилювача з багатьма каскадами коефіцієнт частотних спотворень і його модуль визначають за такими виразами:

$$\dot{M}_{H, заг} = \dot{M}_{H1} \dot{M}_{H2} \dots \dot{M}_{Hn};$$

$$|\dot{M}_{H, заг}| = |\dot{M}_{H1}| |\dot{M}_{H2}| \dots |\dot{M}_{Hn}|.$$

Під час проектування підсилювальних каскадів в області низьких звукових частот за заданими значеннями $R_{вих}$, R_H , $|\dot{M}_H|$, f_H визначають потрібне значення ємності конденсатора C_p :

$$C_p = \frac{1}{\sqrt{(|\dot{M}_H|^2 - 1)} \omega_H (R_{вих} + R_H)},$$



де ω_H — нижня гранична частота вхідного сигналу.

Для оцінки фазового зсуву, внесеного підсилювачем на низьких частотах, побудуємо векторну діаграму для моделі підсилювального каскаду, зображеної на рис. 3.9.

Із рис. 3.10 видно, що $\varphi_H > 180^\circ$, $\varphi_H = \varphi_{вих} - \varphi_{вх}$. Якщо $\omega \rightarrow 0$, то $\varphi_H \rightarrow 270^\circ$,

Рис. 3.10. Векторна діаграма підсилювача в області низьких частот для схеми з СЕ

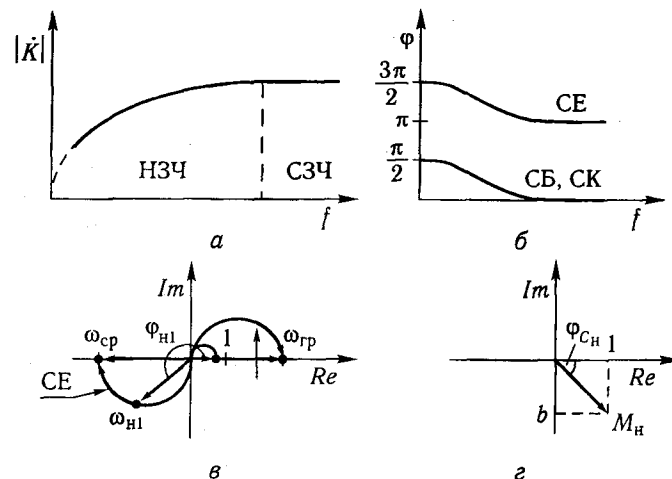


Рис. 3.11. Частотні характеристики підсилювача в області НЧ: а — АЧХ; б — ФЧХ; в — АФЧХ

оскільки $U_{cp} \rightarrow \infty$. Отже, фазовий зсув спотворень, внесений каскадом підсилення з СЕ, можна визначити як

$$\varphi_{сн} = \varphi_H - 180^\circ = \arccos \left(\frac{1}{|\dot{M}_H|} \right) \quad (\text{див. рис. 3.11, з}).$$

З урахуванням викладеного вище частотні характеристики підсилювача АЧХ, ФЧХ і АФЧХ у діапазоні НЧ матимуть вигляд, наведений на рис. 3.11, а, б, в.

3.4. Робота підсилювача в області високих звукових частот

В області високих звукових частот впливом C_p нехтують і враховують вплив сумарної ємності навантаження $C_{нз}$, оскільки в цій області частот опір $C_{нз}$ стає порівняним з R_H і підключений паралельно, отже, нехтувати ним не можна, а опір C_p стає нехтовно малим і підключений послідовно з навантаженням, тому ним можна знехтувати. У цьому випадку вихідне коло підсилювального каскаду, як чотириполосника, матиме вигляд, зображений на рис. 3.12.

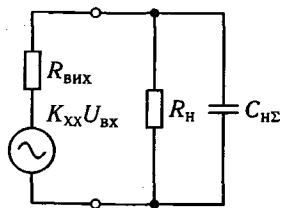


Рис. 3.12. Модель вихідного кола підсилювального каскаду в області ВЧ

Коефіцієнт передачі, або комплексний коефіцієнт підсилення в області високих частот $\dot{K}_В$, у цьому випадку визначають як

$$\dot{K}_В = \frac{K_{ср}}{1 + j \frac{\omega C_{н\sum} R_{вх} R_{н}}{R_{вх} + R_{н}}}$$

Для побудови АЧХ визначимо модуль коефіцієнта передачі

$$|\dot{K}_В| = \frac{K_{ср}}{\sqrt{1 + b^2}},$$

$$\text{де } b = \frac{\omega C_{н\sum} R_{вх} R_{н}}{R_{вх} + R_{н}}.$$

Згідно з отриманим виразом, зі збільшенням частоти зростає b і зменшується модуль $|\dot{K}_В|$. У цьому випадку АЧХ має вигляд, зображений на рис. 3.13, а.

Комплексний коефіцієнт частотних спотворень визначають аналогічно:

$$\dot{M}_В = \frac{K_{ср}}{\dot{K}_В} = 1 + j \frac{\omega C_{н\sum} R_{вх} R_{н}}{R_{вх} + R_{н}},$$

а його модуль має вигляд

$$|\dot{M}_В| = \sqrt{1 + \left(\frac{\omega C_{н\sum} R_{вх} R_{н}}{R_{вх} + R_{н}} \right)^2}.$$

Фазовий зсув спотворень, внесений каскадом підсилювача з СЕ в області ВЧ, визначають як

$$\varphi_{СВ} = \varphi_В - 180^\circ = \arccos \left[\frac{1}{|\dot{M}_В|} \right].$$

З урахуванням викладеного вище частотні характеристики підсилювача в області ВЧ матимуть вигляд, зображений на рис. 3.13. Якщо гранична частота підсилення транзистора на

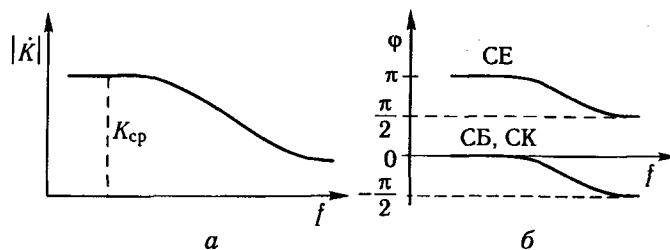
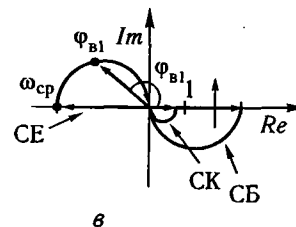


Рис. 3.13. Частотні характеристики підсилювача в області ВЧ:

а – АЧХ; б – ФЧХ; в – АФЧХ



порядок чи хоча б у 3–5 разів перевищує максимальну частоту вхідного сигналу підсилювача $f_В$, то впливом транзистора на частотні характеристики підсилювача можна знехтувати.

Якщо ці частоти порівнянні, то потрібно також враховувати частотні властивості транзистора.

Контрольні запитання

1. Дайте визначення АЧХ, ФЧХ і АФЧХ підсилювачів і намалюйте їхній вигляд.
2. Поясніть суть та наведіть формули коефіцієнтів частотних спотворень $M_Н$ і $M_В$.
3. Наведіть коефіцієнти частотних спотворень $M_Н$ і $M_В$ на комплексній площині та встановіть фазові спотворення підсилювача $\varphi_{Сн}$ і $\varphi_{Св}$.
4. Як зміняться частотні характеристики підсилювача у разі збільшення ємності розділового конденсатора вдвічі?
5. Як зміняться частотні характеристики підсилювача у разі збільшення його вихідного опору вдвічі?

Розділ 4 ПІДСИЛЮВАЧІ ПОТУЖНОСТІ

4.1. Узгодження джерела сигналу з навантаженням.

Класифікація підсилювачів потужності

Існує три способи узгодження джерел сигналу з навантаженням:

- за напругою;
- за струмом;
- за потужністю.

Завдання узгодження джерела напруги з навантаженням вирішувалося в раніше розглянутих RC-підсилювачах напруги. Для такого випадку схему підключення джерела до навантаження зображено на рис. 4.1.

Щоб узгодити джерела з навантаженням за напругою, треба забезпечити умову:

$$U_H \rightarrow E_{ВХ}, \text{ або } U_H \approx E_{ВХ}.$$

Це досягається за $R_{ВН} \ll R_H$. Якщо ця нерівність не виконується, то узгодження за напругою вважається задовільним, якщо $U_H \approx (0,3 \dots 0,7)E_{ВХ}$:

$$U_H = \frac{E_{ВХ} R_H}{R_{ВН} + R_H}.$$

Узгодження за струмом здійснюється у разі забезпечення струму в навантаженні такого, що дорівнює або близький до вхідного струму:

$$I_H \rightarrow I_{ВХ}, \text{ або } I_H \approx I_{ВХ}.$$

У цьому випадку схема підключення джерела сигналу матиме вигляд, зображений на рис. 4.2.

Узгодження джерела струму з навантаженням буде забезпечуватися у разі виконання такої умови:

$$R_{ВН} \gg R_H,$$

тоді

$$I_H \approx I_{ВХ}.$$

Узгодження сигналу з навантаженням за потужністю застосовують тоді, коли в навантаженні потрібно отримати максимальну потужність:

$$P_H \rightarrow P_{H \max}, \text{ або } P_H \approx P_{H \max}.$$

Схема підключення джерела сигналу до навантаження в цьому випадку має вигляд, аналогічний схемі підключення джерела напруги до навантаження в разі узгодження за напругою (див. рис. 4.1). Однак максимальна потужність у навантаженні для цього випадку буде забезпечуватися за рівності внутрішнього опору та опору навантаження

$$R_{ВН} = R_H.$$

Це легко показати, узявши похідну $\frac{dP_H}{d(R_{ВН}/R_H)}$ і прирівнявши її до нуля.

Таке узгодження проводять у підсилювачах потужності, які зазвичай є кінцевими каскадами, що забезпечують максимальну або необхідну потужність у навантаженні. У цих каскадах для узгодження високого вихідного опору підсилювача з низьким опором навантаження застосовують вихідні (погоджувальні) трансформатори (рис. 4.3).

У цьому випадку опір навантаження, зведений до виходу підсилювача (чи до входу трансформатора), запишемо як

$$R'_H = R_H n^2,$$

де $n = U_1/U_2 = w_1/w_2$ — коефіцієнт трансформації трансформатора.

Для оптимального узгодження за потужністю $R'_H = R_{ВН}$ і за відомих R_H і $R_{ВН}$ з останнього виразу визначають потрібний коефіцієнт трансформації трансформатора n .

Розрізняють одно- та двотактні підсилювачі потужності. Двотактні підсилювачі потужності застосовують за великих

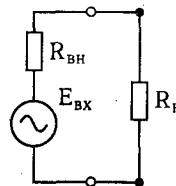


Рис. 4.1. Схема підключення джерела напруги до навантаження

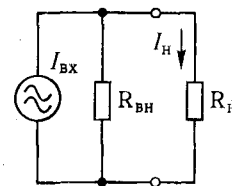


Рис. 4.2. Схема підключення джерела струму до навантаження

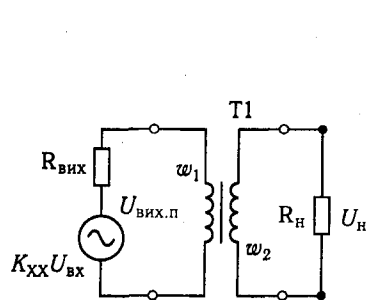


Рис. 4.3. Узгодження вихідного опору підсилювача з навантаженням за потужністю

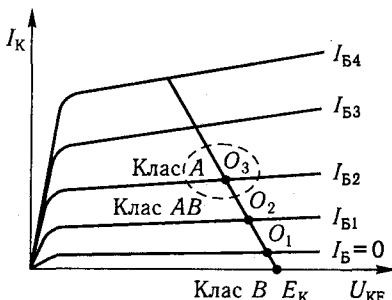


Рис. 4.4. Положення робочих точок у різних класах роботи підсилювача потужності

потужностей у навантаженні ($P_n > 1...3$ Вт). Підсилювачі потужності здебільшого працюють у класах А, АВ і В. Положення робочих точок у зазначених класах на навантажувальній лінії підсилювача потужності за постійним струмом зображено на рис. 4.4.

У режимі класу А робочу точку вибирають у центрі активної області (рис. 4.4, точка O_3). При цьому прирости сигналу щодо робочої точки мають бути невеликі і становити 30—40 % від координат робочої точки O_3 . Цей режим застосовують в одноктактних підсилювачах. У класі В робочу точку вибирають у режимі відсікання транзистора ($I_B = 0$) — точка O_1 . Такий режим роботи застосовують у двотактних підсилювачах.

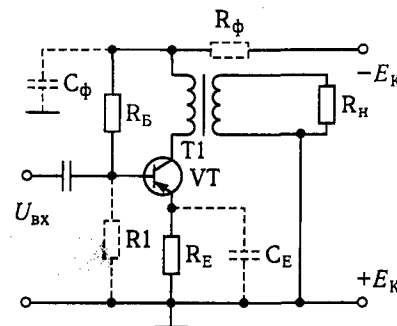
У класі АВ робоча точка займає проміжне положення між класами А і В (див. рис. 4.4, точка O_2).

Коефіцієнти корисної дії каскадів у класах А, АВ і В відповідно становлять 0,25...0,3; 0,3...0,45; 0,45...0,6. Однак при цьому нелінійні спотворення збільшуються зі зростанням ККД каскаду. Підсилювачі потужності будують за трансформаторними схемами і схемами без трансформаторів.

4.2. Однотактні підсилювачі потужності

Принципову схему однотактного підсилювача потужності зображено на рис. 4.5. Як впливає із рис. 4.5, принцип побудови схем підсилювачів потужності аналогічний розглянутому раніше принципу побудови RC-підсилювачів напруги. Відмінність полягає лише в тому, що замість резистора R_K підключається вихідний трансформатор Т1, що забезпечує узго-

Рис. 4.5. Принципова схема однотактного підсилювача потужності



дження опору навантаження з вихідним опором підсилювача. Принципова схема підсилювача потужності зазвичай доповнюється елементами температурної стабілізації, зображеними на рис. 4.5 штриховою лінією. Принципи дії одноктактних підсилювачів потужності та методику їх розрахунку подано в розд. 5.

Підсилювач потужності за постійним струмом. Під час проектування підсилювачів потужності задаються: опір навантаження R_n , потужність у навантаженні P_n , границі частотного діапазону вхідного сигналу $f_n...f_v$, модулі коефіцієнтів частотних спотворень $|M_n|$, $|M_v|$, коефіцієнт нелінійних спотворень $\gamma_{заг}$, коефіцієнт температурної нестабільності S і робочий діапазон температур (див. розд. 5).

Вибір типу транзистора здійснюють з урахуванням ККД трансформатора $\eta_{тр}$ (що більше P_n , то більше $\eta_{тр}$) і ККД каскаду $\eta_{каскад}$.

Потужності на виході підсилювача потужності (на первинній обмотці трансформатора) і споживані підсилювачем від джерела живлення відповідно визначають:

$$P_{каскад} = P_n / \eta_{тр};$$

$$P_{сп} = P_{каскад} / \eta_{каскад}.$$

Тому допустима потужність розсіювання транзистора:

$$P_{розс.доп} \geq P_{сп}.$$

Тип транзистора вибирають за допустимою потужністю розсіювання і граничною частотою підсилення. При цьому $f_{гр} \geq (3...5)f_v$.

У разі зменшення струму колектора в трансформаторі виникає ЕРС самоіндукції, яка прагне підтримати струм колектора постійним. Отже, ця ЕРС спрямована згідно з E_K і приблизно дорівнює напрузі джерела живлення. Тому з урахуванням ЕРС самоіндукції E_K не має перевищувати половини

$U_{KE\text{доп}}$. Звичайно рекомендують узяти запас 10...20 %, тоді

$$E_K < 0,5U_{KE\text{доп}}.$$

Вихідні ВАХ транзистора з проведеними на них навантажувальними лініями за постійним і змінним струмами та обраною робочою точкою наведено на рис. 4.6. Робоча область на характеристиках транзистора розміщується лівіше і нижче допустимих значень $U_{KE\text{доп}}$, $I_{K\text{доп}}$, $P_{\text{розс.доп}}$ (рис. 4.6).

Нахил навантажувальної лінії за постійним струмом визначається опором первинної обмотки трансформатора. У першому наближенні цей опір можна вважати таким, що дорівнює нулю, отже, навантажувальна лінія проходить вертикально (див. рис. 4.6, лінія 1). З урахуванням режиму роботи підсилювача у класі А робочу точку вибирають приблизно в центрі робочої області ВАХ.

Підсилювач потужності за змінним струмом. Спочатку уточнюють положення навантажувальної лінії за змінним струмом, нахил якої буде визначатися зведеним опором навантаження R'_H , з урахуванням ККД трансформатора

$$R'_H = \frac{R_H n^2}{\eta_{\text{тр}}} \approx R_{\text{вих. VT}}.$$

Виходячи з цього, можна визначити потрібний коефіцієнт трансформації трансформатора

$$n = \sqrt{\frac{R'_H \eta_{\text{тр}}}{R_H}}.$$

Кут нахилу навантажувальної лінії визначають, проводячи її через дві точки (E_K ; 0) і (0; I_{K3}) (див. рис. 4.6, лінія 2), де

$$I_{K3} = E_K / R'_H.$$

Відповідно до принципу суперпозиції, що справедливо для лінійного режиму класу А, навантажувальну лінію за змінним струмом слід перенести в

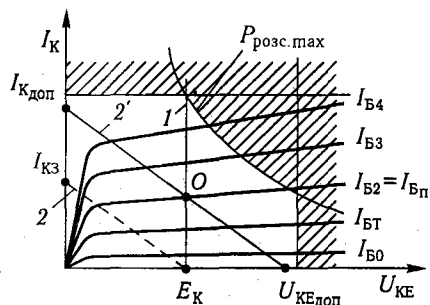


Рис. 4.6. Вихідні ВАХ транзистора і гранично допустимі значення параметрів

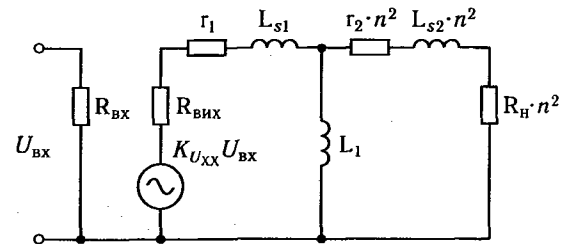


Рис. 4.7. Лінійна електрична модель підсилювача потужності

робочу точку O за постійним струмом (див. рис. 4.6, лінія 2'). З положення цієї навантажувальної лінії випливає, що напруга U_{KE} за малих струмів I_B може досягати $2E_K$.

Для розрахунку підсилювача за змінним струмом його подають як лінійну електричну модель (рис. 4.7), де L_{S1} — індуктивність розсіювання первинної обмотки; L_1 — індуктивність первинної обмотки; $L_{S2} n^2$ — індуктивність розсіювання вторинної обмотки, яка зведена до первинної; r_1 — опір первинної обмотки; $r_2 n^2$ — опір вторинної обмотки, яка зведена до первинної.

В області середніх звукових частот для правильно спроектованого трансформатора справедливі такі нерівності:

$$\omega L_{S1} + \omega L_{S2} n^2 \ll R_H n^2; \quad (4.1)$$

$$\omega L_1 \gg R_H n^2. \quad (4.2)$$

Виходячи з цих нерівностей, індуктивностями розсіювання внаслідок їх малого опору та індуктивністю контуру, що намагнічує, внаслідок великого опору можна знехтувати. Отже, зі спрощеної моделі ККД трансформатора можна визначити, використавши такий вираз:

$$\eta_{\text{тр}} = \frac{I^2 R_H n^2}{I^2 (R_H n^2 + r_1 + r_2 n^2)} = \frac{R_H n^2}{R_H n^2 + r_1 + r_2 n^2}.$$

Величина, що знаходиться в знаменнику, є опором трансформатора за змінним струмом щодо первинної обмотки R_+ і визначає кут нахилу навантажувальної лінії за змінним струмом

$$R_+ = R_H n^2 + r_1 + r_2 n^2.$$

Для забезпечення оптимального узгодження за потужністю ($P_n = P_{n \max}$) опір трансформатора за змінним струмом можна орієнтовно визначити так:

$$R_{\sim} = R_{\text{вих.тр}} = \frac{1}{h_{22E}}$$

Під час розрахунку підсилювача за змінним струмом вибирають оптимальний нахил навантажувальної лінії за змінним струмом, який забезпечує максимальну потужність у навантаженні. Для цього користуються наведеною нижче методикою.

Вихідні ВАХ транзистора з трьома різними положеннями навантажувальної лінії за змінним струмом зображено на рис. 4.8.

Потужність у навантаженні пропорційна потужності в первинній обмотці трансформатора, що, у свою чергу, може бути визначена за таким виразом:

$$P_1 = \frac{\Delta U_{KE} \Delta I_K}{2\sqrt{2} \cdot 2\sqrt{2}} = \frac{\Delta U_{KE} \Delta I_K}{8},$$

де ΔU_{KE} і ΔI_K — подвоєні амплітуди напруги і струму колектора транзистора (див. рис. 4.8) за максимального входного сигналу.

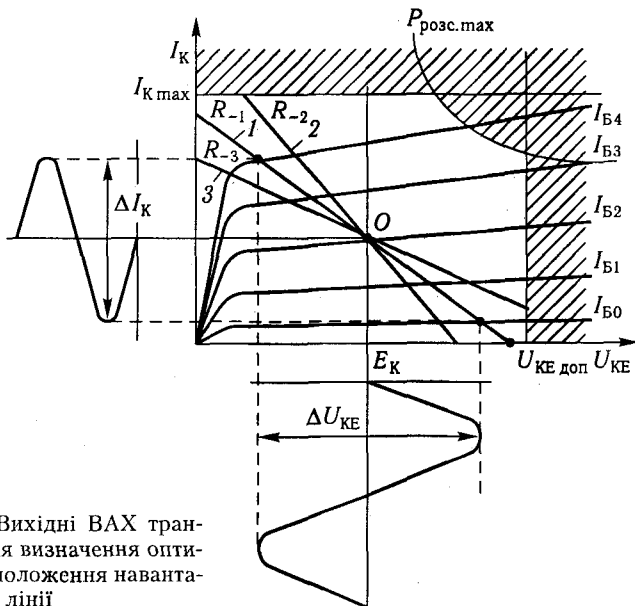
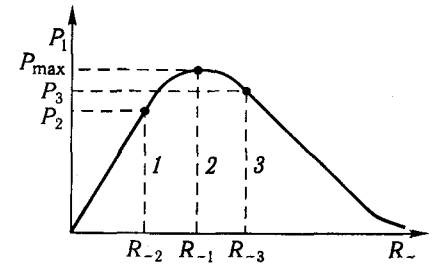


Рис. 4.8. Вихідні ВАХ транзистора для визначення оптимального положення навантажувальної лінії

Рис. 4.9. Залежність потужності P_1 від опору R_{\sim}



Розглянемо граничні випадки положення навантажувальної лінії за змінним струмом:

- якщо $R_{\sim} = 0$, то навантажувальна лінія за змінним струмом розміщується вертикально. При цьому приріст напруги $\Delta U_{KE} = 0$, отже, і потужність у першій обмотці $P_1 = 0$;

- якщо $R_{\sim} \rightarrow \infty$, то навантажувальна лінія за змінним струмом розміщується горизонтально. Відповідно приріст струму $\Delta I_K = 0$, отже, і потужність $P_1 = 0$.

Виходячи з цього, побудуємо залежність потужності P_1 від опору R_{\sim} (рис. 4.9).

За допомогою цієї залежності вибирають R_{\sim} , що забезпечує максимальну потужність, а отже, і оптимальне положення навантажувальної лінії за змінним струмом. Для навантажувальної лінії 1 (R_{-2}) визначають P_2 , 3 (R_{-3}) — P_3 , 2 (R_{-1}) — P_1 (див. рис. 4.9). Побудувавши функцію за значеннями P_1 , P_2 , P_3 , можна знайти оптимальне значення $R_{\sim \text{опт}}$ і P_{\max} . У наведеному варіанті це R_{-1} . Після цього роблять оцінку потужності у навантаженні:

$$P_n = P_{1 \max} \eta_{\text{тр}}.$$

Якщо ця потужність виявляється меншою за задану, то вибирають інший потужніший транзистор, якщо більшою за задану — входний сигнал зменшують.

Для оцінки нелінійних спотворень слід побудувати наскрізну характеристику і при заданому входному сигналі визначити коефіцієнт нелінійних спотворень g . Він має бути меншим чи дорівнювати заданому. Методику розрахунку нелінійних спотворень описано в розд. 5.

Частотні характеристики підсилювачів потужності аналогічні характеристикам RC-підсилювачів. На низьких частотах на характеристики впливає індуктивність первинної обмотки L_1 , а на верхніх — індуктивність розсіювання первинної і вторинної обмоток (див. рис. 4.7).

Висновки. Розрахунок підсилювачів потужності проводять за такою методикою:

- роблять розрахунок режиму роботи підсилювача за постійним струмом. Приймаючи опір первинної обмотки транс-

форматора таким, що дорівнює нулю, навантажувальну лінію проводять вертикально і на ній вибирають робочу точку приблизно в центрі активної області ВАХ транзистора;

- будують лінійну електричну модель підсилювача і проводять навантажувальну лінію за змінним струмом;
- визначають оптимальне положення навантажувальної лінії;
- перевіряють, чи забезпечується задана потужність у навантаженні, якщо ні, то вибирають інший транзистор;
- будують наскрізну характеристику. Для заданого вхідного сигналу визначають коефіцієнт нелінійних спотворень. Перевіряють відповідність отриманого коефіцієнта нелінійних спотворень заданому. Якщо отримане значення перевищує задане, то вживають заходи для його зменшення (коригують положення робочої точки або вибирають потужніший транзистор).

4.3. Двотактні підсилювачі потужності

Принципову схему двотактного підсилювача потужності зображено на рис. 4.10. Як правило, двотактні підсилювачі потужності працюють у класах *AB* чи *B*. У цій схемі трансформатор *T1* потрібний для створення двох однакових за величиною та протилежних за фазою напруг, які керують роботою транзисторів *VT1* і *VT2*. Резистори *R1* і *R2* забезпечують режим роботи підсилювача в класах *AB* чи *B*. Для того щоб не було втрат напруги за змінним струмом на резисторі *R2*, його шунтують ємністю *C_Б*.

Розрахунок режиму роботи за постійним струмом аналогічний однотактному підсилювачу потужності. Режим роботи за змінним струмом проілюстрований осцилограмами, зображеними на рис. 4.11. Осцилограми відповідають класу *B*.

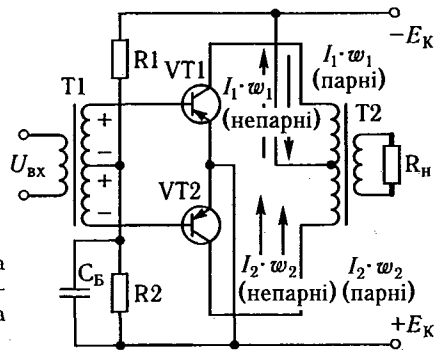


Рис. 4.10. Принципова електрична схема двотактного підсилювача потужності

Для непарних гармонік (1,3,5, ...), які збігаються з I_K , отримаємо, що в трансформаторі $T1$ $I_{K1}w_1$ і $I_{K2}w_1$ спрямовані в один бік, тому потужність у навантаженні подвоюється:

$$P_n = 2P.$$

Для парних гармонік $I_{K1}w_1$ і $I_{K2}w_1$, спрямованих у трансформаторі $T1$ у протилежні боки, результуюча намагнічувальна сила за ідеальної симетрії дорівнює нулю, отже, відсутні нелінійні спотворення у парних гармоніках. Постійні складові, як і парні гармоніки, також підключені зустрічно і забезпечують режими роботи вихідного трансформатора без підмагнічування. Оскільки абсолютно симетричних трансформаторів і транзисторів немає (навіть у разі застосування інтегральних мікросхем), то у формули нелінійних спотворень уведений коефіцієнт асиметрії b , що враховує ступінь асиметрії транзисторів.

Для підібраних транзисторів і транзисторів в інтегральному виконанні ($b = 0,01 \dots 0,05$) спотворення настільки малі, що ними часто нехтують. Для непідібраних транзисторів ($b = 0,1 \dots 0,15$) нелінійні спотворення визначають за виразом

$$\gamma_{заг} = \sqrt{(\gamma_2 b)^2 + \gamma_3^2 + (\gamma_4 b)^2}.$$

Перевага режиму класу *B* полягає в тому, що каскад має більший ККД ($\eta_{каскад} \approx 0,5 \dots 0,6$), однак також і більший коефіцієнт нелінійних спотворень. У вихідній напрузі часто простежується третя гармоніка, що зумовлює типову форму (див. рис. 4.11).

Оскільки в двотактному підсилювачі потужності відсутнє підмагнічування осердя трансформатора, його габаритні розміри орієнтовно вдвічі менші порівняно з трансформатором однотактного підсилювача потужності. У двотактних підсилювачах також значно менші нелінійні спотворення та вищий ККД. Замість трансформатора $T1$, що погоджує трансформатор $T2$, можна застосувати фазово-інверсійний каскад.

4.4. Підсилювачі потужності без трансформаторів

Підсилювачі потужності без трансформаторів застосовують з метою зменшення габаритних розмірів і маси підсилювачів та поліпшення їхніх частотних характеристик. Однак при цьому істотно ускладнюється узгодження опору наван-

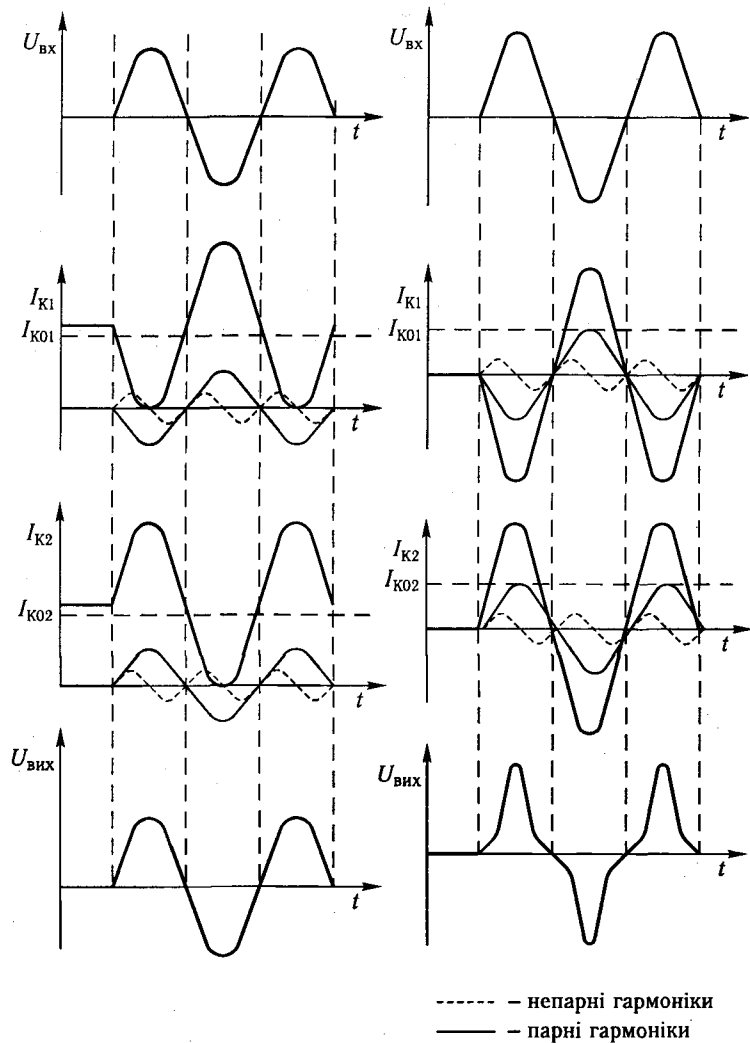


Рис. 4.11. Осцилограми роботи двотактного підсилювача потужності в режимі класу В

таження з вихідним опором транзисторного каскаду. За допомогою підбору потрібно забезпечити тип транзистора, щоб його вихідний опір $1/h_{22}$ приблизно дорівнював опору навантаження. Тому за низького опору навантаження потрібні потужні транзистори.

Схему з безпосереднім підключенням навантаження до виходу підсилювача потужності на однотипних $p-n-p$ - чи $n-p-n$ -транзисторах зображено на рис. 4.12, а, а з підключенням навантаження через конденсатор — на рис. 4.12, б.

Схеми потребують двох протифазних вхідних сигналів, які не підключені до загальної шини підсилювача. Це створює деяку технічну незручність і погіршує заводозахисність схем на входах. Схема з безпосереднім підключенням навантаження потребує двох джерел живлення, які забезпечують потенціал точки 1, що дорівнює нулю (загальній шині), тоді як схема з підключенням навантаження через конденсатор С не вимагає потенціалу точки 1, що дорівнює нулю (див. рис. 4.12, б), і вона живиться від одного джерела живлення.

Під дією вхідних сигналів один із транзисторів відкривається, інший — закривається, що забезпечує проходження струму через навантаження в одному чи в іншому (протилежному) напрямі. Рівність вихідних опорів транзисторів VT1 і VT2 опору навантаження забезпечує максимальну потужність у навантаженні.

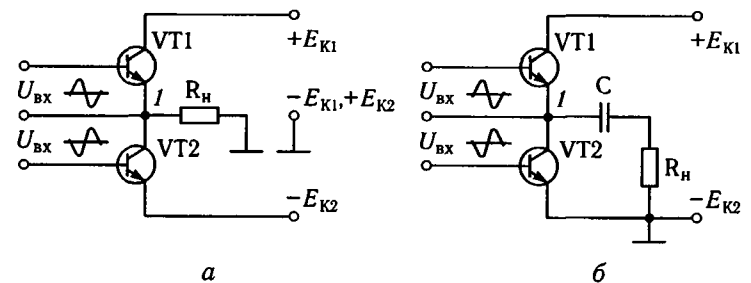


Рис. 4.12. Підсилювачі потужності без трансформаторів на однотипних транзисторах

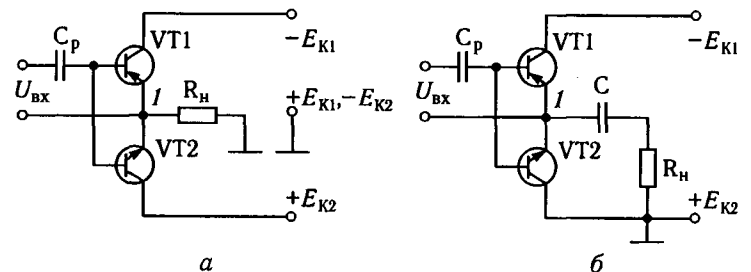


Рис. 4.13. Підсилювачі потужності без трансформаторів на різнотипних транзисторах

Схеми підсилювачів потужності на різнотипних транзисторах, що дає змогу використовувати одне (спільне) джерело вхідного сигналу, зображено на рис. 4.13, *а, б*. Так на рис. 4.13, *а* зображено схему з безпосереднім підключенням навантаження, а на рис. 4.13, *б* — з підключенням навантаження через конденсатор. Недоліком цих схем є також низька завадозахищеність, тому що джерело вхідного сигналу не може бути з'єднаним із загальною шиною підсилювача.

Контрольні запитання

1. Яке призначення вихідного трансформатора у підсилювачах потужності? Визначення потрібного коефіцієнта трансформатора.
2. Поясніть ефект неповного використання можливостей вихідного трансформатора через ефект підмагнічування первинної обмотки в одноктактних підсилювачах потужності.
3. Які переваги двотактних підсилювачів потужності щодо одноктактних?
4. Назвіть особливості розрахунків нелінійних спотворень у двотактних підсилювачах потужності.
5. Поясніть особливості побудови безтрансформаторних підсилювачів потужності на одно- та різнотипних транзисторах. Які особливості підключення навантаження та його узгодження з каскадом?

Розділ 5

ВПЛИВ ТЕМПЕРАТУРИ НА ХАРАКТЕРИСТИКИ І ПАРАМЕТРИ ТРАНЗИСТОРНИХ ПІДСИЛЮВАЧІВ. НЕЛІНІЙНІ СПОТВОРЕННЯ КАСКАДІВ

5.1. Вплив температури на характеристики біполярних транзисторів. Основні причини температурної нестабільності каскадів

Відомо, що опір напівпровідників істотно залежить від температури, тому зміна температури значно впливає на характеристики транзистора. При цьому змінюються положення робочої точки *О* за постійним струмом, параметри транзистора, а отже, і всі характеристики та параметри підсилювача — $R_{вх}$, $R_{вих}$, K_U , K_I , γ , M_H , M_B та ін.

Вплив температури на вхідні та вихідні характеристики транзистора подано на рис. 5.1.

Розрізняють такі основні причини температурної нестабільності транзистора:

- зміна зворотного (теплого) струму колектора від температури $I_{K0}(t^{\circ}C)$;
- зсув вхідних характеристик за зміни температури;
- зміна коефіцієнта підсилення за струмом транзистора $\alpha(t^{\circ}C)$ і $\beta(t^{\circ}C)$.

Докладніше розглянемо кожну з цих причин.

Для германієвих транзисторів зворотний струм з підвищенням температури подвоюється на кожні $10^{\circ}C$, а для силіцієвих (кремнієвих) — на кожні $7^{\circ}C$:

$$I_{K_{Ge}}(t^{\circ}C) = I_{K0} \cdot 2^{\frac{\Delta t^{\circ}C}{10}};$$

$$I_{K_{Si}}(t^{\circ}C) = I_{K0} \cdot 2^{\frac{\Delta t^{\circ}C}{7}}.$$

Однак початкові значення струму для силіцієвих транзисторів на один-два порядки менші, ніж для германієвих, тому, незважаючи на велику крутість характеристик, значення зворотних струмів менші. Завдяки цій перевазі їх застосовують частіше (рис. 5.2).

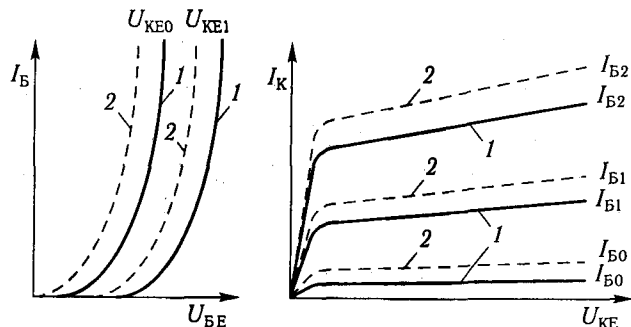


Рис. 5.1. Вплив температури на характеристики транзистора:
1 — за температури 20 °C; 2 — за температури 60 °C

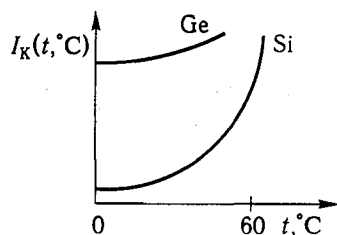


Рис. 5.2. Залежність $I_K(t, ^\circ C)$

Температурна нестабільність транзисторного каскаду істотно залежить від схеми підключення транзистора. На рис. 5.3 зображено вихідні ВАХ транзистора для схем вмикання з СБ і СЕ за різних температур. Так, приріст струму колектора ΔI_{K0} для схеми з СЕ значно більший, тобто $\Delta I_{K0(ЗЕ)} = \beta \Delta I_{K0(ЗБ)}$, отже, схема з СЕ за температурною стабільністю в $\beta(h_{21E})$ разів гірша, ніж схема з СБ. За середніх значень $h_{21E} \approx 50$ ефект досить істотний.

Зсув вхідних характеристик від зміни температури зображено на рис. 5.4. Характеристики транзистора зміщуються у бік великих струмів (менших напруг).

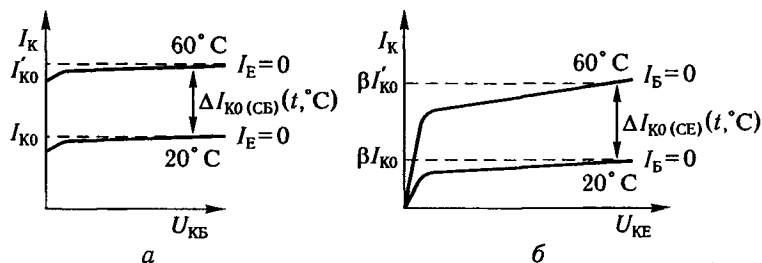


Рис. 5.3. Вихідні ВАХ транзистора за різних температур:
а — для схеми з СБ; б — для схеми з СЕ

Рис. 5.4. Зсув вхідних характеристик транзистора залежно від температури

Зміну напруги U_{BE} від температури запишемо як

$$\Delta U_{BE}(t, ^\circ C) = \epsilon \Delta t,$$

де $\epsilon \approx -2,2 \text{ мВ} / ^\circ \text{C}$.

Цей фактор є домінуючим для силіційових (кремнієвих) транзисторів.

Залежність коефіцієнта підсилення транзисторів $\alpha(t, ^\circ C)$ або $h_{21B}(t, ^\circ C)$ записують у такому вигляді:

$$\alpha(t, ^\circ C) \approx 2 \cdot 10^{-4} (1 / ^\circ C).$$

Отже, цей фактор значно менше впливає на температурні характеристики транзисторів.

Усі ці причини зумовлюють зсув робочої точки спокою у підсилювачі та збудження режиму роботи підсилювача за змінним струмом. Для запобігання цьому застосовують різні схемні рішення. Розрізняють схеми з фіксованим струмом бази та напругою база — емітер.

Схему з фіксованим струмом бази зображено на рис. 5.5. Струм колектора в точці спокою визначають за виразом

$$I_{Kп} = \beta I_{Bп}.$$

Оскільки $I_{Bп} = \text{const}$, а β змінюється зі зміною температури і має істотний розкид значень у партії, то для забезпечення

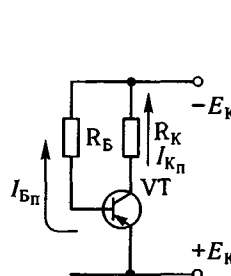


Рис. 5.5. Схема з фіксованим струмом бази

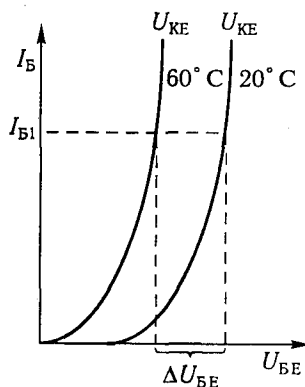


Рис. 5.6. Схема з фіксованою напругою U_{BE}

усталеності робочої точки спокою для різних β потрібно підбирати R_B , що практично здійснити в технології виготовлення електронних схем неможливо. Тому цю схему використовують обмежено.

Схема з фіксованою напругою U_{BE} має вигляд, наведений на рис. 5.6. У цій схемі напругу U_{BE} за умови $I_B \gg I_{BП}$ можна визначити як

$$U_{BE} = \frac{E_K}{R_1 + R_2} R_2.$$

Як впливає з виразу, $U_{BE} \approx \text{const}$ і практично не залежить від I_B , а отже, зміна β від температури і розкиду параметрів істотно менше впливає на положення робочої точки транзистора. Схема на рис. 5.6 має кращу температурну стабільність порівняно зі схемою з фіксованим I_B , воно більш технологічна, однак має менший вхідний опір:

$$R_{вх} = h_{11E} \parallel R_1 \parallel R_2.$$

Далі розглянемо схеми температурної стабілізації і температурної компенсації транзисторних каскадів.

5.2. Температурна стабілізація і компенсація каскадів

Для температурної стабілізації за основу прийняли схему з фіксованою напругою U_{BE} і доповнили її додатковими стабілізуючими елементами. Один з варіантів стабілізації температури за рахунок резистора R_E зображено на рис. 5.7.

Розглянемо принцип роботи цієї схеми. Припустимо, $R_E = 0$ (отримаємо схему з фіксованим U_{BE}), крім того, припустимо, що відбулося підвищення температури. При цьому збільшується струм колектора і робоча точка зміщується з положення O (20°C) у положення O_1 (60°C) (рис. 5.8).

Якщо $R_E \neq 0$, то через нього протікає струм колектора, який залежить від температури, зумовлюючи спад напруги на R_E . З підвищенням температури струм I_K зростає й зумовлює втрату напруги на R_E полярністю «-» до емітера і «+» до загальної шини (точка O).

Визначимо напругу між базою та емітером транзистора:

$$U_{BE} = U_{10} - U_{R_E}.$$

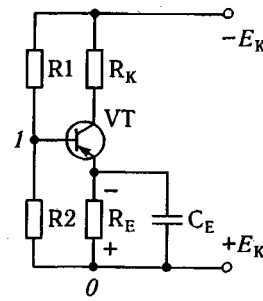


Рис. 5.7. Схема температурної стабілізації за допомогою резистора R_E

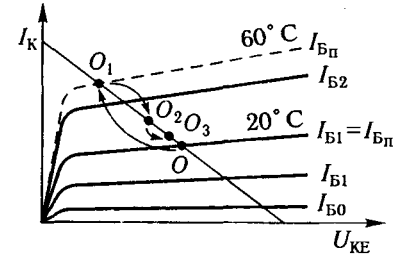


Рис. 5.8. Зміна положення робочої точки за температурної стабілізації

Оскільки $U_{10} = \text{const}$, а $\Delta U_{R_E} (t^\circ\text{C}) = \Delta I_{OK} (t^\circ\text{C}) R_E$, то отримаємо

$$\Delta U_{BE} (t^\circ\text{C}) = U_{10} - \Delta U_{R_E} (t^\circ\text{C}).$$

Напруга ΔU_{R_E} зі збільшенням температури є змивальною для транзистора і зменшує струм колектора I_K . Під дією резистора R_E робоча точка зміщується вниз і займає положення O_2 (див. рис. 5.8). Що більше R_E , то вища температурна стабілізація та більший зсув робочої точки щодо точки O . Однак зі збільшенням значення R_E зростає енергоспоживання каскаду й потрібне підвищення живлення E_K , тому рекомендують вибирати R_E так, щоб втрати напруги на ньому не перевищували 25 % від E_K .

Для того щоб R_E не змінював режим роботи каскаду за змінним струмом, паралельно R_E підключають шунтувальну ємність C_E за змінним струмом. Величину ємності конденсатора визначають із умови

$$\frac{1}{\omega C_E} (20 \dots 30) = R_E.$$

Другим елементом стабілізації температури є резистор R_Φ , що в сукупності з C_Φ утворює також фільтр розв'язку (рис. 5.9).

Для цієї схеми справедливі такі вирази:

$$U_{20} = E_K - U_{R_\Phi}; \quad U_{10} = \frac{U_{20} R_2}{R_1 + R_2}.$$

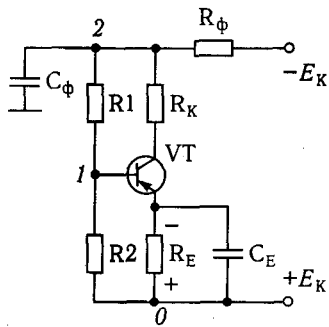


Рис. 5.9. Схема температурної стабілізації з резистором R_{Φ}

У разі збільшення температури збільшується I_K , що зумовлює збільшення спаду напруги на R_{Φ} , яке призводить до зменшення U_{20} , і відповідно до зменшення напруги U_{10} і струму бази I_B . При цьому робоча точка додатково зміщується в точку O_3 (за на-

явності також R_E) (див. рис. 5.9). Що більше R_{Φ} , як і R_E , то краща температурна стабілізація каскаду. Допускають спад напруги на резисторі R_{Φ} до 20–25 % від напруги живлення E_K . Для того щоб не змінювати режим роботи каскаду за змінним струмом, R_{Φ} за аналогією з R_E шунтують ємністю C_{Φ} .

Ланка R_{Φ} , C_{Φ} також виконує функцію фільтра розв'язку, який ставлять для усунення явища самозбудження підсилювача з багатьма каскадами через спільне джерело живлення. Ємність C_{Φ} монтують поблизу кожного каскаду зазвичай коротшими проводами. Такі фільтри рекомендується ставити в кожному каскаді підсилювача.

До класичної схеми температурної стабілізації транзисторних каскадів входять елементи R_{Φ} , R_E і подільники напруги R_1 , R_2 .

Для кількісної оцінки властивостей схеми температурної стабілізації використовують коефіцієнт температурної нестабільності S :

$$S = \frac{\Delta I_{0K}(t^{\circ}\text{C})}{\Delta I_{K1}(t^{\circ}\text{C})},$$

де ΔI_{0K} — зміна струму колектора реального каскаду в заданому діапазоні зміни температури; ΔI_{K1} — зміна струму колектора в заданому діапазоні температур у схемі з ідеальною температурною стабілізацією.

При цьому враховують зміну струму колектора, яка зумовлена всіма дестабілізувальними факторами. Тоді коефіцієнт температурної нестабільності (КТН) S показує, у скільки разів ідеальна схема краща за реальну.

Прийнявши як ідеальну схему з СБ (оскільки вона має найбільшу температурну стабільність) і враховуючи доміну-

ючий фактор температурної нестабільності $\Delta I_{K0}(t^{\circ}\text{C})$, після диференціювання і перетворення дістанемо

$$S = \frac{\Delta I_{0K}(t^{\circ}\text{C})}{\Delta I_{K0}(t^{\circ}\text{C})} = \frac{dI_{0K}(t)}{dI_{K0}(t)} = \frac{\alpha \left(1 + \frac{R_E}{R_1} + \frac{R_E}{R_2} + \frac{R_{\Phi}}{R_2} + \frac{R_E R_K}{R_1 + R_2} \right)}{1 - \alpha + \frac{R_E}{R_1} + \frac{R_E}{R_2} + \frac{R_{\Phi}}{R_2} + \frac{R_E R_K}{R_1 + R_2}} \quad (5.1)$$

Якщо $R_E = R_{\Phi} = 0$, то із виразу (5.1) отримаємо

$$S = \frac{\alpha}{1 - \alpha} = \beta.$$

Отже, схема з СЕ за своєю температурною стабільністю у $\beta \approx 30 \dots 50$ разів гірша за схему з СБ. Однак якщо $R_E \rightarrow \infty$ і $R_{\Phi} \rightarrow \infty$, то $S = 1$ і схема з СЕ за своїми температурними характеристиками наближається до схеми з СБ. За реально допустимих значень R_{Φ} , R_E , R_1 і R_2 можна отримати $S \approx 3 \dots 7$, що прийнятно на практиці для каскадів підсилювачів.

Якщо потрібно забезпечити значення параметра $S < 3 \dots 4$, застосовують схеми температурної компенсації. У цих схемах використовують елементи, опір яких залежить від температури, наприклад термістори. Один з варіантів такої схеми зображено на рис. 5.10.

Температурний коефіцієнт опору (ТКО) для резистора R_t має бути меншим ніж нуль, для того щоб під час збільшення температури напруга U_{10} зменшувалася, забезпечуючи таким чином стійкість точки спокою.

Для знаходження залежності R_t від температури експериментально його замінюють змінним опором і відтворюють залежність $R(t^{\circ}\text{C})$ у робочому діапазоні температур, забезпечуючи стійкість робочої точки O за постійним струмом. Після цього вибирають R_t з відповідною залежністю за довідником.

Термістор можна також ставити і замість R_E , однак ТКО при цьому має бути більшим за нуль.

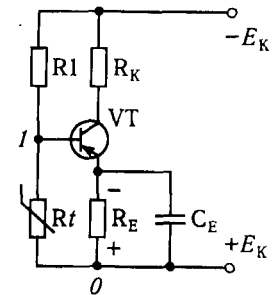


Рис. 5.10. Схема температурної компенсації

5.3. Причини нелінійних спотворень

Під нелінійними спотвореннями розуміють зміну форми вихідного сигналу щодо форми вхідного сигналу. Зміни форми сигналу зумовлюються нелінійністю вхідних і вихідних характеристик транзистора. Ступінь спотворення оцінюють коефіцієнтом нелінійних спотворень γ . Для його визначення використовують наскрізну характеристику каскаду, яка є залежністю вихідного струму від вхідної ЕРС та має нелінійність вхідних і вихідних характеристик:

$$I_{\text{вих}} = f(E_{\text{вх}}). \quad (5.2)$$

Характерний вигляд наскрізної характеристики (5.2) зображено на рис. 5.11. Для синусоїдальної ЕРС $E_{\text{вх}}$ струм колектора змінюється за несинусоїдальним законом і характеризується загостреною верхньою та сплющеною нижньою півхвилями (див. рис. 5.11).

Несинусоїдальний струм колектора, який є вихідним струмом $I_{\text{вих}}$, можна розкласти у ряд Фур'є:

$$I_{\text{вих}} = I_K = I_{0K} + I_{m1} \sin(\omega t + \phi_1) + \dots + I_{mn} \sin(n\omega t + \phi_n).$$

У спектрі вихідного струму корисною є лише перша гармоніка, що збігається з частотою $E_{\text{вх}}$, інші гармоніки мають нелінійні спотворення, тому що їх немає у вхідному сигналі. Коефіцієнти спотворень у гармоніках визначають із виразів

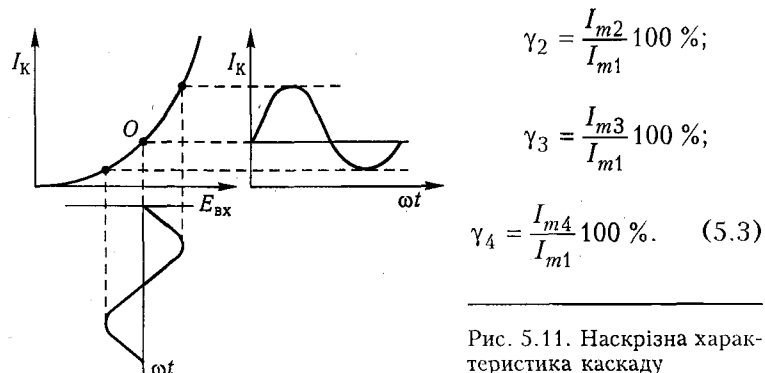


Рис. 5.11. Наскрізна характеристика каскаду

Для інженерних розрахунків достатньою вважають близько 10 %, що дає змогу обмежити ряд Фур'є під час розкладання чотирма гармоніками. Тоді коефіцієнт нелінійних спотворень визначають як

$$\gamma_{\text{заг}} = \sqrt{\gamma_2^2 + \gamma_3^2 + \gamma_4^2}. \quad (5.4)$$

Під час проектування підсилювального каскаду задається $\gamma_{\text{заг}}$ і потрібно забезпечити умови, щоб спотворення в підсилювачі не перевищували задані.

Нелінійні спотворення визначають, враховуючи такі основні причини і фактори:

- задані значення вхідної напруги (або ЕРС $E_{\text{вх}}$);
- нелінійність вхідних ВАХ транзистора;
- відношення внутрішнього опору джерела вхідного сигналу до вхідного опору підсилювача $R_{\text{вн}} / R_{\text{вх.підс}}$;
- нелінійність вихідних характеристик транзистора;
- схему включення транзистора.

Розглянемо наведені залежності коефіцієнта спотворень $\gamma_{\text{заг}}$ від аргументу $R_{\text{вн}} / R_{\text{вх.підс}}$ для різних схем підключення транзистора (рис. 5.12).

Як випливає з рис. 5.12, у разі збільшення співвідношення $R_{\text{вн}} / R_{\text{вх.підс}}$ зменшується коефіцієнт спотворення, що зумовлюється лінеаризацією вхідних характеристик транзистора $R_{\text{вн}}$. Для схеми з СЕ співвідношення $R_{\text{вн}} / R_{\text{вх.підс}}$ не має перевищувати 1,5, оскільки подальше його підвищення збільшує спотворення. Для схеми з СБ такого обмеження немає, але якщо $R_{\text{вн}} / R_{\text{вх.підс}} > 2$, то спотворення зменшуються незначно. Збільшення цього відношення призводить до зменшення $U_{\text{вх}}$ щодо $E_{\text{вх}}$, тому його, як правило, приймають таким, що дорівнює 1...1,5.

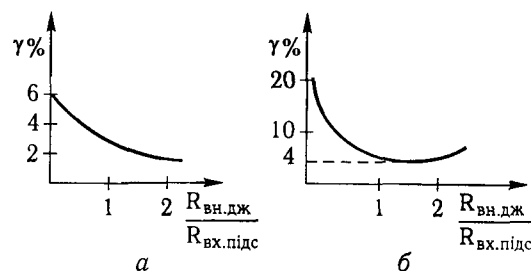


Рис. 5.12. Залежності $\gamma_{\text{заг}}$ від співвідношення $R_{\text{вн}} / R_{\text{вх.підс}}$ для схеми з СБ (а) та для схеми з СЕ (б)

Аналіз основних причин спотворень дає змогу зробити такі висновки:

- нелінійні спотворення істотно зростають із підвищенням вхідної ЕРС;
- схема підсилювача з СБ забезпечує менші спотворення щодо схеми із СЕ;
- нелінійність вихідних ВАХ транзисторів впливає на спотворення не істотно;
- підвищення співвідношення $R_{BH}/R_{BX, підс}$ розширює лінійність вхідних ВАХ транзистора та зменшує нелінійні спотворення.

5.4. Наскрізна характеристика каскаду

Нелінійні спотворення розраховують за наскрізною характеристикою каскаду. Розглянемо методику побудови наскрізної характеристики каскаду, яка враховує нелінійність вхідних і вихідних ВАХ. Підсилювач може працювати з джерелом ЕРС та джерелом струму.

Для встановлення зв'язків між вхідним струмом і ЕРС з вихідним струмом I_K побудуємо графіки (рис. 5.13).

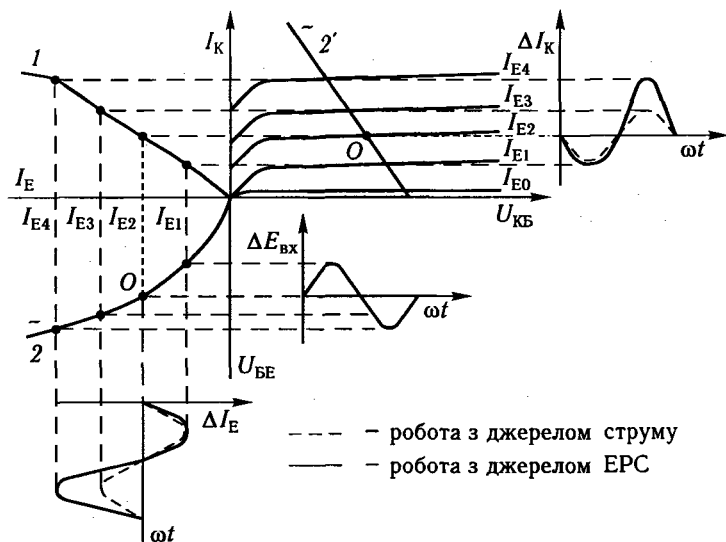


Рис. 5.13. Оцінка нелінійних спотворень підсилювача під час роботи з джерелом ЕРС та джерелом струму

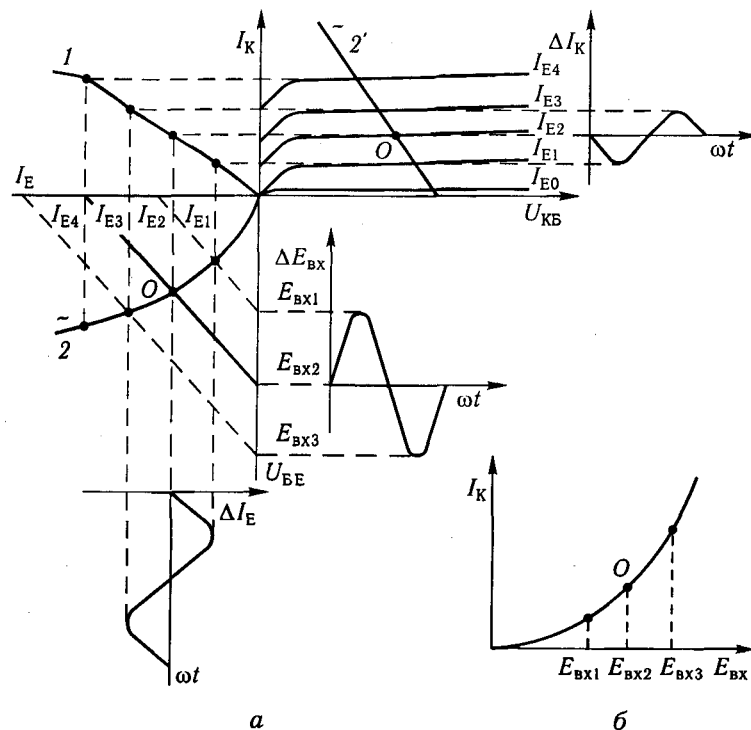


Рис. 5.14. Спотворення підсилювача під час роботи з реальним джерелом

У першому квадранті розміщені вихідні характеристики транзистора з навантажувальною лінією за змінним струмом $2'$, яка проходить через робочу точку за постійним струмом O . У другому квадранті знаходиться перехідна характеристика 1 каскаду, яка пов'язує вхідний струм I_E з вихідним струмом I_K через точки перетину навантажувальної лінії з вихідними характеристиками транзистора.

Динамічну вхідну характеристику будують у третьому квадранті 2 , на якій однозначно видно робочу точку O .

Якщо на вхід надходить синусоїда від джерела струму $\Delta I_E(\omega t)$, то нелінійність вхідної динамічної характеристики не впливає на форму вихідного струму. При цьому спостерігається нелінійність перехідної 1 характеристики, і струм колектора є майже синусоїдальним.

У разі роботи з джерелом ЕРС $\Delta E_{BX}(\omega t)$ отримаємо значно більші спотворення, тому що під час переходу від ΔE_{BX}

до ΔE віддзеркалюється нелінійність вхідної динамічної характеристики, і осцилограма ΔI_K ще більше відрізняється від синусоїдальної. У процесі роботи з джерелом ЕРС ($R_{\text{вн.дж}} \rightarrow 0$, тому навантажувальна лінія на вхідних ВАХ паралельна осі I_E) через нелінійність динамічної вхідної характеристики відбувається спотворення форми вхідного струму, а отже, різкі спотворення вихідного струму (див. рис. 5.13). При роботі з джерелом струму ($R_{\text{вн.дж}} \rightarrow \infty$) вхідний струм не спотворюється, а отже, забезпечуються мінімальні спотворення вихідного струму.

У реальних підсилювачах спостерігається проміжний варіант ($R_{\text{вн.дж}} \neq 0$ — кінцева величина) і кут нахилу навантажувальної лінії на вхідних ВАХ визначається $R_{\text{вн}}$ (рис. 5.14, а). Під час зміни $\Delta E_{\text{вх}}(\omega t)$ навантажувальна лінія переміщується паралельно собі, зумовлюючи осцилограму вихідного струму I_K . Нелінійні спотворення відбуваються також за величиною і знаходяться між двома розглянутими раніше випадками.

У реальних схемах завжди $R_{\text{вн}} \neq 0$, тобто це останній розглянутий варіант. Погоджуючи $E_{\text{вх}}$ і I_K , отримують паскрізню характеристику транзисторного каскаду, при цьому слід брати абсолютні значення $E_{\text{вх}}$ і I_K . Вигляд цієї характеристики зображено на рис. 5.14, б.

Маючи заданий вхідний сигнал щодо точки О, за методом п'яти ординат (див. підрозд. 5.5) визначають спотворення.

5.5. Методи розрахунку нелінійних спотворень

Для розрахунку нелінійних спотворень використовують два методи:

- у режимах, близьких до лінійного (режим класу А), застосовують метод п'яти ординат;
- у нелінійному режимі (режим класу В і АВ) застосовують метод кутів відсічень.

Розглянемо метод п'яти ординат. Залежність струму колектора від вхідної напруги визначається паскрізною характеристикою. Внаслідок спотворення у разі синусоїдальної вхідної напруги отримуємо несинусоїдальний струм колектора, який можна подати як суму нескінченного числа кратних частоті на вході гармонік.

Для того щоб розрахувати нелінійні спотворення з похибкою 5...10 %, досить визначити чотири гармоніки і ΔI_K . Для

знаходження п'яти невідомих величин I_{m1} , I_{m2} , I_{m3} , I_{m4} і ΔI_K потрібно отримати систему із п'яти рівнянь. Для цього на паскрізній характеристиці, задаючись п'ятьма значеннями ωt , дістанемо значення п'яти відомих ординат:

$$1) \omega t = 0 \rightarrow \Delta E_{\text{вх}} = 0, \text{ ордината } \rightarrow I_{0K};$$

$$2) \omega t = \frac{\pi}{2} \rightarrow \Delta E_{\text{вх}} = E_m, \text{ ордината } \rightarrow I_{\text{max}K};$$

$$3) \omega t = \frac{3\pi}{2} \rightarrow \Delta E_{\text{вх}} = -E_m, \text{ ордината } \rightarrow I_{\text{min}K};$$

$$4) \omega t = \frac{7\pi}{6} \rightarrow \Delta E_{\text{вх}} = -\frac{E_m}{2}, \text{ ордината } \rightarrow I_{1/2};$$

$$5) \omega t = \frac{\pi}{6} \rightarrow \Delta E_{\text{вх}} = \frac{E_m}{2}, \text{ ордината } \rightarrow I_{-1/2}.$$

Графічно це зображено на рис. 5.15.

За отриманими значеннями п'яти ординат після розв'язування системи рівнянь визначимо I_{m1} , I_{m2} , I_{m3} , I_{m4} і ΔI_{0K} :

$$I_{m1} = \frac{I_{\text{max}} - I_{\text{min}} + I_{1/2} - I_{-1/2}}{3}; \quad (5.5)$$

$$I_{m2} = \frac{I_{\text{max}} + I_{\text{min}} - 2I_{0K}}{4}; \quad (5.6)$$

$$I_{m3} = \frac{I_{\text{max}} - I_{\text{min}} - (I_{1/2} - I_{-1/2})}{6}; \quad (5.7)$$

$$I_{m4} = \frac{I_{\text{max}} + I_{\text{min}} - 4(I_{1/2} + I_{-1/2}) + 6I_{0K}}{12}; \quad (5.8)$$

$$\Delta I_{0K} = \frac{I_{\text{max}} + I_{\text{min}} + 2(I_{1/2} - I_{-1/2}) - 6I_{0K}}{6}, \quad (5.9)$$

де ΔI_{0K} — приріст до постійної складової I_{0K} , зумовлений парними гармоніками (під час роботи в класі А він не має перевищувати величини $0,1I_{0K}$).

Потім розраховують коефіцієнти нелінійних спотворень із виразів (5.3) і (5.4):

$$\gamma_2 = \frac{I_{m2}}{I_{m1}} 100 \%;$$

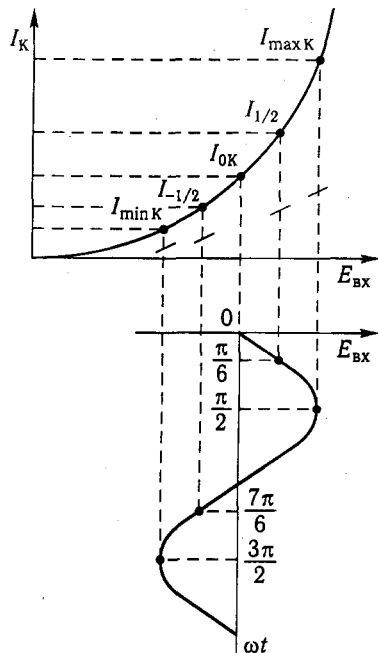


Рис. 5.15. Визначення п'яти ординат

$$\gamma_3 = \frac{I_{m3}}{I_{m1}} 100 \%;$$

$$\gamma_4 = \frac{I_{m4}}{I_{m1}} 100 \%;$$

$$\gamma_{\text{заг}} = \sqrt{\gamma_2^2 + \gamma_3^2 + \gamma_4^2}.$$

Висновок. Для розрахунку нелінійних спотворень потрібно:

- розрахувати режим роботи каскаду за постійним струмом і визначити кут нахилу навантажувальної лінії за змінним струмом;

- на підставі вихідних ВАХ і навантажувальної лінії за змінним струмом побудувати

перехідну характеристику в другому квадранті;

- у третьому квадранті на вхідних ВАХ побудувати динамічну вхідну характеристику;

- на підставі динамічної вхідної та перехідної характеристики побудувати наскрізну характеристику (для конкретного $R_{\text{вн.дж}}$);

- за наскрізною характеристикою і заданим $E_{\text{ВХ}}$ (при його значеннях $+E_m$, $-E_m$, $+\frac{E_m}{2}$, $-\frac{E_m}{2}$ і 0) встановити конкретні значення п'яти ординат (I_{max} , I_{min} , I_{0K} , $I_{1/2}$ і $I_{-1/2}$) і за формулами (5.5) – (5.9) розрахувати амплітуди гармонік струму колектора;

- визначити коефіцієнти спотворень кожної гармоніки (до четвертої) і загальний коефіцієнт спотворення. Якщо $\gamma_{\text{заг}} \leq \gamma_{\text{зад}}$, то розрахунок закінчено, інакше передбачають заходи для зниження коефіцієнта спотворень (збільшують $R_{\text{вн.дж}}$, вибирають інший транзистор або зміщують робочу точку на більш лінійну ділянку ВАХ).

Контрольні запитання

1. Назвіть основні причини температурної нестабільності транзисторних каскадів на германієвих і силіцієвих транзисторах. У чому відмінність схем з фіксованим струмом бази та з фіксованою напругою база – емітер?
2. Поясніть роботу схем температурної стабілізації й компенсації транзисторних каскадів, фізичну суть коефіцієнта температурної нестабільності.
3. Перелічіть основні причини нелінійних спотворень транзисторних каскадів.
4. Побудуйте наскрізну характеристику транзисторного каскаду і розгляньте особливості його роботи з джерелами струму, ЕРС і реальним джерелом сигналу.
5. Яка суть методу п'яти ординат для визначення нелінійних спотворень транзисторних каскадів та правило його використання?

6.1. Загальні поняття і класифікація зворотних зв'язків

Зворотні зв'язки — ефективний засіб коригування характеристик підсилювачів. Вони змінюють коефіцієнти підсилення, рівень власних шумів, частотні й фазові характеристики, нелінійні спотворення та інші параметри.

Колом зворотного зв'язку (ЗЗ) називають пристрій, за допомогою якого частину вихідної напруги передають на вхід підсилювача. Зворотні зв'язки можуть бути частотозалежними (дійсними) або частотозалежними (комплексними).

Зворотні зв'язки класифікують за кількома ознаками. Розрізняють позитивний і негативний ЗЗ.

За способом підключення ланки ЗЗ до виходу підсилювача:

- паралельний ЗЗ (за напругою);
- послідовний ЗЗ (за струмом).

За способом підключення ланки ЗЗ до входу підсилювача:

- ЗЗ із додаванням напруг;
- ЗЗ із додаванням струмів.

Зворотний зв'язок може бути частотозалежним (незалежним), амплітудозалежним і амплітудонезалежним.

Структурну схему підсилювача зі ЗЗ за напругою з додаванням напруг зображено на рис. 6.1, а зі ЗЗ за струмом з додаванням струмів на рис. 6.2. Напруга на вході ланки ЗЗ

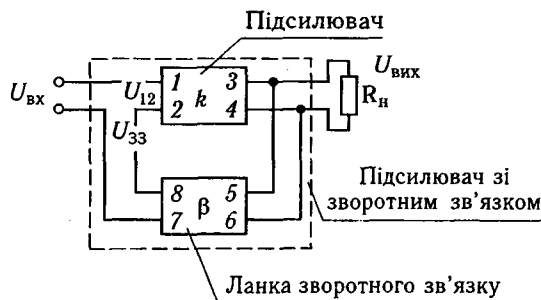
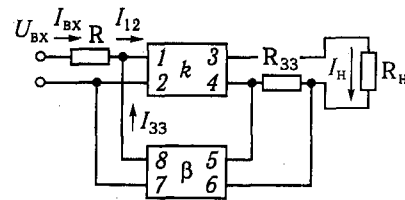


Рис. 6.1. Структурна схема підсилювача зі ЗЗ за напругою з додаванням напруг

Рис. 6.2. Структурна схема підсилювача зі ЗЗ за струмом із додаванням струмів



(U_{56}) пропорційна напрузі навантаження (див. рис. 6.1) і струму навантаження ($U_{56} = I_n R_{33}$) для другої структури (див. рис. 6.2).

Якщо напруга на вході підсилювача $U_{12} = U_{вх} + U_{33}$, то такий ЗЗ називають *зворотним зв'язком з додаванням напруг* (див. рис. 6.1), а якщо $I_{12} = I_{вх} + I_{33}$, то такий ЗЗ — *зворотним зв'язком з додаванням струмів* (див. рис. 6.2).

Зворотний зв'язок є позитивним, якщо вхідна напруга і напруга ЗЗ синфазні, та негативним, якщо вхідна напруга і напруга ЗЗ протифазні.

Для побудови підсилювачів використовують негативні зворотні зв'язки, оскільки вони поліпшують і стабілізують їхні основні характеристики та параметри.

6.2. Вплив зворотного зв'язку на основні параметри підсилювача

Розглянемо вплив зворотних зв'язків на основні параметри підсилювача.

Вплив зворотного зв'язку на величину коефіцієнта підсилення підсилювача. Визначимо коефіцієнт підсилення підсилювача зі зворотним зв'язком k_β через коефіцієнт підсилення підсилювача без зворотного зв'язку k і коефіцієнт передачі ланки зворотного зв'язку β . Вихідна напруга підсилювача (див. рис. 6.1):

$$U_{вих} = U_{34} = U_{56}.$$

Відповідно напруга на виході ланки ЗЗ дорівнюватиме $U_{78} = U_{34}\beta$. Отже, для випадку позитивного ЗЗ можна записати

$$U_{12} = U_{вх} + U_{78} = U_{вх} + U_{34}\beta.$$

Звідси випливає, що вихідна напруга підсилювача з урахуванням ЗЗ

$$U_{вих} = (U_{вх} + U_{вих}\beta)k.$$

Розділивши останній вираз на $U_{\text{вх}}$, отримаємо коефіцієнт підсилення підсилювача з урахуванням ЗЗ

$$k_{\beta} = \frac{U_{\text{вих}}}{U_{\text{вх}}} = (1 \pm \beta k_{\beta}) k,$$

де знак «+» — для негативного, а знак «-» — для позитивного ЗЗ.

З отриманого виразу визначимо коефіцієнт підсилення підсилювача зі ЗЗ

$$k_{\beta} = \frac{k}{(1 \pm \beta k)},$$

де $(1 \pm \beta k)$ — фактор зворотного зв'язку.

Отже, для негативного ЗЗ фактор зворотного зв'язку буде $(1 + \beta k)$. З урахуванням цього можна зробити висновок, що негативний ЗЗ зменшує коефіцієнт підсилення підсилювача, оскільки $(1 + \beta k) > 1$. Тому негативний ЗЗ зменшує коефіцієнт підсилення підсилювача в $(1 + \beta k)$ разів, а позитивний — збільшує.

За позитивного ЗЗ нестійкість коефіцієнта підсилення підсилювача зі ЗЗ під дією зовнішніх дестабілізуючих факторів збільшується, а за негативного ЗЗ — зменшується. Застосовуючи глибокі ЗЗ, можна забезпечити дуже високу стабільність коефіцієнта підсилення підсилювача.

Вплив зворотного зв'язку на рівень власних шумів. Для оцінки впливу ЗЗ на рівень власних шумів скористаємося структурною схемою, зображеною на рис. 6.3.

Нехай зворотний зв'язок підсилює шуми всіх каскадів підсилювача, крім першого. На вході другого каскаду випає напруга власних шумів $U_{\text{ш}}$. Отже, за відсутності ЗЗ для двокаскадного підсилювача напруга шуму на виході підсилювача становитиме

$$U_{\text{ш.вих}} = U_{\text{ш}} k_2.$$

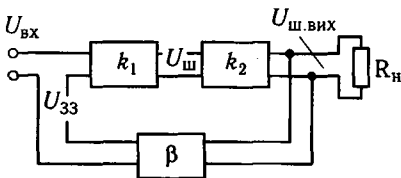


Рис. 6.3. Структурна схема підсилювача для оцінки впливу ЗЗ на рівень власних шумів

Після введення негативного або позитивного ЗЗ для цієї самої напруги $U_{\text{ш}}$ дістанемо такий вираз:

$$U_{\text{ш.вих}} \beta = \frac{U_{\text{ш}} k_2}{1 \pm \beta k_1 k_2}.$$

Узявши відношення шумів на виході підсилювача

зі зворотним зв'язком і без нього, отримаємо

$$\frac{U_{\text{ш.вих}} \beta}{U_{\text{ш.вих}}} = \frac{U_{\text{ш}} k_2}{(1 \pm \beta k_1 k_2) U_{\text{ш}} k_2} = \frac{1}{1 \pm \beta k_1 k_2}.$$

Як впливає з отриманого виразу, негативний ЗЗ зменшує рівень власних шумів на фактор зворотного зв'язку, а позитивний — збільшує. Тому застосування глибоких негативних ЗЗ істотно підвищує чутливість підсилювачів, при цьому як перший каскад застосовують спеціальні малощумові підсилювальні каскади.

Вплив зворотного зв'язку на нелінійні спотворення підсилювачів. Нелінійні спотворення зазвичай виникають у кінцевих та в передкінцевих каскадах підсилювачів і за природою їхнього виникнення такі спотворення розглядають як власні шуми каскаду. Отже, можна стверджувати, що для негативного ЗЗ

$$\gamma_{\beta} = \frac{\gamma}{1 + \beta k},$$

де γ_{β} і γ — відповідно нелінійні спотворення підсилювача (каскаду) зі зворотним зв'язком і без зворотного зв'язку. Тому застосування негативного зворотного зв'язку дає змогу істотно зменшити нелінійні спотворення підсилювачів. Це особливо характерно для підсилювачів потужності, де рівень спотворень досить великий.

Вплив зворотного зв'язку на фазові характеристики підсилювачів. Нехай між вхідним і вихідним сигналами підсилювачів спостерігається фазовий зсув спотворень ϕ (рис. 6.4, а). Після введення ЗЗ фазовий зсув спотворень між цими сигналами ϕ_{β} . На підставі векторних діаграм, зображених на рис. 6.4, а, б, в, можна стверджувати, що негативний зв'язок зменшує фазові спотворення підсилювача, а позитивний — збільшує.

6.3. Вплив зворотного зв'язку на вхідний і вихідний опори підсилювача

На величину вихідного опору підсилювачів впливає спосіб підключення ланки ЗЗ до виходу підсилювача. Розглянемо окремо вплив ЗЗ за напругою (паралельне підключення) та за струмом (послідовне підключення).

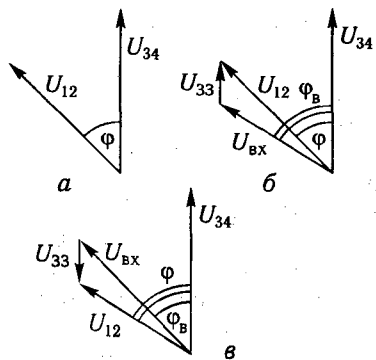


Рис. 6.4. Фазові спотворення підсилювачів зі 33:
а – без 33; б – позитивний 33;
в – негативний 33

Зворотний зв'язок за напругою. Для підсилювача, охопленого 33, за структурою, зображеною на рис. 6.1, після теоретичних розрахунків струм навантаження має вигляд:

$$I_H = \frac{\frac{k_{XX}}{1 - k_{XX}\beta} U_{ВХ}}{\frac{R_{ВІХ}}{1 - k_{XX}\beta} + R_H} \quad (6.1)$$

З урахуванням виразу (6.1) можна синтезувати модель підсилювача, що охоплений 33 за напругою (рис. 6.5).

Виходячи з виразу (6.1), перший доданок знаменника є вихідним опором підсилювача, що охоплений позитивним 33 за напругою

$$R_{ВІХ\beta} = \frac{R_{ВІХ}}{1 - k_{XX}\beta}$$

Для негативного 33 за напругою відповідно маємо

$$R_{ВІХ\beta} = \frac{R_{ВІХ}}{1 + k_{XX}\beta} \quad (6.2)$$

Отже, негативний 33 зменшує вихідний опір підсилювача. Наочно вплив 33 на вихідний опір підсилювача можна зобразити на навантажувальних характеристиках (рис. 6.6). Негативний зворотний зв'язок за напругою зумовлює крутішу навантажувальну характеристику підсилювача, наближаючи його до джерела ЕРС.

Зворотний зв'язок за струмом. Для розгляду цього варіанта скористаємося схемою, зображеною на рис. 6.2.

Для оцінки вихідного опору проведемо аналіз аналогічно попередньому варіанту.

Для підсилювача, що охоплений 33, отримаємо

$$I_H = \frac{k_{XX} U_{ВХ}}{R_{ВІХ} + R_{33}(1 - k_{XX}\beta) + R_H}$$

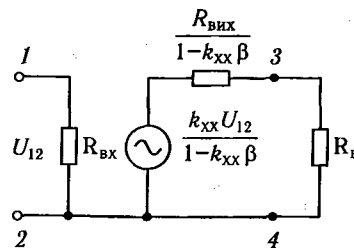


Рис. 6.5. Модель підсилювача, охопленого 33 за напругою

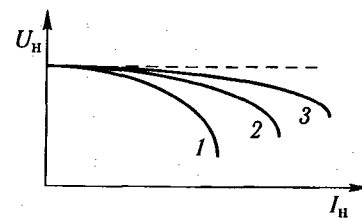


Рис. 6.6. Навантажувальні характеристики підсилювача, що демонструють вплив 33 за напругою на його вихідний опір:

1 – з ППЗ; 2 – без 33; 3 – із НЗЗ

Виходячи з отриманого виразу, за аналогією з попереднім випадком перший і другий доданок знаменника є вихідним опором підсилювача

$$R_{ВІХ\beta} = R_{ВІХ} + R_{33}(1 - k_{XX}\beta).$$

Для негативного 33 за струмом отримаємо

$$R_{ВІХ\beta} = R_{ВІХ} + R_{33}(1 + k_{XX}\beta). \quad (6.3)$$

Отже, негативний 33 за струмом збільшує вихідний опір підсилювача. Інтерпретацію цього 33 навантажувальною характеристикою зображено на рис. 6.7. Негативний 33 за струмом зумовлює більш м'яку навантажувальну характеристику, наближаючи його вихідну ланку до джерела струму.

Висновки. Негативний 33 за напругою (паралельне підключення) зменшує вихідний опір підсилювача, наближаючи його до джерела ЕРС, а негативний 33 за струмом (послідовне підключення) – збільшує вихідний опір підсилювача, наближаючи його до джерела струму.

Розглянемо вплив 33 на вхідний опір підсилювача. У цьому випадку визначальним фактором є спосіб підключення ланки 33 до входу підсилювача. Тепер окремо розглянемо кожний із варіантів.

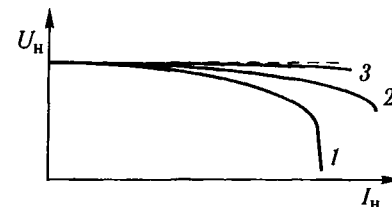


Рис. 6.7. Навантажувальні характеристики, що демонструють вплив 33 за струмом на вихідний опір підсилювача:

1 – з ППЗ; 2 – без 33; 3 – із НЗЗ

33 із додаванням напруг. Для визначення цього впливу скористаємося схемою, зображеною на рис. 6.1. Для цієї структури запишемо

$$U_{34} = U_{\text{вх}} k.$$

Напруга на виході ланки 33

$$U_{78} = U_{34} \beta = U_{\text{вх}} k \beta.$$

Отже, напругу U_{12} можна записати як

$$U_{12} = U_{\text{вх}} + U_{78} = U_{\text{вх}} (1 + k \beta).$$

Вхідний струм підсилювача однаковий для підсилювача зі зворотним зв'язком і без нього

$$I_{\text{вх}} = \frac{U_{\text{вх}}}{R_{\text{вх}\beta}} = \frac{U_{12}}{R_{\text{вх}}}.$$

Підставивши значення U_{12} , отримаємо

$$\frac{U_{\text{вх}}}{R_{\text{вх}\beta}} = \frac{U_{\text{вх}} (1 + k \beta)}{R_{\text{вх}}}.$$

З останнього виразу визначимо $R_{\text{вх}\beta}$ для позитивного 33:

$$R_{\text{вх}\beta} = \frac{R_{\text{вх}}}{(1 + k \beta)}.$$

Для негативного 33 вхідний опір визначають за виразом

$$R_{\text{вх}\beta} = \frac{R_{\text{вх}}}{(1 - k \beta)}. \quad (6.4)$$

Отже, негативний 33 із додаванням напруг збільшує вхідний опір підсилювача і спрощує узгодження його вхідного опору з внутрішнім опором джерела вхідного сигналу.

33 із додаванням струмів. Для оцінки цього впливу скористаємося схемою, зображеною на рис. 6.8.

Для цієї схеми напругу U_{13} визначають за виразом

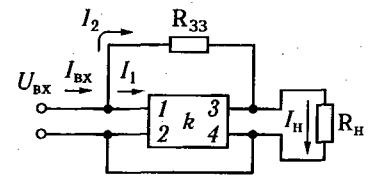
$$U_{13} = U_{\text{вх}} - U_{34} = U_{\text{вх}} (1 - k).$$

Струми I_1 і I_2 можна записати як

$$I_1 = U_{\text{вх}} / R_{\text{вх}}; \quad I_2 = \frac{U_{13}}{R_{33}} = \frac{U_{\text{вх}} (1 - k)}{R_{33}}.$$

За першим законом Кірхгофа вхідний струм визначають так:

$$I_{\text{вх}} = I_1 + I_2 = \frac{U_{\text{вх}}}{R_{\text{вх}}} + \frac{U_{\text{вх}} (1 - k)}{R_{33}}.$$



З отриманого виразу визначимо вхідний опір підсилювача, охопленого позитивним 33:

Рис. 6.8. Структурна схема підсилювача зі 33 за напругою з додаванням струмів

$$R_{\text{вх}\beta} = \frac{U_{\text{вх}}}{I_{\text{вх}}} = \frac{R_{33} R_{\text{вх}}}{R_{\text{вх}} (1 - k) + R_{33}}.$$

Відповідно для негативного 33 отримаємо

$$R_{\text{вх}\beta} = \frac{R_{33} R_{\text{вх}}}{R_{\text{вх}} (1 + k) + R_{33}}. \quad (6.5)$$

Проаналізувавши цей вираз, можна зробити висновок, що негативний 33 із додаванням струмів зменшує вхідний опір підсилювача, погіршуючи умови узгодження за напругою каскаду з джерелом вхідного сигналу.

Із викладеного вище випливає, що найкращим варіантом є схеми підсилювальних каскадів з негативним 33 за напругою з додаванням напруг, оскільки вони забезпечують найвищі вхідні та найнижчі вихідні опори, що істотно спрощує їхнє узгодження з напругою в підсилювачах з багатьма каскадами.

6.4. Практичні схеми підсилювальних каскадів зі зворотними зв'язками

Як уже зазначалося, найкращим варіантом схем каскадів підсилювачів зі 33 є схеми з негативним 33 за напругою з додаванням напруг. Варіант такого каскаду зображено на рис. 6.9.

Для цієї схеми коефіцієнт передачі ланки зворотного зв'язку β буде визначатися коефіцієнтом ослаблення подільника, виконаного на резисторах R_1 і R_2 :

$$\beta = \frac{U_{78}}{U_{56}} = \frac{R_2}{R_2 + R_1}.$$

Під час визначення величини опорів цих резисторів задаються одним з них, наприклад R_1 можна прийняти більшим ніж R_H і, знаючи необхідний коефіцієнт зворотного зв'язку β , визначають величину другого опору. За відомим значенням k , $R_{вх}$, $R_{вих}$ підсилювача і β відповідно до теорії ЗЗ можна розрахувати всі характеристики та параметри підсилювача зі зворотним зв'язком.

Однак ця схема має низьку завадостійкість, що є її основним недоліком. Це зумовлюється тим, що джерело вхідного сигналу не підключене до спільної шини підсилювача. Тому на практиці більше поширена схема, зображена на рис. 6.10.

Коефіцієнт передачі ланки зворотного зв'язку для такої схеми визначатиметься таким співвідношенням:

$$\beta = \frac{I_K R_E}{I_K R_{екв}} = \frac{R_E}{R_{екв}},$$

де $R_{екв} = R_H \parallel R_K$.

Це впливає з аналізу лінійної електричної моделі підсилювача в області середніх частот. Схема на рис. 6.10 має підвищену завадостійкість порівняно з попередньою. Однак за рахунок використання ЗЗ за струмом вона має вищий вихідний опір. Аналогічно попередній схемі, знаючи параметри підсилювача без зворотного зв'язку та коефіцієнт передачі ланки зворотного зв'язку β , можна розрахувати всі характеристики та параметри підсилювача.

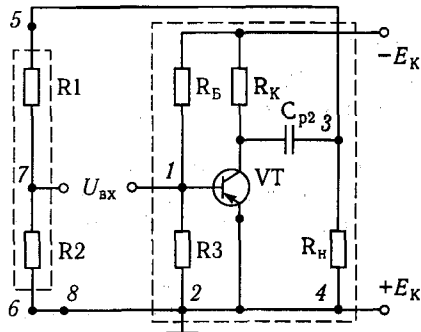


Рис. 6.9. Принципова схема підсилювача з негативним ЗЗ за напругою із додаванням напруг

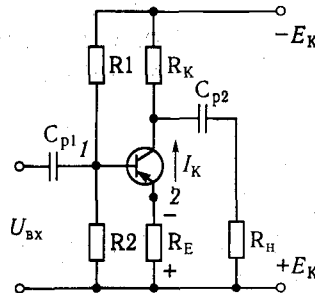


Рис. 6.10. Принципова схема підсилювача з негативним ЗЗ за струмом із додаванням напруг

6.5. Стійкість підсилювачів зі зворотними зв'язками

Навіть після введення негативного ЗЗ у підсилювач він може стати нестійким, тобто відбувається його самозбудження і він переходить у генераторний режим роботи. Зазвичай це відбувається на дуже низьких або високих частотах, які не входять у його робочий діапазон частот. Для запобігання цьому явищу потрібно забезпечувати усталену роботу підсилювача.

Зворотний зв'язок є чисто негативним лише в деякому відносно вузькому діапазоні частот. Для підсилювачів низької частоти (звукової) це середні частоти. У разі збільшення чи зменшення частоти виникають додаткові фазові зсуви в підсилювачі, що може призвести до того, що ЗЗ стає позитивним, а це, у свою чергу, призводить до нестійкої роботи підсилювача.

Із виразу для коефіцієнта підсилення підсилювача з позитивним ЗЗ

$$k_{\beta} = \frac{k}{(1 - \beta k)}$$

впливає, якщо $(1 - \beta k) \leq 0$, то $k_{\beta} \rightarrow \infty$, отже, система нестійка. З наведеної умови отримуємо, що система буде нестійкою, якщо $\beta k \geq 1$. Оскільки обидва коефіцієнти є комплексними величинами, критерій нестійкості матиме вигляд

$$|\beta k| \geq 1. \quad (6.6)$$

Комплексний критерій нестійкості (6.6) можна подати двома рівняннями — балансу амплітуд і балансу фаз:

$$\begin{cases} |\beta k| \geq 1; \\ (\varphi_{ЗЗ} + \varphi_{\Pi}) = 360^\circ n, \end{cases} \quad (6.7)$$

де n — будь-яке ціле число.

Отже, виконання умов балансу фаз і балансу амплітуд призводить до нестійкої роботи підсилювача. Для оцінки стійкості роботи підсилювача часто застосовують критерій Найквіста — Михайлова. Відповідно до цього критерію стійкість замкненої системи визначається за виглядом АФЧХ розімкненої системи. Якщо АФЧХ розімкненої системи охоплює точку з координатами $(+1; j_0)$, то замкнена система нестійка, а якщо не охоплює — стійка.

Розглянемо АФЧХ підсилювачів з різним числом каскадів та оцінимо їхню стійкість.

Підсилювач на одному каскаді (СЕ або СВ). Вигляд АФЧХ наведено на рис. 6.11 для підсилювачів звукових частот з робочим діапазоном $\omega_H \dots \omega_B$. Відповідно до критерію Найквіста – Михайлова ця система (підсилювач з негативним ЗЗ) завжди є стійкою.

Підсилювач з двома каскадами (СЕ або СВ). АФЧХ двокаскадного підсилювача з негативним ЗЗ наведено на рис. 6.12. Як випливає з рис. 6.12, цей підсилювач також характеризується стійким режимом роботи, тому що точка з координатами $(+1; j_0)$ не охоплена АФЧХ.

Підсилювач з трьома каскадами (СЕ або СВ). АФЧХ цього підсилювача наведено на рис. 6.13, а. Такий підсилювач з негативним ЗЗ у робочому діапазоні частот $\omega_H \dots \omega_B$ є потенційно нестійким, оскільки завжди є ще дві частоти (ω_1 – точка b і ω_2 – точка a), на яких виконується умова балансу фаз. Для них слід перевірити виконання умови балансу амплітуд.

На рис. 6.13, а наведено АФЧХ підсилювача, який з негативним ЗЗ є стійким, однак у координатах точки a , близьких до $+1$, під дією зовнішніх впливів підсилювач може стати нестійким. Тому рекомендований запас стійкості має становити $2 \dots 3$, тобто координата точки a має дорівнювати $0,3 \dots 0,6$.

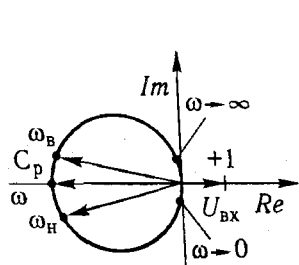


Рис. 6.11. АФЧХ підсилювача з одним каскадом

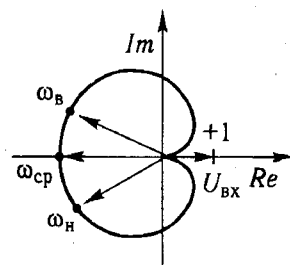


Рис. 6.12. АФЧХ підсилювача з двома каскадами

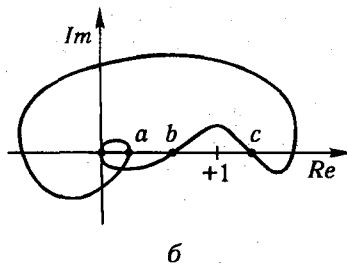
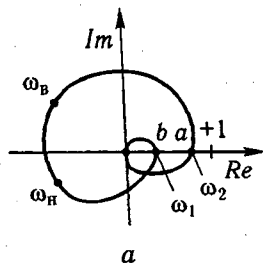


Рис. 6.13. АФЧХ підсилювача з трьома каскадами:
а – стійкий; б – умовно стійкий

АФЧХ, за якої підсилювач із ЗЗ є умовно стійким, зображено на рис. 6.13, б. Однак точка с АФЧХ після вмикання живлення все-таки охоплює точку з координатами $(+1; j_0)$, система збуджується і стає нестійкою.

Отже, для забезпечення стійкості підсилювача зі ЗЗ АФЧХ розімкненої системи повинна мати вигляд, що відповідає рис. 6.13, а (для підсилювачів з багатьма каскадами число перетину з реальною віссю буде 4, 6, 8 і т. д.), однак координата крайньої правої точки має розміщуватися лівіше від прийнятого запасу щодо збудження $(0,3 \dots 0,5)$.

Якщо АФЧХ охоплює точку $(+1; j_0)$ у певному діапазоні частот, то для забезпечення стійкості підсилювачів зі ЗЗ потрібно підключати спеціальні кола корекції, які зменшують коефіцієнт підсилення підсилювача у цій ділянці частот до значень, що забезпечують невиконання умов балансу амплітуд.

Контрольні запитання

1. Які основні призначення та класифікація зворотних зв'язків? Поясніть їхній вплив на якісні характеристики і параметри підсилювачів.
2. Який тип зворотного зв'язку слід застосувати для збільшення вхідного опору підсилювача? Наведіть схему та оцініть її вхідний опір.
3. Який тип зворотного зв'язку слід використовувати для зменшення вихідного опору підсилювача? Наведіть схему зі зворотним зв'язком та оцініть її вихідний опір.
4. Проаналізуйте схему зі спільним колектором з погляду зворотних зв'язків і встановіть їхній вплив на вхідний і вихідний опори.
5. Поясніть суть методу Найквіста – Михайлова для визначення стійкості підсилювачів зі зворотними зв'язками.

Розділ 7 ПІДСИЛЮВАЧІ ПОСТІЙНОГО СТРУМУ. ДРЕЙФ НУЛЯ І СПОСОБИ ЙОГО ЗМЕНШЕННЯ

7.1. Призначення підсилювачів постійного струму. Підсилювачі на несвітній частоті

Підсилювачі постійного струму (ППС) призначені для підсилення електричних сигналів у діапазоні частот від 0 до ω_r . Для передачі інформації без спотворень АЧХ ППС, як і RC-підсилювачів, має бути рівномірною, а ФЧХ — лінійною функцією частоти (рис. 7.1).

ППС будують за двома принципами:

- ППС на несвітній частоті;
- ППС із безпосередніми зв'язками.

Функціональну схему ППС на несвітній частоті зображено на рис. 7.2.

Вона включає генератор несвітної частоти, балансовий модулятор, RC-підсилювач, демодулятор і фільтр.

Генератор несвітної частоти — високочастотний генератор, частота якого має бути в 100–1000 разів більша від частоти вхідного сигналу Ω_r .

Балансний модулятор здійснює перенесення спектральної щільності вхідного сигналу на високу несвітну частоту. Він змінює фазу вихідного сигналу у разі зміни полярності вхідного сигналу.

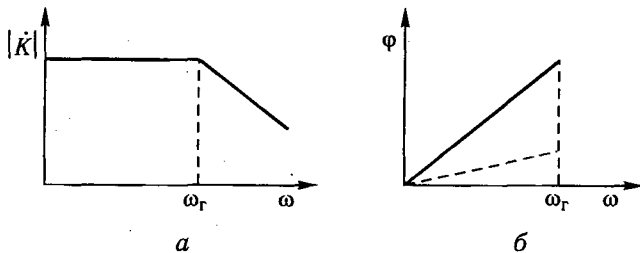


Рис. 7.1. АЧХ (а) і ФЧХ (б) підсилювача для передачі інформації без спотворень у діапазоні частот від 0 до ω_r

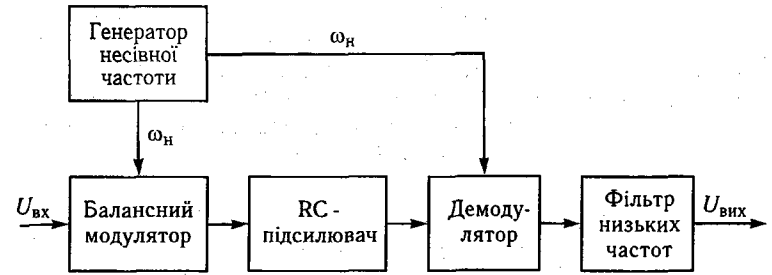


Рис. 7.2. Функціональна схема ППС на несвітній частоті

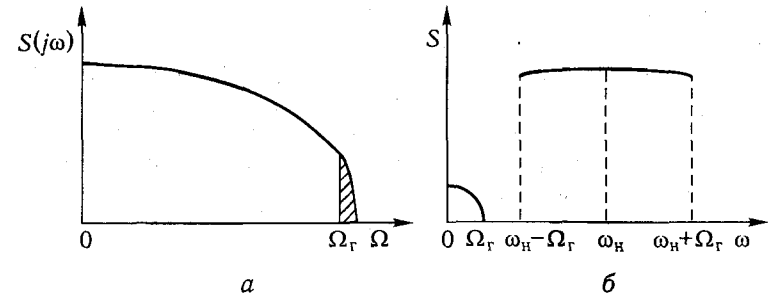


Рис. 7.3. Спектр вхідного (а) і вихідних сигналів модулятора та підсилювача (б)

RC-Підсилювач застосовують для підсилення високочастотного сигналу в смузі від $\omega_n - \Omega_r$ до $\omega_n + \Omega_r$.

Після підсилення сигналу RC-підсилювачем проводять демодуляцію сигналу, тобто перенесення сигналу з області високих частот в область вхідного сигналу (низькочастотна область). З цієї метою використовують демодулятор.

Фільтр низької частоти пропускає низькочастотний спектр сигналу на виході демодулятора і не пропускає сигнал несвітної частоти.

Спектри вхідного (а) і модульованого (б) сигналів наведено на рис. 7.3. Якщо Ω_r , наприклад 1 кГц, то ω_n на виході модулятора 100 кГц із бічними частотами 99 і 101 кГц. RC-Підсилювач під-

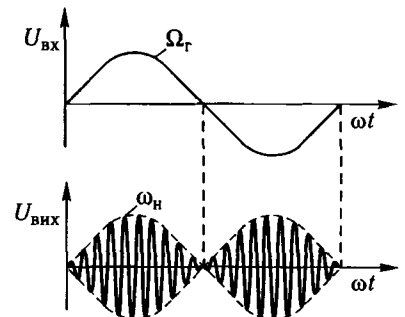


Рис. 7.4. Осцилограми роботи балансного модулятора

силює цю смугу частот, а демодулятор здійснює зворотне перетворення — переносить спектр високочастотного сигналу в область низьких частот. Для заглушення несівної та інших високочастотних складових установлюють фільтр низьких частот. Осцилограми, що пояснюють роботу балансного модулятора, зображено на рис. 7.4.

7.2. Підсилювачі з безпосередніми зв'язками

Під час проектування ППС із безпосередніми зв'язками потрібно вирішити три питання, беручи за основу каскади відомих RC-підсилювачів:

- як погодити джерело вхідного сигналу із входом підсилювача, щоб не змінити його режим за постійним струмом?
- як узгодити навантаження з виходом підсилювача?
- як безпосередньо зв'язати каскади один з одним?

Для узгодження джерела вхідної ЕРС із входом підсилювача можна застосувати ЕРС компенсації $E_{\text{ком}}$ (рис. 7.5).

Якщо $U_{10} = E_{\text{ком}}$, то при цьому напруга між вхідними затискачами дорівнює нулю, що забезпечує можливість підключення джерела $E_{\text{вх}}$ до входу підсилювача.

До недоліків схеми належать:

- батарея не може тривало забезпечувати $U_{10} = \text{const}$, що призводить до зміщення нуля ППС;
- якщо напруга живлення $E_{\text{ком}} \neq \text{const}$, нестабільність живлення схеми призводить до зміни напруги U_{10} і до зміщення нуля підсилювача;
- батарея має великі габаритні розміри, масу і є неконструктивною для друкованих плат; має відносно велику ємність

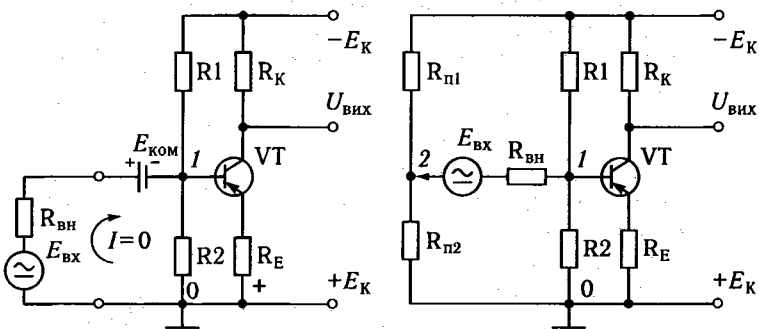


Рис. 7.5. Схема ППС із ЕРС компенсації

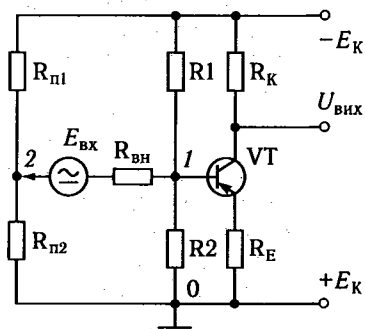


Рис. 7.6. Схема ППС із подільником компенсації

щодо спільної шини, що погіршує частотні характеристики і завадозахищеність схеми внаслідок чутливості до зовнішніх наведень та завад.

Схему з подільником напруги компенсації зображено на рис. 7.6. Подільник підбирають так, щоб $U_{20} = U_{10}$, тобто щоб компенсувалася напруга на вході підсилювача. Основним недоліком схеми є те, що джерело вхідного сигналу не підключене до спільної шини, що істотно погіршує завадозахищеність схеми.

Схему з двома джерелами живлення, що дає змогу забезпечити режим роботи каскаду за постійним струмом так, щоб потенціал бази (точка 1) дорівнював потенціалу спільної шини, тобто $U_{10} = 0$, зображено на рис. 7.7. Це дає змогу безпосередньо підключати джерело вхідного сигналу до входу підсилювача.

Варіант схеми, зображений на рис. 7.7, найприйнятніший та найзручніший і часто використовується в ППС.

Для узгодження виходу підсилювача з навантаженням виникає проблема, аналогічна розглянутій, яку можна вирішити тими самими трьома способами:

- узгодження за допомогою джерела ЕРС компенсації. Цей варіант практично неприйнятний у зв'язку із зазначеними вище недоліками;
- використання подільника напруги $R_{п1}$ і $R_{п2}$ або параметричного стабілізатора — $R_{п1}$, VD1. До основного недоліку схеми належить навантаження, не підключене до спільної шини, що забезпечує незадовільну завадостійкість, спричинену зовнішніми факторами, та незручність в експлуатації;

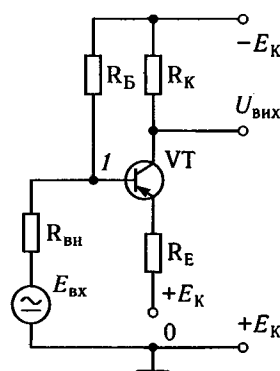


Рис. 7.7. Схема ППС із двома джерелами живлення

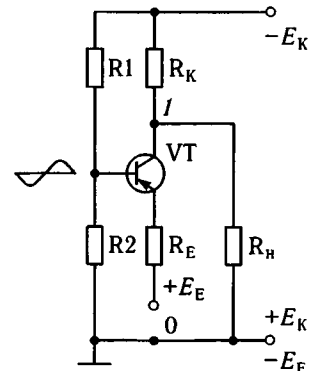


Рис. 7.8. Схема ППС із двома джерелами живлення

• схема ППС із двома джерелами живлення забезпечує безпосереднє підключення навантаження до виходу каскаду (рис. 7.8).

Розрахунок режиму роботи схеми за постійним струмом забезпечує потенціал колектора (1) щодо спільної шини (0) $\Phi_{10} = 0$ за допомогою двох джерел живлення. Навантаження при цьому підключене до спільної шини.

Як міжкаскадні зв'язки у ППС застосовують:

- безпосередні;
- через стабілітрони;
- використання двох джерел живлення;
- чергування транзисторів типів $p-n-p$ і $n-p-n$ тощо.

Схему ППС із безпосередніми зв'язками зображено на рис. 7.9.

Для забезпечення безпосередніх зв'язків мають виконуватися такі умови:

$$R_{E1} < R_{E2} < R_{E3};$$

$$R_{K1} > R_{K2} > R_{K3}.$$

Оскільки коефіцієнт підсилення каскаду орієнтовно визначають за виразом

$$K_U \approx R_K / R_E,$$

то часто, починаючи з третього каскаду, важко утримувати, щоб $K_3 > 1$. Отже, такими зв'язками можна забезпечувати пари транзисторів.

Схему міжкаскадних зв'язків каскадів із використанням стабілітронів зображено на рис. 7.10. Ця схема має забезпечувати струм через стабілітрон більший, ніж мінімальний струм

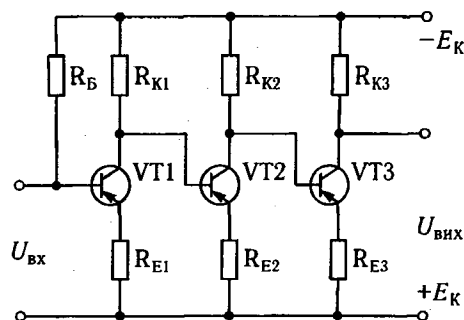


Рис. 7.9. ППС з трьох каскадів із безпосередніми зв'язками

стабілізації:

$$I_{CT} > I_{min CT} \approx (3...5) \text{ мА (для малопотужних)}. \quad (7.1)$$

Номінали резисторів R_{E2} і R_{K1} розраховують так, щоб виконувалася умова (7.1). Збільшення (зменшення) напруги на колекторі VT1 практично без втрат передається на базу VT2 через малий динамічний опір стабілітрона VD ($\Delta U_{B2} = \Delta U_{K1}$). Напруга стабілізації стабілітрона визначається різницею напруг між колектором VT1 і базою VT2. У цій схемі $U_{CT} = 10 \text{ В}$.

Схему ППС, що забезпечує міжкаскадні зв'язки внаслідок чергування $p-n-p$ - і $n-p-n$ -типів транзисторів, зображено на рис. 7.11.

У цій схемі немає тенденції до збільшення R_E і зменшення R_K зі зростанням номера каскаду, тому вона знаходить практичне застосування, як і схема з двома джерелами живлення (див. рис. 7.8).

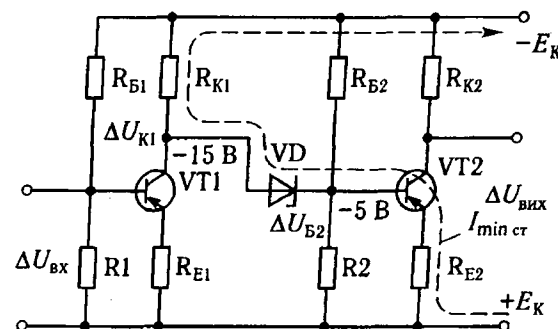


Рис. 7.10. Зв'язок двох каскадів ППС через стабілітрон

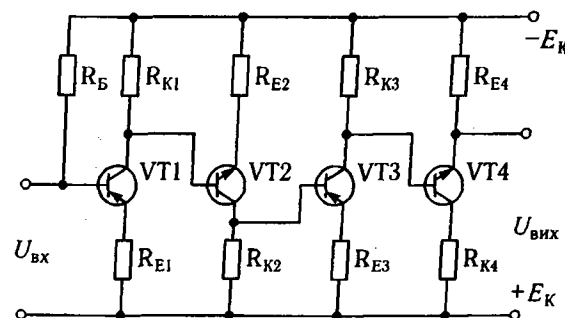


Рис. 7.11. Схему ППС із чергуванням $p-n-p$ - і $n-p-n$ -транзисторів

7.3. Дрейф нуля підсилювачів. Основні причини і способи його зменшення

У ППС завжди має бути пристрій установлення нуля (рис. 7.12), який дає змогу перед роботою встановити нуль на виході ППС. Після встановлення нуля через деякий час на виході підсилювача спостерігається дрейф нуля, який здебільшого зумовлюється:

- температурним дрейфом;
- часовим дрейфом (вплив зовнішніх дестабілізуючих факторів).

Зазвичай дрейф нуля ППС оцінюється за будь-який характерний для об'єкта час — $t_{\text{роб}}$ (рис. 7.13). Залежно від об'єкта або технологічного процесу цей час може бути від кількох десятків хвилин до десятків годин або діб. Напряга дрейфу нуля, зведена до входу підсилювача, визначає його граничну чутливість:

$$U_{\text{вх.др}} = \frac{U_{\text{вих.др}}}{k},$$

де k — коефіцієнт підсилення підсилювача.

Якщо вхідний сигнал перевищує рівень дрейфу $U_{\text{вх}} > U_{\text{вх.др}}$ у 2–3 рази, його можна виділити на рівні дрейфу. Отже, рівень дрейфу нуля, зведеного до входу підсилювача $U_{\text{вх.др}}$, визначає його чутливість. Чутливість підсилювача — це мінімальна вхідна напруга, яку можна виокремити на його виході з урахуванням дрейфів.

Під чутливістю підсилювача часто розуміють $U_{\text{вх.мін}} = 1,5U_{\text{вх.др}}$. Для підвищення чутливості потрібно зменшувати рівень дрейфу нуля. Розрізняють такі способи зменшення дрейфу нуля:

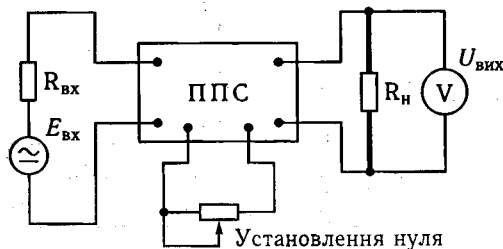
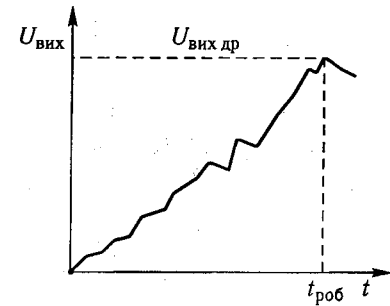


Рис. 7.12. ППС із зовнішніми колами

Рис. 7.13. Дрейф нуля на виході ППС



- застосування негативних зворотних зв'язків (НЗЗ);
- компенсація дрейфу за рахунок введення температурно-залежних елементів (різні варіанти термокомпенсації);
- термокомпенсація ППС за допомогою спеціальних схем;

- застосування спеціальних паралельно-балансових і диференціальних каскадів, які мають значно менші дрейфи.

1. Дрейф за своєю природою подібний до шуму, тому його можна трактувати як шум. НЗЗ зменшує рівень шуму вихідних каскадів крім першого. Отже, потрібно охоплювати НЗЗ як окремі каскади, так і групи каскадів.

2. Для отримання коефіцієнта температурної нестабільності $S < (2...3)$ треба перейти від термостабілізації до термокомпенсації, елементи якої вмикаються між базою (емітером) і нульовою шиною.

Питання щодо пунктів 1 і 2 було розглянуто у підрозд. 5.2.

3. Компенсація за допомогою спеціальних схем або каскадів.

Основною причиною температурної нестабільності є зміни теплового струму колектора $I_{K0} = f(t)$. Для зменшення впливу цього фактора застосовують силіцеві транзистори, в яких I_{K0} на один-два порядки нижчий, ніж у германієвих. Для зменшення дрейфу потрібно також застосовувати ППС із парною кількістю каскадів.

Розглянемо схему, зображену на рис. 7.14. З підвищенням температури робочі точки транзисторів VT1 і VT2 зміщуються у бік великих струмів (рис. 7.15). Для VT1 із точки O_1 в точку O_1' , а для VT2 із точки O_2 в точку O_2' . Напряга на колекторі VT1 отримує позитивний приріст ΔU_{KE1} , оскільки напруга на колекторі стає більш позитивною. Ця напруга передається на базу VT2 і замикає транзистор, зміщуючи робочу точку з положення O_2 в положення O_2' , ближче до вихідної точки O_2 . Отже, на виходах парних каскадів відбувається часткова компенсація температурного дрейфу.

Під час застосування силіцевих транзисторів домінуючим фактором є зміщення вхідних ВАХ від температури. Для зменшення дії цього фактора застосовують компенсаційну схему, зображену на рис. 7.16. Вхідні характеристики тран-

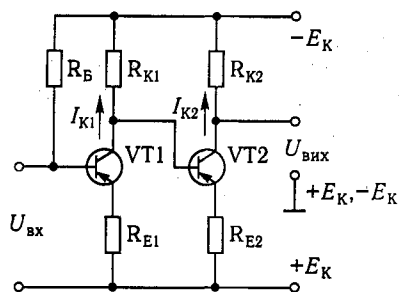
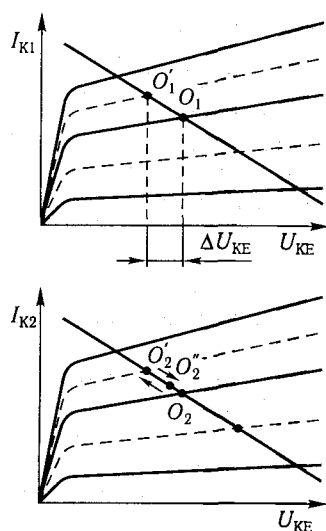


Рис. 7.14. ППС із парною кількістю каскадів

Рис. 7.15. Зміщення робочих точок транзисторів схеми залежно від температури



зисторів зміщуються залежно від температури із коефіцієнтом $\epsilon \approx -2,2 \text{ мВ}/^\circ\text{C}$ і їх можна промодельовати за допомогою двох джерел ЕРС із величиною $\epsilon\Delta T$. Підсилювальний каскад зібраний на VT1, а той, що компенсує, — на VT2. Він є емітерним повторювачем з $K_U \approx 1$, тому на виході другого каскаду U_{R_E} спостерігається накладання $\epsilon\Delta T$.

На вході першого каскаду в емітерному колі зустрічно ввімкнені дві ЕРС, що компенсують одна одну, при цьому сумарний дрейф практично дорівнює нулю. Виходом каскаду є колектор підсилювального каскаду VT1.

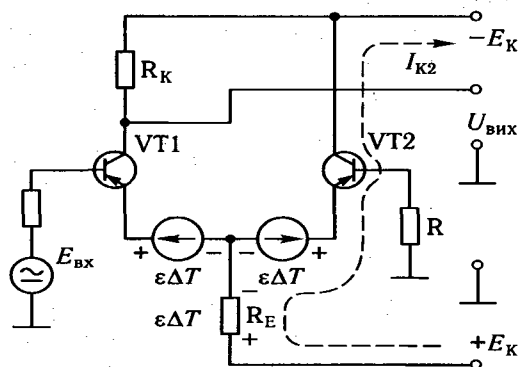


Рис. 7.16. Схема ППС із компенсацією

7.4. Паралельно-балансові й диференціальні каскади підсилювачів

У паралельно-балансових каскадах за рахунок їхньої симетрії практично відсутні дрейфи від нестабільності напруги живлення та температури. Схему паралельно-балансового ППС зображено на рис. 7.17. У разі повної симетрії схеми під час зміни напруги живлення напруги на колекторі транзисторів змінюються однаково, тому між колекторами, де є $U_{\text{вих}}$ підсилювача, напруга дорівнює нулю за $U_{\text{ж}} \rightarrow \text{var}$. У процесі зміни температури спостерігається аналогічна ситуація. Резистор R_E є елементом ЗЗ за постійним струмом і поліпшує характеристики схеми від нестабільності напруги живлення і температури. За сигналом підсилення зворотний зв'язок за рахунок R_E відсутній. За допомогою R_p схему роблять симетричною, забезпечуючи $U_{\text{вих}} = 0$. Вхідні напруги мають бути однакові та протифазні. Вони подаються на бази щодо загальної шини або джерело підключається між базами.

У цьому випадку основним недоліком є незадовільна заводо-захищеність, оскільки вхід до загальної шини не підключений. Вхідні сигнали протифазні й зумовлюють подвійне підсилення. До синфазних сигналів схема малочутлива, отже, може працювати за великих перешкод.

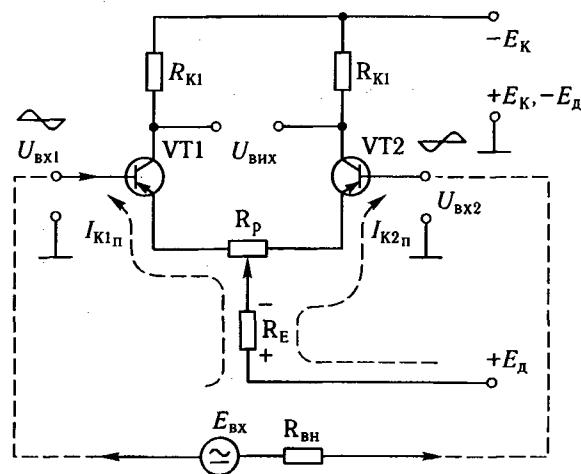


Рис. 7.17. Схема диференціального ППС

Два джерела живлення використовують для погодження джерела з входами ППС, тобто щоб можна було підключати джерела сигналів між базами і спільною шиною.

Оскільки дискретні транзистори в межах однієї партії мають неоднакові характеристики і параметри, то дрейфи паралельно-балансових каскадів відбуваються у будь-якому реальному випадку, але вони будуть на порядок менші, ніж в одиночних каскадах. Під час використання паралельно-балансових каскадів в інтегральному виконанні дрейфи зменшуються ще на порядок щодо таких самих каскадів з дискретними транзисторами.

Паралельно-балансові каскади з поліпшеними характеристиками, що працюють у режимі дуже малих струмів, застосовують як перший диференціальний каскад ППС, якість якого є визначальною для всього підсилювача.

Резистор R_E у наведених вище схемах зумовлює негативний зворотний зв'язок не за сигналом підсилення, а за температурним і часовим дрейфами. Тому потрібно збільшувати R_E для збільшення фактора зворотного зв'язку і поліпшення характеристик підсилювача. Однак дуже великі R_E недоцільні, оскільки це збільшує напругу живлення, що призводить до використання транзисторів з високою напругою живлення і погіршення економічності каскадів. Замість R_E у диференціальних каскадах ставлять транзистор зі спільною базою (VT3).

Для підвищення температурної стабільності диференціального каскаду в нього вводять схеми термокомпенсації (R_t , R_3 , R_2 , R_1 , $-E_1$). Ці каскади випускають в інтегральному виконанні як одиночні диференціальні каскади, так і ППС у цілому з вхідним диференціальним каскадом.

Контрольні запитання

1. Які особливості підсилювачів постійного струму? Назвіть умови безспотвореної передачі інформації.
2. Поясніть принцип дії та структурну схему підсилювача постійного струму на несвільній частоті.
3. Які особливості узгодження джерела сигналу з входом підсилювача і навантаження з його виходом? Наведіть основні схеми узгодження, оцініть кращі з них.
4. Назвіть особливості міжкаскадних зв'язків у ППС і можливі варіанти їхнього застосування на рівні принципів схем.
5. Які основні причини дрейфу нуля ППС? Назвіть варіанти його оцінок та основні способи його зменшення.
6. Поясніть переваги диференціальних каскадів ППС, встановіть наявність або відсутність у них зворотних зв'язків за постійним струмом (температурою), за змінним струмом (підсилювальним сигналом). Встановіть фізичну суть і формулу для визначення коефіцієнта ослаблення синфазного сигналу.

Розділ 8 АНАЛОГОВІ МІКРОЕЛЕКТРОННІ СТРУКТУРИ. ОПЕРАЦІЙНІ ПІДСИЛЮВАЧІ В ІНТЕГРАЛЬНОМУ ВИКОНАННІ

8.1. Класифікація аналогових інтегральних мікросхем, елементи їх схемотехніки, взаємні компоненти, вихідні каскади

Побудова апаратури на основі аналогових інтегральних мікросхем (АІМС) ґрунтується на багатоцільовому використанні інтегральних мікросхем (ІМС) разом із різними зовнішніми елементами. Наприклад, на базі операційних підсилювачів постійного струму (ОППС) можна отримати схеми: складання, віднімання, множення, ділення, диференціювання, інтегрування, логарифмування тощо.

Застосування лінійних АІМС — аналогова і цифрова схемотехніка, вимірювальні прилади, блоки ЕОМ, блоки живлення, пристрої радіозв'язку, систем телеметрії тощо.

Номенклатура АІМС:

- підсилювачі з одиночним каскадом, диференціальним вхідним каскадом;
- підсилювачі на багатьох каскадах;
- операційні підсилювачі;
- високочастотні підсилювачі;
- радіочастотні підсилювачі;
- джерела живлення (стабілізації).

АІМС бувають малого, середнього, великого та надвеликого ступенів інтеграції — МІС, СІС, ВІС, НВІС: МІС — підсилювачі одиночні, з багатьма каскадами, найпростіші ОП (число елементів на кристалі до 100); СІС — елементи типу ЦАП, АЦП (число елементів на кристалі до 10^3); ВІС — процесор, елементи пам'яті (число елементів на кристалі 10^4); НВІС — потужні процесори, великі обсяги пам'яті (число елементів на кристалі понад 10^5).

Розміри кристала — від кількох квадратних міліметрів до квадратних сантиметрів.

Переваги ІМС:

- істотно менші габаритні розміри, маса та потужність споживання, ніж у зібраних на дискретних компонентах;
- вищі вібраційна, ударна та радіаційна стійкість;

- висока надійність (надійність ІМС прирівнюється до показника надійності одного типового елемента);
- істотно менша вартість у разі масового виробництва;
- висока ідентичність параметрів елементів мікросхем;
- висока температурна стабільність мікросхеми (однаковий температурний режим та однакові характеристики основних елементів).

Класифікація АІМС.

1. ОП — багатоцільові структури, на базі яких створюються різні функціональні пристрої (компоненти цифрових пристроїв і приладів).

2. Інструментальні АІМС — багатоцільові високоточні пристрої, призначені для виконання точних перетворень електричних сигналів. Вони можуть містити як аналогові, так і цифрові елементи схмотехніки. Для підвищення стабільності аналогових пристроїв їх застосовують із глибокими зворотними зв'язками.

3. Радіочастотні АІМС — для перетворення і підсилення сигналів радіотехнічних пристроїв, ланок, кіл, мереж зв'язку, що працюють у діапазоні радіочастот 100 кГц...100 МГц.

4. Силові АІМС — для застосування у блоках живлення і підсилювачах потужності (електронні стабілізатори, потужні вихідні каскади).

Компоненти АІМС, технології виготовлення. У кожному із розглянутих класів можна виділити такі ІС:

- універсальні (схеми загального застосування);
- спеціальні (схеми особливого застосування).

ІС загального застосування за технологією виготовлення виконують на спільній ДП підкладці, тому їх називають ДП, або монолітними. ІС високого ступеня інтеграції допускають кілька ДП підкладок, розміщених одна над одною. Монолітні ІС — універсальні й характеризуються відносно малою точністю параметрів, оскільки в єдиному технологічному циклі неможливо робити коригування або підгонку параметрів, тому отримують розбіг резисторів за цією технологією $\pm 15\%$ (вартість такої ІС дуже низька).

ІС особливого застосування — гібридно-плівкові ІС. За такої технології можливе отримання елементів з похибкою $\sim 1\%$. Основними елементами монолітних ІС є транзистори та резистори, а основними компонентами гібридно-плівкових ІС — резистори і конденсатори з високою точністю номіналів $R_{н1}$ і $C_{н1} \approx 1\%$ і більш широким діапазоном, ніж у монолітних. Напилювання резисторів проводять за допомогою металів (ніхрому), ТКО яких менший, ніж у напівпровідників. Транзистори застосовують як дискретні елементи.

У напівпровідниковій технології основним елементом є транзистор на силіцієвій основі $n-p-n$ -типу. Орієнтоване значення параметрів:

$$U_{КБ\text{проб}} = 40 \dots 100 \text{ В};$$

$$U_{БЕ\text{проб}} = 6 \text{ В};$$

$$h_{21E} = 50.$$

Крім того, виготовляють транзистори з дуже великим значенням $h_{21E} \approx 5000$. Для отримання діодів використовують транзистори, при цьому БЕ — замикають, а БК перехід використовується як діод, який має такі параметри: $I_{обр} < 0,1 \text{ мА}$; $U_{пр.БК} = 0,6 \text{ В}$.

Резистори отримують унаслідок дифузії на базі основного напівпровідника (силіцію): чим тонше напилювання, тим більший опір резистора. Номінали резисторів:

$$R = 1 \text{ Ом} \dots 500 \text{ кОм (клас точності } 15\%).$$

Для отримання конденсаторів використовують $p-n$ -перехід у відсіченні. Залежно від величини замикаючої напруги можна отримати ємності порядку $C = 1 \dots 100 \text{ пФ}$.

Для гібридно-плівкової технології базовими елементами є резистори і конденсатори. Резистори стабільніші, мають нижчий ТКО та ширший діапазон номіналів:

$$R = 1 \text{ Ом} \dots 20 \text{ МОм (точність } 3\%);$$

$$C = 10 \text{ пФ} \dots 3 \text{ мкФ (точність } 3\%).$$

У цій технології застосовують дискретні транзистори без корпусів.

Характерною особливістю інтегральної схмотехніки є наявність взаємних компонентів. Під час виготовлення ІС характеристики елементів досить близькі та взаємозалежні у разі зміни зовнішніх умов. Схему підсилювального каскаду зображено на рис. 8.1, де резистори R_K і R_E є взаємними компонентами, тому у разі зміни зовнішніх факторів коефіцієнт підсилення практично не змінюватиметься, $K_U \approx -R_K / R_E$.

Типовий диференціальний каскад ІС, де взаємними компонентами крім резисторів є ще й транзистори VT1 і VT2, зображено на рис. 8.2. Маючи близькі й ідентичні характеристики, вони істотно зменшують температурний дрейф та дрейф від нестабільності джерел живлення, спрощують балансування каскаду і зумовлюють ефективне ослаблення синфазного сигналу.

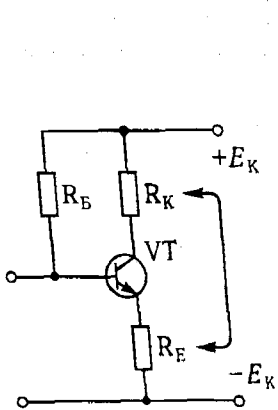


Рис. 8.1. Підсилювальний каскад

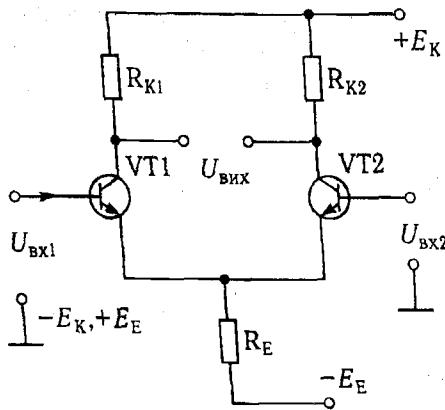


Рис. 8.2. Схема диференційного каскаду

Коефіцієнт ослаблення синфазного сигналу (КОСС) визначають за виразом

$$K_{\text{КОСС}} = \frac{K_{U \text{ диф}}}{K_{U \text{ синф}}},$$

де $K_{U \text{ диф}}$ і $K_{U \text{ синф}}$ — відповідно коефіцієнти підсилення для диференціального і синфазного сигналів ($K_{U \text{ синф}}$ в ідеальному випадку дорівнює нулю, у реальному — близько одиниці. КОСС бажано мати приблизно $10^5 \dots 10^6$).

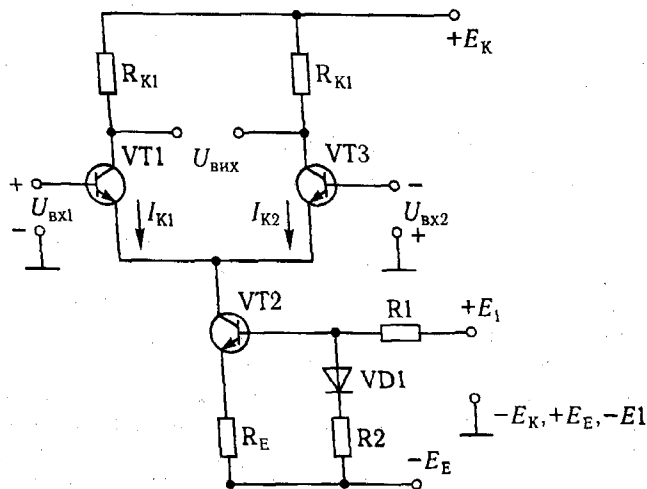


Рис. 8.3. Типова схема вхідного каскаду ОППС

Дрейф підсилювача здебільшого визначається вхідним каскадом — температурним дрейфом і часовою нестабільністю елементів, причому дрейф диференціального каскаду на порядок менший від одиночного. Якщо виготовити диференціальний підсилювач в інтегральному виконанні, то його дрейф на порядок-два менший, ніж у диференціальному виконанні з дискретними транзисторами. Крім того, він також має більший коефіцієнт ослаблення синфазного сигналу.

На вході ОП зазвичай ставлять диференційний підсилювач, щоб ослабити наведення і підсилити $U_{\text{ВХ}}$. Довжина вхідних проводів до джерел сигналів має бути якомога короткою із застосуванням екранування.

Типову схему диференціального вхідного каскаду в інтегральному виконанні зображено на рис. 8.3. Транзистор VT2 працює в режимі джерела струму, має великий внутрішній опір і поліпшує характеристики каскаду. Застосування елементів термокомпенсації (VD1, R1 і R2) дає змогу істотно поліпшити температурні характеристики каскаду.

8.2. Напруга зсуву, вхідні струми та їхні температурні дрейфи

Напруга зсуву. Чутливість диференціального вхідного каскаду визначається сумою напруг зсуву та їхніх температурних дрейфів:

$$U_{\text{зс}\Sigma} = U_{\text{зс}} + U'_{\text{зс}}(I_{\text{ВХ}}) + U'_{\text{зс}}(t \text{ } ^\circ\text{C}) + U'_{\text{зс}}(t \text{ } ^\circ\text{C}). \quad (8.1)$$

Сума напруг зсуву $U_{\text{зс}\Sigma}$ визначає граничну чутливість підсилювача, оскільки підсилення сигналів можливе, якщо $U_{\text{ВХ}} > U_{\text{зс}\Sigma}$. Отже, що менша напруга зсуву $U_{\text{зс}\Sigma}$, то більша чутливість вхідного каскаду і підсилювача в цілому.

Під напругою зсуву $U_{\text{зс}}$ розуміють різницю напруг $U_{\text{БЕ}}$ першого і другого транзисторів диференціального вхідного каскаду за однакових струмів колектора (див. рис. 8.2). Нехай $E_{\text{ВХ}} = 0$, тоді бази B_1 і B_2 диференціального каскаду з'єднані із загальною шиною, між базами проходить напруга зсуву, яка підсилюється підсилювачем у $K_{U \text{ диф}}$ разів:

$$U_{\text{зс}} = U_{\text{БЕ1}} - U_{\text{БЕ2}}, \text{ якщо } I_{K1} = I_{K2};$$

$$U_{\text{зс}} K_{U \text{ диф}} = U_{\text{ВХ}}.$$

Для компенсації $U_{зс}$ на один із входів підключають регульоване джерело напруги, що дорівнює $U_{зс}$, але протилежне йому за знаком. Отже, $U_{зс}$ — це така напруга, яку потрібно підвести до входу підсилювача, щоб на його виході отримати нуль; $U_{зс}$ можна компенсувати за номінальної (середньої) температури. Зі зміною температури $U_{зс}(t^{\circ}\text{C})$ також змінюється і її не можна компенсувати, тобто відбувається температурний дрейф.

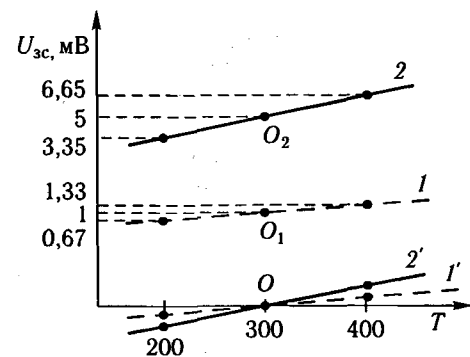
Для диференціальних каскадів, побудованих на дискретних елементах, $U_{зс} \approx 10 \dots 100$ мВ, а для каскадів в інтегральному виконанні $U_{зс} \approx 1 \dots 10$ мВ, тобто каскади і підсилювачі в інтегральному виконанні мають значно кращі характеристики.

Температурний дрейф $U_{зс}$. Дрейф напруги зсуву визначається температурним дрейфом напруг $U_{БЕ}$. Теоретично доведено, що $dU_{зс}/dT = U_{зс}/T$. Отже, температурний дрейф напруги зсуву пропорційний $U_{зс}$. Оскільки $U_{зс}$ диференціального каскаду, виконаного в інтегральному виконанні, менша на порядок, ніж у дискретному виконанні, то температурний дрейф $U_{зс}$ мікросхем в інтегральному виконанні також на порядок нижчий. Нехай

$$dU_{зс}/dT = C, \text{ тоді } U_{зс}(T) = CT, \quad (8.2)$$

де $U_{зс}(T)$ — лінійна функція температури з коефіцієнтом кутового нахилу C . Температурні дрейфи $U_{зс}$ для двох мікросхем з напругою зсуву 1 мВ (1) і 5 мВ (2) зображено на рис. 8.4. Крутість характеристики 2 у п'ять разів більша, ніж характеристики 1.

Для компенсації $U_{зс}$ за середньої температури (300°C) потрібно подати 1 мВ для першої мікросхеми (1') і 5 мВ — для другої (2'). Компенсація статичної складової $U_{зс}$ підвищує граничну чутливість підсилювача. Для другої мікросхеми



гранична чутливість у п'ять разів гірша, ніж для першої. Отже, що менша напруга зсуву мікросхеми, то менший коефіцієнт C та вища гранична чутливість.

Рис. 8.4. Залежність напруги зсуву від температури

Вхідні струми, різницеий вхідний струм і їхні температурні дрейфи. Режим за постійним струмом каскаду (рис. 8.5) розрахований так, що потенціали баз (точки 1 і 2) щодо спільної шини (точка O) дорівнюють нулю ($\phi_1 = \phi_2 = 0$), що дає змогу підключати безпосередньо між входами (точки 1 і 2) і спільною шиною джерела вхідних сигналів $E_{вх}$. Причому $E_{вх}$ рівні за величиною, але протифазні. Навіть за рівності внутрішніх опорів $r_{вн1} = r_{вн2}$ вхідні струми $I_{вх1} \neq I_{вх2}$ (близькі, але не рівні), тому потенціали точок 1 і 2 неоднакові:

$$U_{10} = I_{вх1} r_{вн1} \neq U_{20} = I_{вх2} r_{вн2}.$$

Отже,

$$U_{21} = U_{20} - U_{10} = r_{вн} (I_{вх1} - I_{вх2}) = I_{вх.різн} r_{вн},$$

де $I_{вх.різн}$ — різницеий вхідний струм, зумовлений асиметрією вхідних струмів.

Якщо $E_{вх} = 0$, то між базами буде напруга $U_{21} = I_{вх.різн} r_{вн}$, яка підсилюється підсилювальним каскадом з коефіцієнтом підсилення $K_{U \text{ диф}}$, що додатково з напругою зсуву зміщує нуль на виході підсилювача:

$$U_{вих} = U_{21} K_{U \text{ диф}} \neq 0.$$

Напруга зсуву, спричинена різницеим вхідним струмом, $U_{зс} = U_{21} = I_{вх.різн} r_{вн}$ аналогічна розглянутому раніше $U_{зс}$ і діє паралельно з ним. Для зменшення $U_{зс}$ рекомендується зменшувати вхідні струми, що зумовлює зменшення $I_{вх.різн}$, і застосовувати каскад в інтегральному виконанні, який має більшу симетрію, отже, менший різницеий струм. Рекомендується також застосовувати джерела вхідних сигналів з малими $r_{вн}$. Зазвичай $U_{зс}$ і $U'_{зс}(I_{вх})$ порівнянні, що потребує врахування обох напруг зсуву.

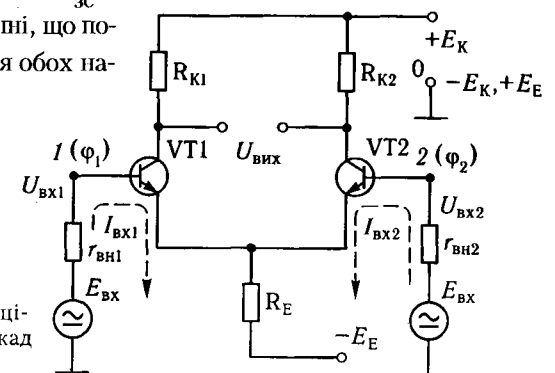


Рис. 8.5. Диференціальний вхідний каскад та вхідні струми

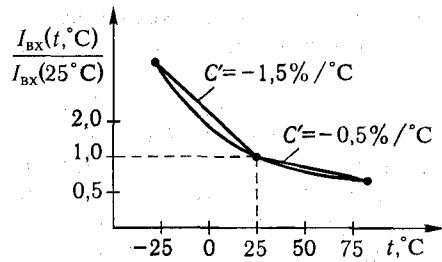


Рис. 8.6. Залежність крутості характеристики дрейфу C від температури

Вхідні струми є струмами баз диференціального вхідного каскаду

$$I_{ВХ} = I_{Б} = I_{К} / \beta, \quad (8.3)$$

де $\beta = h_{21E}$ відповідного транзистора.

Теоретично доведено, що

$$\frac{dI_{ВХ}}{dT} = -CI_{ВХ}. \quad (8.4)$$

Отже, для зменшення дрейфу, спричиненого вхідним струмом, слід зменшувати $I_{ВХ}$, для чого ставлять диференціальний каскад у режимі дуже малих струмів $I_{ВХ} \approx 1 \dots 10$ мкА.

Аналогічно, дрейф різницевого вхідного струму

$$\frac{dI_{ВХ.різн}}{dT} = -C'I_{ВХ.різн},$$

тому для зменшення дрейфу потрібно зменшити $I_{ВХ.різн}$.

Якщо каскад виготовлений в інтегральному викопанні, транзистори погоджені за β з похибкою близько 5 % і дрейф $I_{ВХ.різн}$ буде в 20 разів меншим ніж дрейф $I_{ВХ}$.

Дрейф $I_{ВХ}$ і $I_{ВХ.різн}$ пропорційний C' — крутості характеристики дрейфу від температури, яка є нелінійною функцією температури. Для зручності розрахунків цю нелінійну функцію апроксимують двома прямими з кутовими коефіцієнтами $-1,5 \text{ \%}/^{\circ}\text{C}$ і $-0,5 \text{ \%}/^{\circ}\text{C}$ з точкою переходу за температури 25°C (рис. 8.6).

Під час розрахунків температурного дрейфу, зумовленого вхідними струмами, коефіцієнт C' вважають для $T > 25^{\circ}\text{C}$ таким, що дорівнює $-0,5 \text{ \%}/^{\circ}\text{C}$, а для $T < 25^{\circ}\text{C}$ коефіцієнт C' дорівнює $-1,5 \text{ \%}/^{\circ}\text{C}$.

Оскільки для температурного дрейфу, зумовленого напругою зсуву ($U_{зс}(T) = CT$), коефіцієнт C позитивний, а для дрейфу, зумовленого вхідними струмами $U_{зс}(T) = I_{ВХ.різн}(T)r_{вн}$, коефіцієнт C' — негативний, відбувається часткова компенсація дрейфу.

8.3. Операційні підсилювачі. Еквівалентна схема підсилювача

Операційні підсилювачі постійного струму (ОППС) є досить поширеним базовим елементом аналогової схемотехніки, на якому можуть бути створені лінійні та нелінійні функціональні перетворювачі, тобто апаратними засобами можна реалізувати практично будь-які математичні функції. Позначення ОППС на електричних схемах подано на рис. 8.7.

Особливості будови, властивості та основні параметри підсилювачів постійного струму було розглянуто в підрозд. 7.1. Еквівалентну схему ОППС зображено на рис. 8.8. Між входами (бази транзисторів диференціального вхідного каскаду) і загальною шиною знаходяться вхідні опори $R_{ВХ1}$ і $R_{ВХ2}$, вхідні базові струми $I_{ВХ1}$ і $I_{ВХ2}$ моделюються відповідними джерелами струму. Опір між базами каскаду диференціювання створюється резистором $R_{ВХ.диф}$, а напругу між базами моделюють величиною $U_{зс}$, $R_{ВХ1}$, $R_{ВХ2}$, $I_{ВХ1}$, $I_{ВХ2}$, $R_{ВХ.диф}$, $U_{зс}$, $R_{ВХ}$, $K_{ХХ}$ (можна встановити для конкретних мікросхем у довідниках).

Сумарна напруга зсуву $U_{зс}$ та вхідні струми $I_{ВХ1}$, $I_{ВХ2}$ є джерелами похибок конкретної мікросхеми (ОППС).

До ідеальних ОППС належать підсилювачі, що мають такі параметри:

$$K_U \rightarrow \infty; R_{ВХ1} \rightarrow \infty; R_{ВХ} \rightarrow 0; f_{гр} \rightarrow \infty; U_{зс} \rightarrow 0;$$

$$I_{ВХ1} \rightarrow 0; U_{зс}(T) \rightarrow 0; I_{ВХ2}(T) \rightarrow 0; \frac{\partial U_{зс}}{\partial U_{жі}} \rightarrow 0.$$

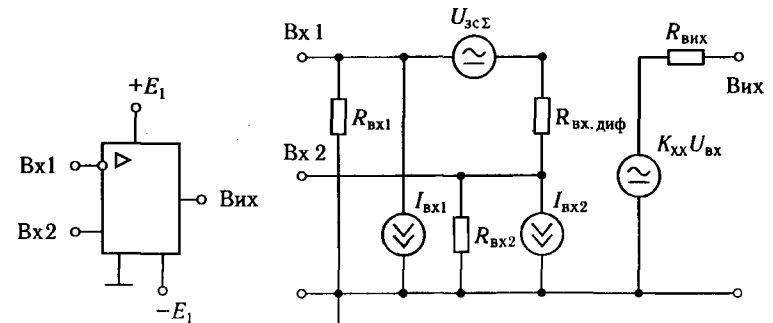


Рис. 8.7. Умовне графічне зображення ОППС

Рис. 8.8. Еквівалентна схема ОППС

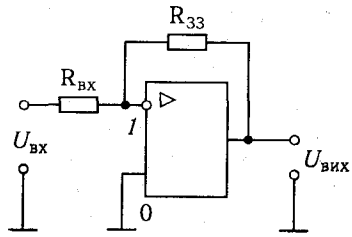


Рис. 8.9. Схема вирішального підсилювача

Реальні ОППС мають параметри, близькі до ідеального: $K_U = 103 \dots 105$; $R_{вхi} = 10 \dots 100$ кОм; $R_{вих} = 200 \dots 600$ Ом (без 33); $f_{гр} = 10$ МГц; $U_{зс} = 1$ мВ; $I_{вхi} = 1$ мкА (для схеми Дарлінгтона

0,1 мкА). Це дає змогу зробити припущення, що реальні ОППС близькі до ідеальних.

Вирішальні підсилювачі — це ОП із зовнішніми елементами. Вирішальний ОП, який виконує функцію підсилювача з інвертуванням сигналу, зображено на рис. 8.9. Це можуть бути функції інтегрування, диференціювання, складання, логарифмування та ін. Для вирішальних ОП точка 1 є віртуальним умовним нулем. Це можна довести тим, що за будь-якого значення вихідної напруги напруга між затискачами 1 і 0 $U_{10} = U_{вих} / K$, де K — коефіцієнт підсилення мікросхеми. Якщо $K \rightarrow \infty$, то $U_{10} \rightarrow 0$, що забезпечує в точці 1 умовний нуль напруги. Як це буде показано в наступних розділах, припущення $U_{10} \rightarrow 0$ значно спрощує розрахунки вирішальних підсилювачів.

Контрольні запитання

1. Які елементи інтегральних мікросхем є взаємними компонентами? Який їхній вплив на характеристики мікросхем?
2. Поясніть фізичну суть напруги зсуву диференціального каскаду, встановіть його величину і температурний дрейф. Як впливає напруга зсуву на величину дрейфу?
3. Встановіть вплив вхідних струмів диференціального каскаду та різницевого вхідного струму на величину додаткової напруги зсуву, визначте його значення.
4. Яка залежність додаткової напруги зсуву від температури, зумовленої різницею вхідним струмом.
5. Намалюйте еквівалентну схему ОППС і вкажіть основні джерела похибок.

Розділ

9

ПОБУДОВА ВИРІШАЛЬНИХ СТРУКТУР НА БАЗІ ОПЕРАЦІЙНИХ ПІДСИЛЮВАЧІВ. ЛІНІЙНІ ТА НЕЛІНІЙНІ ФУНКЦІОНАЛЬНІ ПЕРЕТВОРЮВАЧІ

9.1. Операційні підсилювачі з інвертуванням і без інвертування сигналу

Принципову схему підсилювача з інвертуванням вхідного сигналу зображено на рис. 9.1. Оскільки входом підсилювача є вхід ОППС з інвертуванням сигналу, то вихідна напруга підсилювача зміщена за фазою щодо вхідної напруги на кут, який дорівнює 180° (рис. 9.2).

Установимо основні параметри підсилювача з інвертуванням — коефіцієнт підсилення за напругою, вхідний і вихідний опори. Запишемо перший закон Кірхгофа для точки 1. При цьому припустимо, що вхідна і вихідна напруги синфазні й відповідно до цього спрямуємо струми I_1 , I_2 , I_3 (див. рис. 9.1):

$$I_1 + I_2 - I_3 = 0.$$

Для ідеального ОППС $R_{вх} \rightarrow \infty$, звідки випливає, що $I_3 \rightarrow 0$. Тоді $I_1 + I_2 = 0$.

Оскільки

$$I_1 = U_{вх} / R_{вх}; \quad I_2 = U_{вих} / R_{33},$$

то отримаємо, що

$$\frac{U_{вх}}{R_{вх}} + \frac{U_{вих}}{R_{33}} = 0,$$

тобто

$$U_{вих} = -\frac{U_{вх}}{R_{вх}} R_{33}.$$

З останнього виразу знайдемо коефіцієнт підсилення за напругою з інвертуванням фази

$$K_{інв} = \frac{U_{вих}}{U_{вх}} = -\frac{R_{33}}{R_{вх}}.$$

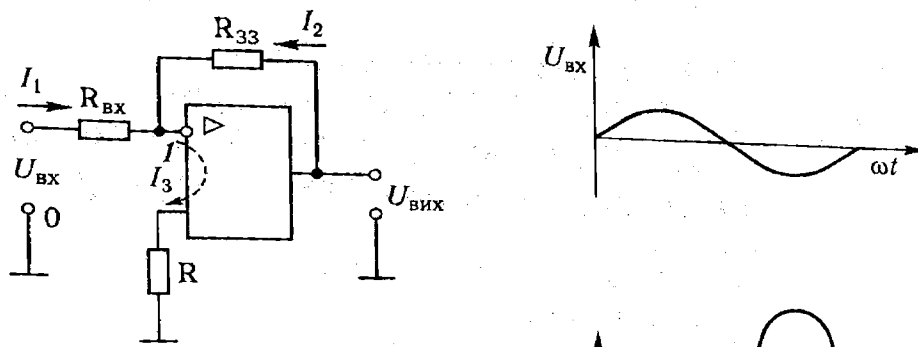
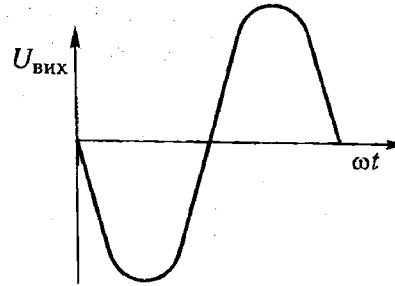


Рис. 9.1. Схема ППС з інвертуванням

Рис. 9.2. Вхідна і вихідна напруги ППС з інвертуванням



Знак мінус перед модулем коефіцієнта підсилення означає, що підсилювач забезпечує фазовий зсув між виходом і входом на 180° , а для отримання потрібного модуля коефіцієнта підсилення можна підібрати нескінченну безліч пар рішень. З урахуванням потрібного вхідного опору підсилювача та обмеження на $R_{ЗЗ}$ зверху близько 1 МОм кількість пар рішень істотно зменшиться.

Зважаючи на те, що точка 1 є віртуальним нулем, отримаємо

$$R_{\text{вх.підс}} = R_{\text{вх}}$$

Отже, за відомого внутрішнього опору $R_{\text{вн}}$ джерела ЕРС можна рекомендувати $R_{\text{вх}} \cong 10R_{\text{вн}}$, а $R_{ЗЗ}$ розрахувати як $R_{\text{вх}} K_U$.

Вихідний опір $R_{\text{вих}}$ підсилювача з інвертуванням. Без ЗЗ $R_{\text{вих}}$ визначають за допомогою довідника для ОППС; він приблизно дорівнює $R_{\text{вих}} \approx 500 \text{ Ом}$. Оскільки в ППС з інвертуванням застосовано НЗЗ за напругою, то вихідний опір підсилювача визначимо за виразом (див. розд. 6.3):

$$R_{\text{вих.інв}} = \frac{R_{\text{вих}}}{1 + K_{\text{ХХ}} \beta}$$

Резистор R , підключений у коло входу інвертування, ліквідує зсув нуля ОППС, спричинений вхідними струмами, і його визначають за співвідношенням $R = \frac{R_{\text{вх}} R_{ЗЗ}}{R_{\text{вх}} + R_{ЗЗ}}$.

Принципові схеми підсилювача без інвертування та осцилограми, що ілюструють фазові співвідношення вихідного і вхідного сигналів, відповідно зображено на рис. 9.3 і 9.4. Аналогічно попередньому підсилювачу визначимо K_U , $R_{\text{вх}}$ і $R_{\text{вих}}$ підсилювача. Розрахуємо U_{10} :

$$U_{10} = \frac{U_{\text{вих}}}{R_1 + R_{ЗЗ}} R_1$$

Якщо $K \rightarrow \infty$, то $U_{12} \approx 0$ і $U_{10} \approx U_{20} = U_{\text{вх}}$, тоді

$$U_{\text{вх}} = \frac{U_{\text{вих}} R_1}{R_1 + R_{ЗЗ}}; \quad U_{\text{вих}} = \frac{U_{\text{вх}} (R_1 + R_{ЗЗ})}{R_1}$$

Коефіцієнт підсилення за напругою без інвертування

$$K_U = \frac{U_{\text{вих}}}{U_{\text{вх}}} = \frac{R_1 + R_{ЗЗ}}{R_1} = 1 + \frac{R_{ЗЗ}}{R_1}$$

Отже, $K_{\text{неінв}} = 1 + K_{\text{інв}}$.

Визначимо вхідний опір підсилювача $R_{\text{вх.підс}}$.

У разі відсутності ЗЗ конкретна мікросхема (ОППС) має певне $R_{\text{вх}} = R_{\text{дов}}$, значення якого залежно від типу підсилювача знаходиться у межах 10 кОм...1 МОм. Вплив ЗЗ у підсилювачі без інвертування призводить до збільшення $R_{\text{вх}}$, оскільки щодо входу відбувається НЗЗ із додаванням па-

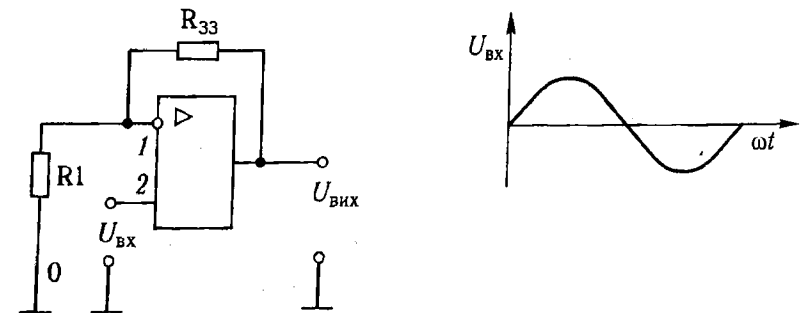


Рис. 9.3. ППС без інвертування

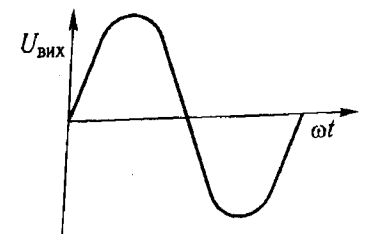


Рис. 9.4. Вхідна і вихідна напруги ППС без інвертування

пруг (див. підрозд. 6.3). Тому

$$R_{\text{вх.неінв.підс}} = R_{\text{вх.оп}} (1 + K_{\text{ХХ}}\beta),$$

де $\beta = R_1 / (R_1 + R_{33})$.

Визначення вихідного опору підсилювача $R_{\text{вих}}$ не відрізняється від наведеного вище для підсилювача з інвертуванням.

Підключення джерела сигналу до входу підсилювача без інвертування. З погляду зменшення зсуву нуля ОППС, зумовленого вхідними струмами, $r_{\text{вн}}$ джерела сигналів має дорівнювати $R \parallel R_{33}$ (рис. 9.5). Оскільки на практиці це не виконується, то можливі два варіанти:

- $r_{\text{вн}} < R_1 \parallel R_{33}$. У цьому випадку у коло входу з інвертуванням вмикають додатковий резистор $R_{\text{п2}}$;
- $r_{\text{вн}} > R_1 \parallel R_{33}$. Для цього випадку в коло входу підсилювача без інвертування вмикають додатковий резистор $R_{\text{п1}}$.

Під час використання ОППС як буфера часто застосовують схему з 100 %-м зворотним зв'язком (рис. 9.6, аналог емітерного повторювача).

Ця схема є погоджувальним (буферним) колом з дуже високим вхідним і дуже малим вихідним опором. Вона підсилює вхідний струм, але не підсилює напругу та характеризується такими основними параметрами:

$$K_U = 1; (K_U = 0,99); R_{\text{вх}} \rightarrow \infty; (10 \dots 100 \text{ МОм});$$

$$R_{\text{вих}} \rightarrow 0; (0,1 \dots 1 \text{ Ом}); K_I \rightarrow \infty; (10^5 \dots 10^7).$$

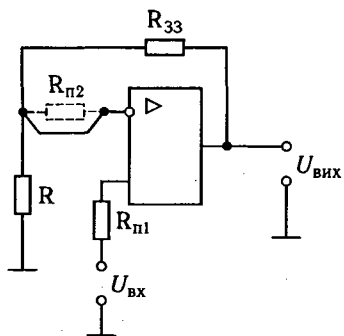


Рис. 9.5. Підключення джерела сигналу до входу підсилювача без інвертування

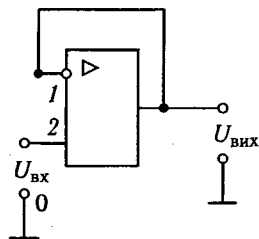


Рис. 9.6. ОП зі 100 %-м зворотним зв'язком

9.2. Суматори, інтегратори і диференціатори на базі підсилювачів

Розрізняють суматори з інвертуванням та без інвертування. Принципову схему суматора з інвертуванням зображено на рис. 9.7.

Сигнали можна правильно підсумовувати тільки на лінійній ділянці амплітудної характеристики $I - I'$ ОППС (рис. 9.8). На ділянці $I - I'$ режим роботи ОППС лінійний, де застосований принцип суперпозиції, і вихідну напругу можна розглядати як суму реакцій від вхідних сигналів:

$$U_{\text{вих}} = - \left[\frac{R_{33}}{R_1} U_{\text{вх1}} + \frac{R_{33}}{R_2} U_{\text{вх2}} + \dots + \frac{R_{33}}{R_n} U_{\text{вхn}} \right].$$

Величину резистора R визначають за умовою

$$R = R_1 \parallel R_2 \parallel R_3 \dots \parallel R_n \parallel R_{33}.$$

Принципову схему суматора без інвертування зображено на рис. 9.9. На цій схемі коефіцієнти передачі на всіх входах однакові і їх визначають за виразом:

$$K_U = \frac{R_{33}}{R_1} + 1.$$

Вихідну напругу для лінійного режиму роботи визначають так:

$$U_{\text{вих}} = \frac{\left(\frac{R_{33}}{R_1} + 1 \right)}{n} (U_{\text{вх1}} + U_{\text{вх2}} + \dots + U_{\text{вхn}}),$$

де n — кількість входів суматора.

Основний недолік схеми — це однакові коефіцієнти передачі за всіма входами. Для забезпечення їх регулювання на кожний вхід можна встановити потенціометри або використати схеми суматора інвертування та інвертора.

Принципову схему інтегратора на ОППС зображено на рис. 9.10. Доведемо, що ця схема є інтегратором. Запишемо перший закон Кірхгофа для точки 1, нехтуючи вхідним струмом підсилювача та вважаючи його ідеальним:

$$I_1 + I_2 = 0; (I_{\text{вх.підс}} \equiv 0).$$

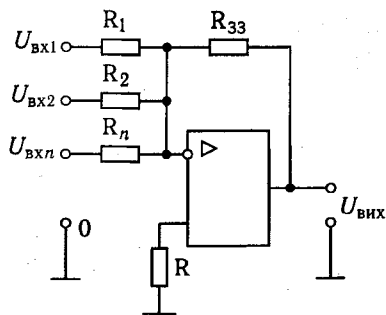


Рис. 9.7. Схема суматора з інвертуванням

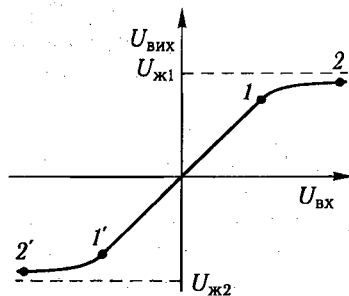


Рис. 9.8. Амплітудна характеристика ОППС

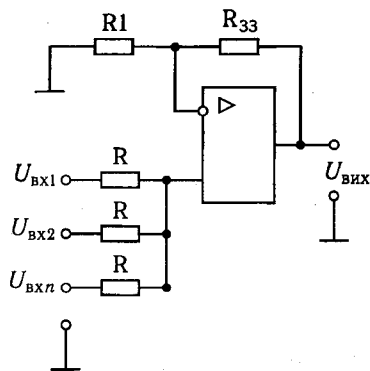


Рис. 9.9. Схема суматора без інвертування

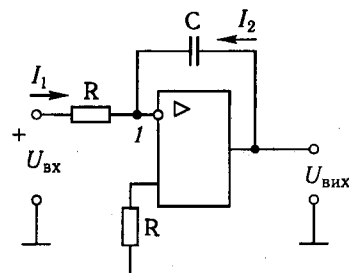


Рис. 9.10. Схема інтегратора на ОППС

З урахуванням того, що потенціал точки 1 дорівнює нулю (віртуальний нуль), отримаємо:

$$I_1 = \frac{U_{ВХ}}{R}; \quad I_2 = \frac{U_{ВХ}}{1/j\omega C}.$$

Тоді

$$\frac{U_{ВХ}}{R} + \frac{U_{ВХ}}{1/j\omega C} = 0; \quad \frac{U_{ВХ}}{R} = -U_{ВХ} pC,$$

де $p = j\omega$.

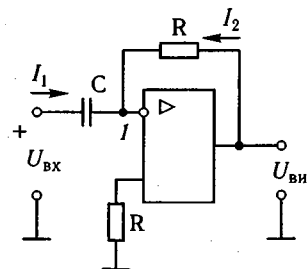
Звідси випливає, що

$$U_{ВХ} = -\frac{1}{RC} \frac{U_{ВХ}}{p}.$$

Рис. 9.11. Схема диференціатора на ОППС

Остаточно, переходячи від операторної форми запису до функцій часу за нульових початкових умов, маємо

$$U_{ВХ} = -\frac{1}{RC} \int_0^t U_{ВХ}(t) dt.$$



Що більша стала часу інтегратора $\tau = RC$, то менший коефіцієнт передачі інтегратора. Початкові умови легко враховувати у цій схемі зсувом напруги $U_{ВХ}$ на потрібну величину $U_{ВХ}(0)$ за допомогою схеми установки пуля (див. підрозд. 9.3).

Принципову схему диференціатора на ОППС зображено на рис. 9.11. Запишемо рівняння першого закону Кірхгофа аналогічно інтегратору, нехтуючи входним струмом підсилювача:

$$\frac{U_{ВХ}}{R} + \frac{U_{ВХ}}{1/j\omega C} = 0; \quad U_{ВХ} pC + \frac{U_{ВХ}}{R} = 0,$$

звідки

$$U_{ВХ} = -pCR U_{ВХ}; \quad U_{ВХ} = -CR \frac{dU_{ВХ}}{dt}.$$

Якщо $U_{ВХ}(t) = \text{const}$, на виході отримаємо $U_{ВХ} = 0$, оскільки похідна від константи дорівнює нулю. Після подачі на вхід схеми лінійно зростаючої напруги на виході матимемо константу, пропорційну жорсткості входної напруги.

9.3. Схеми установки нуля і частотної корекції підсилювачів

Будь-який ОППС має цілком певну напругу зсуву $U_{зс}$, зумовлену як різницею напруг база—емітер, так і різницею входних струмів. Тому слід встановити сумарну напругу зсуву, виходячи з найгіршого випадку. Знаючи $U_{зс\Sigma}$, можна визначити величину напруги компенсації, на яку треба змістити входну напругу ОП, для того, щоб на виході підсилювача отримати $U_{ВХ} = 0$. Сумарну напругу зсуву визначають за співвідношенням (див. підрозд. 8.2):

$$\begin{aligned} U_{зс\Sigma} &= U_{зс} + U'_{зс} = \\ &= U_{зс} + I_{ВХ} \text{різн} R_{ВН}. \end{aligned}$$

Узявши запас для розрахованого $U_{зс\Sigma}$ приблизно 1,5, отримаємо напругу, яку має забезпечити схема установки нуля. Схему установки нуля ОППС наведено на рис. 9.12. Значення R_p і $R_{доп}$ вибирають так, щоб у крайніх положеннях повзунка R_p напруга на ньому була близько ± 1 В. У точці А має бути потрібна напруга зсуву ($\pm 1,5U_{зс\Sigma}$). Виходячи з цієї напруги, розраховують перший подільник напруги R1, R2; R2 рекомендується брати порядку десятків омів, тоді R1 має порядок кількох одиниць кілоомів. Струм другого подільника, що рекомендується, дорівнює 2...4 мА. Резистори R_p і $R_{доп}$ розраховують із умови

$$2R_{доп} + R_p = \frac{2U_{ж}}{I_d},$$

а розподіл між R_p і $R_{доп}$ визначають за умови $U_{Rp} = \pm 1$ В щодо спільної шини.

Оскільки ОППС взагалі мають високу граничну частоту підсилення, а конкретні пристрої на базі ОППС часто потребують значно нижчу частоту f_v , то потрібно вводити схеми частотної корекції. Для зменшення рівня шумів і підвищення стійкості підсилювача треба $f_{гр}$ вибрати у 2—3 рази більшою ніж верхня частота сигналу підсилення f_v . Виходячи із залежностей, зображених за потрібним значенням $f_{гр}$ (рис. 9.13),

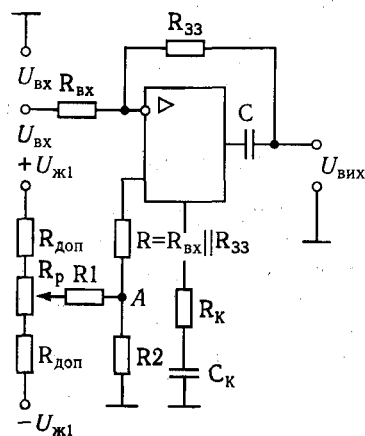


Рис. 9.12. Схema установки нуля і частотної корекції підсилювача з інвертуванням

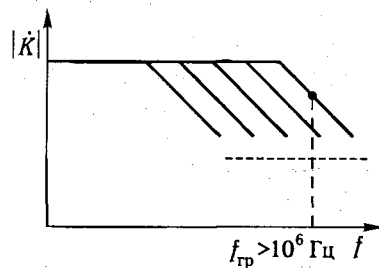


Рис. 9.13. АЧХ ППС за різних значень коригувальних ланок

встановлюють параметри коригувальних ланок (інтегрування R_K , C_K і диференціювання C). Параметри коригувальних ланок наведено також у довідниках з інтегральних мікросхем.

Контрольні запитання

1. Визначте величини входних і вихідних опорів інвертувального та неінвертувального підсилювачів. Поясніть вплив на їхні величини зворотних зв'язків.
2. Які значення коефіцієнтів підсилення інвертувального і неінвертувального підсилювачів на основі (базі) ідеального ($K = \infty$) і ($K < \infty$) реального операційного підсилювачів?
3. Поясніть призначення і правила підключення схем установки нуля і частотної корекції.
4. Намалюйте структурну схему для реалізації степеневих залежностей 2-, 3- і 4-го порядків на базі інтеграторів.

Часто виникає потреба передачі деяких повідомлень по загальному каналу зв'язку. Такі проблеми виникають у пристроях телеметрії, телемеханіки, радіотелефонії тощо. Спектральна щільність та спектри сигналів (рис. 10.1) зазвичай перекривають один одного, наприклад, для мовних повідомлень цей діапазон становить 300—5000 Гц. Тому розділити такі сигнали на виході каналу зв'язку неможливо.

Для того щоб не було накладання сигналів, їх потрібно розділити:

- за частотою;
- за часом.

Фрагмент, що ілюструє розподіл сигналів за частотою, наведено на рис. 10.2. Нехай сигнал, що модулює (вхідний), має спектр від 0 до $\Omega_{1\max} = 5$ кГц. Для першого повідомлення виберемо несінну частоту $\omega_1 \gg \Omega_{1\max}$, нехай $\omega_1 = 500$ кГц. Тоді перше повідомлення розміститься від $\omega_1 - \Omega_{1\max}$ до $\omega_1 + \Omega_{1\max}$, тобто в межах 495...505 кГц, друге — $\omega_2 = 600$ кГц, третє — $\omega_3 = 700$ кГц тощо.

Для виділення сигналу, модульованого за амплітудою (рис. 10.3), слід на приймальному боці поставити пристрій, який має АЧХ $K_1 = f_1(\omega)$, для наступного сигналу — АЧХ $K_2 = f_2(\omega)$ і т. д. (рис. 10.2). Для отримання неспотворених сигналів за кожним каналом потрібно, щоб пристрої мали прямокутні АЧХ.

Демодулятор виконує зворотнє функціональне перетворення, тобто переносить сигнал з діапазону високих частот у діапазон низьких $0 \dots \Omega_{1\max}$, відновлюючи початковий вихідний сигнал. Отже, для розподілу сигналів на приймальному боці потрібно мати набір вибірних підсилювачів з АЧХ, близьких до прямокутних. Вибірні підсилювачі можуть бути LC- і RC-типів. Для побудови підсилювачів LC-типу використовують паралельні та послідовні коливальні контури.

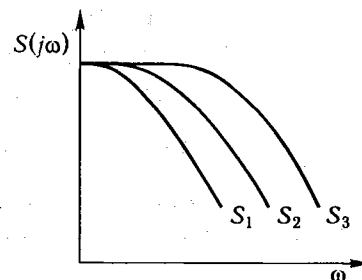


Рис. 10.1. Спектральні щільності сигналів

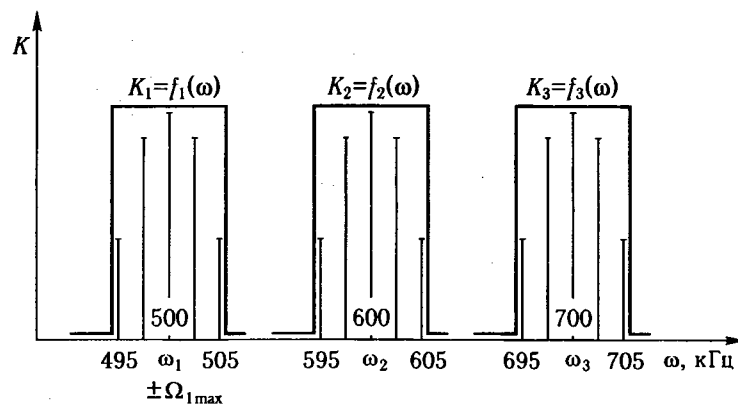


Рис. 10.2. Розподіл сигналу за частотою

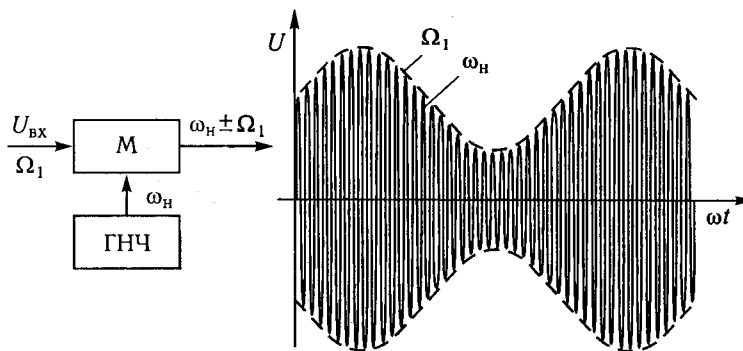


Рис. 10.3. Принцип амплітудної модуляції

10.1. Характеристики паралельного і послідовного коливальних контурів

Схему послідовного коливального контуру зображено на рис. 10.4.

У послідовному коливальному контурі відбувається резонанс напруг. Струм у контурі визначають за виразом:

$$I = \frac{\dot{U}}{R + j\omega L + \frac{1}{j\omega C}}.$$

Оскільки під час резонансу $X_L = -X_C$ за рівності модулів $|j\omega L| = \left| -\frac{1}{j\omega C} \right|$ струм резонансу максимальний $I_{\text{рез}} = \dot{U}/R$, то $Z_{\text{рез}} = R$.

Частоту резонансу визначають за формулою

$$\omega_0 = \frac{1}{\sqrt{LC}}.$$

Напруги під час резонансу на індуктивності та ємності:

$$\dot{U}_{pL} = I j\omega_0 L; \quad \dot{U}_{pC} = I \frac{1}{j\omega_0 C}.$$

Слід зазначити, що модулі реактивних опорів набагато більші за активний опір контуру R , тому напруги на реактивних елементах значно більші за вхідний \dot{U} :

$$|j\omega L| = \left| -\frac{1}{j\omega C} \right| \gg R; \quad \dot{U}_p \gg \dot{U}.$$

Добротність контуру Q визначається відношенням напруги на реактивних елементах до підведеної:

$$Q = \left| \frac{\dot{U}_p}{\dot{U}} \right| = \frac{\omega_0 L}{R}; \quad Q = \left| \frac{\dot{U}_p}{\dot{U}} \right| = \frac{1}{\omega_0 C R}; \quad Q = \frac{1}{R} \sqrt{\frac{L}{C}}.$$

Добротності коливальних контурів у діапазоні частот 100 кГц...1 МГц — порядку $Q = 30 \dots 300$ залежно від частоти і якості його виконання.

Векторну діаграму для послідовного коливального контуру наведено на

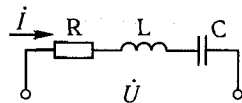


Рис. 10.4. Послідовний коливальний контур

рис. 10.5. Оскільки підведена напруга U виявляється набагато меншою від напруг U_L і U_C , то можна вважати, що послідовний контур є підсилювачем напруги.

Установимо значення опору контуру у функції частоти, виконавши деякі математичні перетворення:

$$Z(j\omega) = R \left(1 + jQ \frac{\omega^2 - \omega_0^2}{\omega\omega_0} \right).$$

Коефіцієнт, що стоїть в уявній частині, позначимо через параметр a $\left(a = Q \frac{\omega^2 - \omega_0^2}{\omega\omega_0} \right)$, який називають *узагальненим розладом контуру*. Він характеризує ступінь відхилення поточної частоти від резонансної. Остаточно дістанемо

$$Z(j\omega) = R(1 + ja). \quad (10.1)$$

Залежність $|Z(j\omega)| = \varphi(a)$ подано на рис. 10.6, де $|Z(j\omega)|$ характеризує АЧХ контуру або коефіцієнт підсилення підсилювача з контуром у функції частоти. При цьому отримаємо режекторну характеристику замість вибіркої. Для отримання вибіркої характеристики треба знімати вихідну напругу з L чи C або застосувати паралельний коливальний контур. У цьому випадку отримаємо АЧХ вибіркового підсилювача у вигляді, зображеному на рис. 10.7.

Для зручності подання характеристики нормують з урахуванням резонансного опору контуру $Z_{\text{рез}} = R$ у такому вигляді:

$$\frac{Z_{\text{рез}}}{Z(j\omega)} = \frac{1}{1 + ja}, \quad (10.2)$$

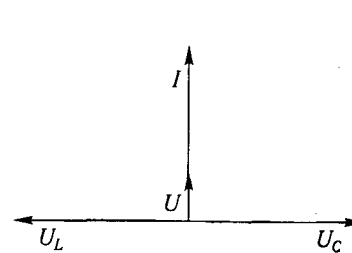


Рис. 10.5. Векторна діаграма

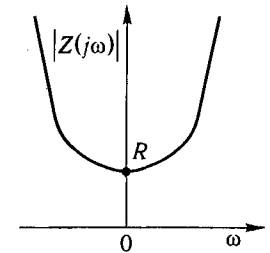


Рис. 10.6. Залежність модуля опору контуру від узагальненого розладу a

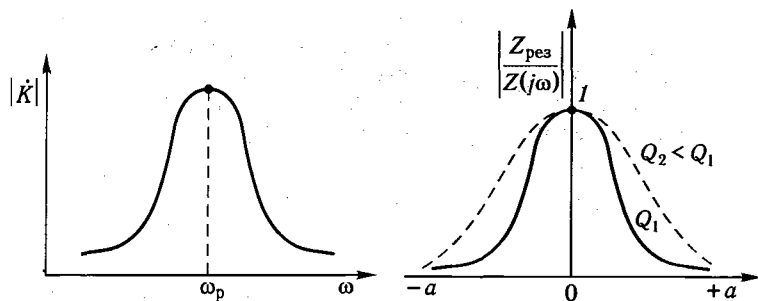


Рис. 10.7. АЧХ вибірного підсилювача

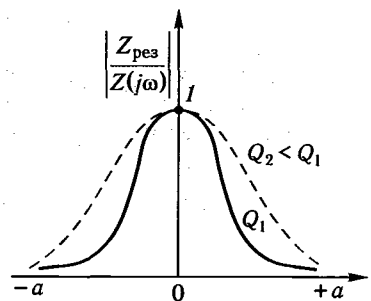


Рис. 10.8. Нормована АЧХ для різних Q_K

або

$$\left| \frac{Z_{\text{рез}}}{Z(j\omega)} \right| = \frac{1}{\sqrt{1+a^2}}. \quad (10.3)$$

Характеристика відповідно до виразу (10.3) — це АЧХ контуру. Нормовану АЧХ контуру у функції параметра узагальненого розладу a для різних добротностей контуру зображено на рис. 10.8.

Частотні характеристики контурів часто зображають залежно від параметра відносного розладу контуру, $\Delta\omega/\omega_0$.

Залежність $\left| \frac{Z_{\text{рез}}}{Z(j\omega)} \right| = \varphi\left(\frac{\Delta\omega}{\omega_0}\right)$ зображено на рис. 10.9.

Під смугою пропускання контуру розуміють діапазон частот, який під час проходження через контур послаблюється не більше ніж у $1/\sqrt{2}$ разів. Отже, рівень $1/\sqrt{2} = 0,707$ відтиснає на АЧХ точки, проекції яких і встановлюють смугу пропускання контуру Π (див. рис. 10.9).

Зв'язок між Q , ω_0 і Π має вигляд:

$$\Pi = \frac{\omega_0}{Q} \quad \text{і} \quad Q = \frac{\omega_0}{\Pi}.$$

Тому в разі збільшення добротності контуру зменшується його смуга пропускання.

Схему паралельного коливального контуру зображено на рис. 10.10, де R_2 — опір втрат у конденсаторі C ; R_1 — опір витoku в котушці L , що підключається паралельно до конденсатора.

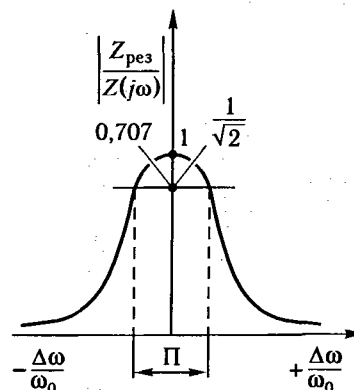
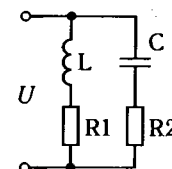


Рис. 10.9. Нормована АЧХ для відносного розладу $\Delta\omega/\omega_0$

Рис. 10.10. Схема паралельного коливального контуру



У такому коливальному контурі спостерігається резонанс струмів; $Z_{\text{рез}}$ великий на відміну від $Z_{\text{рез}}$ у послідовному контурі, який надто малий (R), $Z_{\text{рез}}$ паралельного контуру в Q разів більший за реактивний опір у гілках. Отже, споживаний струм контуру малий, значно менший, ніж струм у реактивних гілках. Струм у гілках у Q разів більший, ніж споживаний контуром струм. Тому цей контур є підсилювачем струму. Встановимо $Z(j\omega)$ аналогічно послідовному контуру:

$$Z(j\omega) = \frac{L}{RC(1+ja)}, \quad \text{якщо } a = 0, \text{ то } Z(j\omega) = Z_{\text{рез}} = \frac{L}{RC},$$

$$\text{де } R = R_1 \parallel R_2; \quad Z_{\text{рез}} = \frac{L}{RC} \frac{\omega_0}{\omega_0} = \frac{Q}{\omega_0 C} = Q\omega_0 L.$$

Узявши відношення в цьому випадку для нормування, дістанемо

$$\frac{Z(j\omega)}{Z_{\text{рез}}} = \frac{1}{1+ja}; \quad (10.4)$$

$$\left| \frac{Z(j\omega)}{Z_{\text{рез}}} \right| = \frac{1}{\sqrt{1+a^2}}. \quad (10.5)$$

Отже, вирази (10.2 і 10.4; 10.3 і 10.5) для послідовного і паралельного коливальних контурів збігаються. Тому всі наведені вище зведення можна віднести і до паралельного коливального контуру. Нормовану АЧХ для паралельного коливального контуру від параметра a зображено на рис. 10.11.

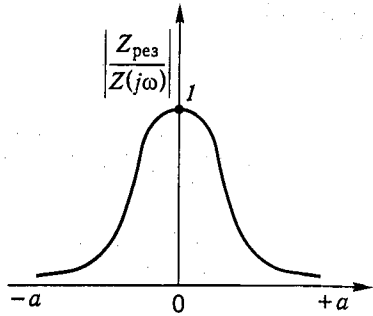
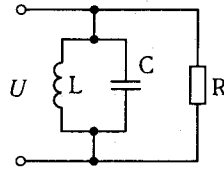


Рис. 10.11. Нормована АЧХ паралельного контуру

Рис. 10.12. Коливальний контур із зовнішнім навантаженням



До входу паралельного коливального контуру підключається джерело струму або джерело ЕРС із високим внутрішнім опором

$$R_{\text{вн}} \gg Z_{\text{рез}}$$

Ця умова потрібна для того, щоб джерело не було шунтом для контуру та не зменшувало його еквівалентну добротність.

Розглянемо вплив зовнішнього шунтувального резистора, підключеного паралельно коливальному контуру, та встановимо ступінь впливу зовнішнього резистора на еквівалентну добротність контуру (рис. 10.12).

Оскільки R і $Z_{\text{рез}}$ контуру включені паралельно, дістаємо:

$$Z_{\text{екв}} = \frac{Z_{\text{рез}} R}{Z_{\text{рез}} + R} = \frac{Q \omega_0 L R}{Q \omega_0 L + R},$$

тому

$$Z_{\text{екв}} = Q_{\text{екв}} \omega_0 L,$$

звідки

$$Q_{\text{екв}} = \frac{Z_{\text{екв}}}{\omega_0 L} = \frac{Q R}{Q \omega_0 L + R}.$$

Отже, $Q_{\text{екв}} < Q$, і що менше R , то менше $Q_{\text{екв}}$.

Приклад. Нехай $\omega_0 L = 10 \text{ кОм}$; $R_{\text{зовн}} = 1 \text{ МОм}$; $Q_{\text{конт}} = 100$;

$$Z_{\text{рез}} = Q \omega_0 L = 10 \text{ кОм} \cdot 100 = 1 \text{ МОм};$$

$$Q_{\text{екв}} = \frac{Q_{\text{конт}} R}{Q_{\text{конт}} \omega_0 L + R} = \frac{1 \text{ МОм}}{1 \text{ МОм} + 1 \text{ МОм}} = 50.$$

Отже, добротність контуру зменшилася вдвічі. Тому шунтувальний резистор має бути на порядок більший ніж $Z_{\text{рез}}$.

10.2. Вибірні підсилювачі LC-типу

Принципову схему простого селективного LC-підсилювача зображено на рис. 10.13. Під час створення схем вибірних LC-підсилювачів мають бути вирішені такі питання:

- як оптимально підключити контур до активного джерела сигналу?
- як підключити споживача — $R_{\text{н}}$ до виходу підсилювача, щоб істотно не погіршити його вибіркових властивостей?

Для того щоб АЧХ підсилювача відповідала (була близька) АЧХ контуру, його вмикають замість навантажувального резистора підсилювача $R_{\text{к}}$. Це паралельний коливальний контур, який має великий резонансний опір, що й забезпечує максимальний коефіцієнт підсилення на резонансній частоті. Опір котушки зменшується в разі розладу контуру і забезпечує зниження коефіцієнта підсилення підсилювача за напругою.

Навантажувальна лінія за постійним струмом визначається активним опором котушки r_L і проходить практично вертикально (рис. 10.14). Визначивши h -параметри біля робочої точки O , можна перейти до розрахунку вибірного підсилювача за змінним струмом.

Використовуючи лінійну модель транзистора в системі h -параметрів, складемо лінійну модель селективного LC-підсилювача (рис. 10.15).

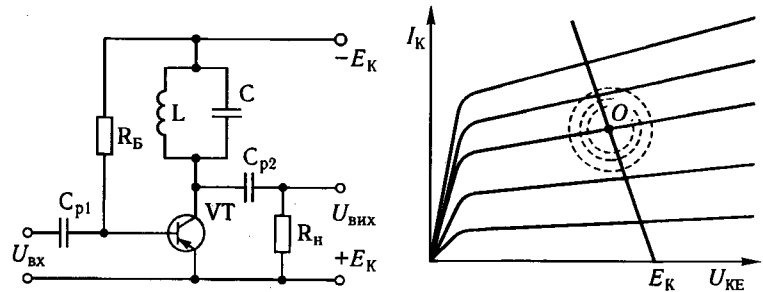


Рис. 10.13. Схема селективного підсилювача

Рис. 10.14. ВАХ транзистора і навантажувальна лінія за постійним струмом LC-підсилювача

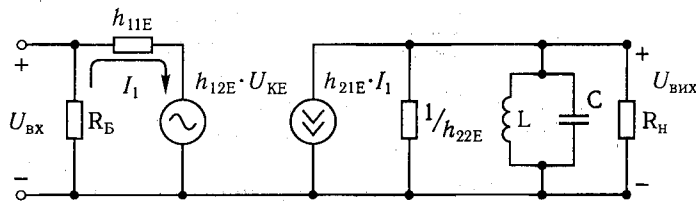


Рис. 10.15. Лінійна електрична модель вибірного LC-підсилювача

Оскільки вихідний опір малопотужних транзисторів $1/h_{22E}$ становить порядку сотень кілоомів, то опір навантаження можна забезпечити такого самого порядку, тому АЧХ вибірного підсилювача буде гіршою, ніж АЧХ коливального контуру, оскільки резонансний опір контуру порівнянний з вихідним опором транзистора й опором навантаження. Визначимо АЧХ підсилювача з урахуванням шунтування контуру зазначеними опорами, припустивши, що $h_{12E} \approx 0$.

Тоді

$$I_1 = U_{ВХ} / h_{11E}.$$

Відповідно до першого закону Кірхгофа отримаємо

$$-\frac{h_{21E} U_{ВХ}}{h_{11E}} = U_{ВЫХ} \left[h_{22E} + \frac{1}{Z_K} + \frac{1}{R_H} \right];$$

$$K_U = \frac{U_{ВЫХ}}{U_{ВХ}} = -\frac{\frac{h_{21E}}{h_{11E}}}{h_{22E} + \frac{1}{Z_K} + \frac{1}{R_H}}.$$

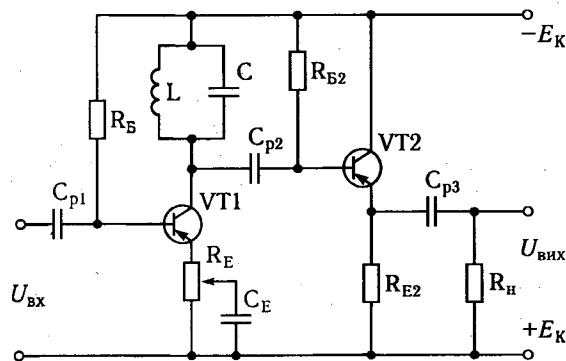


Рис. 10.16. Схема вибірного підсилювача на БПТ

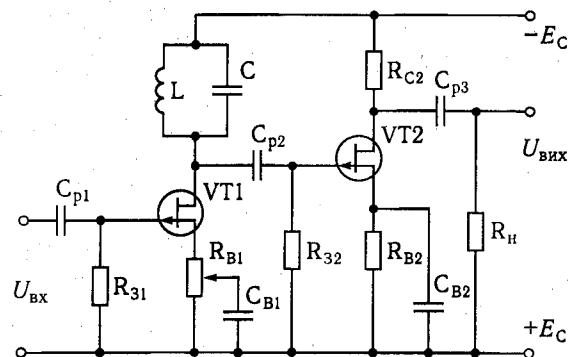


Рис. 10.17. Схема селективного підсилювача на польових транзисторах

З аналізу останнього виразу випливає, що $K_{U_{рез}} \gg 1$ ($K_U \approx -\frac{h_{21E} Z_K}{h_{11E}}$). Оскільки опір контуру залежить від частоти $Z_K(j\omega)$, то й коефіцієнт підсилення також залежить від частоти $K_U(j\omega)$.

Зовнішні резистори $1/h_{22E}$ і R_H зменшують $Z_{рез}$, розширюють смугу пропускання, зменшуючи еквівалентну добротність контуру та коефіцієнт підсилення підсилювача. Для поліпшення частотних характеристик вибірного підсилювача, тобто підвищення крутості схилів і наближення АЧХ підсилювача до характеристики коливального контуру, потрібно:

- забезпечити більш високий R_H ;
- збільшити за можливості вихідний опір каскаду;
- застосувати коливальний контур з вищою якістю $Q \approx 200 \dots 300$.

Один із варіантів такого підсилювача на біполярних транзисторах зображено на рис. 10.16.

Зворотний зв'язок за струмом (R_E) транзистора VT1 збільшує вихідний опір першого каскаду, забезпечуючи

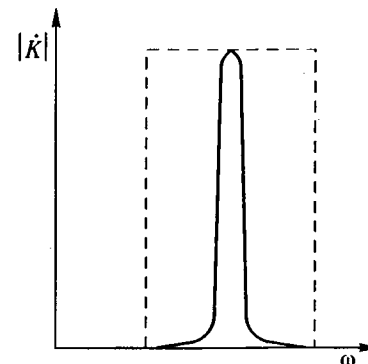


Рис. 10.18. Потрібна (штрихова лінія) й отримана АЧХ підсилювача

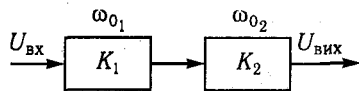


Рис. 10.19. Підсилювач з багатьма розладнаними за частотою каскадами

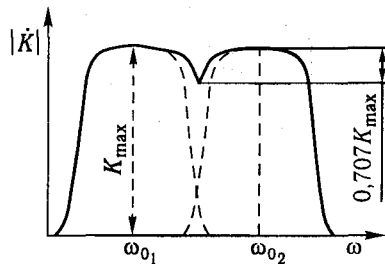


Рис. 10.20. АЧХ підсилювача з розладом

ється до сотень кілоомів, що також більше за величину $1/h_{22E}$.

Принципову схему підсилювача на польових транзисторах зображено на рис. 10.17.

За типових значень опору контуру $Z_{рез} = 100...200 \text{ кОм}$ ефект шунтування не настільки істотний і еквівалентна добротність контуру зменшується незначно (20–30 %) щодо добротності контуру, типові значення якої близько 100. Знаючи $Z_{рез}$ і Q , розрахуємо $\omega_0 L = Z_{рез} / Q \approx 1...2 \text{ кОм}$. За заданим значенням ω_0 розраховують L , а потім із формули $\omega_0 = 1/\sqrt{LC}$ визначають C .

У розглянутих схемах за високої добротності контуру отримуємо високу крутість схилу, але відносно малу смугу пропускання (рис. 10.18).

Для розширення смуги пропускання підключимо два каскади із розладнаними один щодо одного частотами (рис. 10.19).

АЧХ такого підсилювача має вигляд, наведений на рис. 10.20. Розлад частот $\omega_{02} - \omega_{01}$ вибирають так, щоб провал у характеристиці не перевищував допустимі значення, тобто $0,707 K_{max}$.

менше шунтування контуру. Навантаження підключається через емітерний повторювач, вхідний опір якого становить близько сотень кілоомів, при цьому контур більше зберігає свої якісні характеристики.

Для отримання більш якісних характеристик вибірного LC-підсилювача можна також використати польові транзистори.

Вхідний опір другого каскаду може бути отримано від 1 до 10 МОм, що на один-два порядки більше, ніж у схемі на біполярних транзисторах. Вихідний опір польових транзисторів (у цьому випадку VT1) R_i наближа-

10.3. Загальні положення теорії вибірних RC-систем

Вибірні підсилювачі LC-типу доцільно проектувати на резонансні частоти від 100 кГц і більше, при цьому параметри контуру LC-типу конструктивні: значення індуктивностей знаходяться у межах від десятків мікрогенрі до одиниць мілігенрі. За таких значень індуктивностей значення ємностей невеликі — $C = 10...1000 \text{ пФ}$. Для цих ємностей слід використовувати керамічні та слюдяні конденсатори, що мають великий опір витoku ($R_{вит} = 10...100 \text{ МОм}$). Слід зазначити, що у цьому контурі можуть бути отримані високі значення добротностей (близько 100...150).

На частотах, нижчих за 100 кГц, доцільно застосовувати RC-вибірні системи. RC-Підсилювачі будують на базі широкосмугового підсилювача і частотозалежної RC-ланки зворотного зв'язку. Одним з варіантів кола зворотного зв'язку є Т-подібний міст. Структурну схему вибірного RC-підсилювача зображено на рис. 10.21.

Смуга пропускання широкосмугового підсилювача має бути на порядок вищою, ніж квазірезонансна частота підсилювача.

Вимоги до чотириполісника кола зворотного зв'язку:

1) $|\beta| = 0$ — на частоті квазірезонансу ($\omega = \omega_0$), Φ_β — будь-яке значення (додатний або від'ємний знак);

2) на всіх інших частотах ($\omega \neq \omega_0$) $|\beta| = 1$, $\Phi_\beta = 0$ за фазового зсуву підсилювача $\Phi_K = 180^\circ$, що забезпечує негативний зворотний зв'язок у системі.

На рис. 10.22 зображено АЧХ широкосмугового підсилювача $|\dot{K}| = \Psi(f)$ та АЧХ вибірного підсилювача, отримані від-

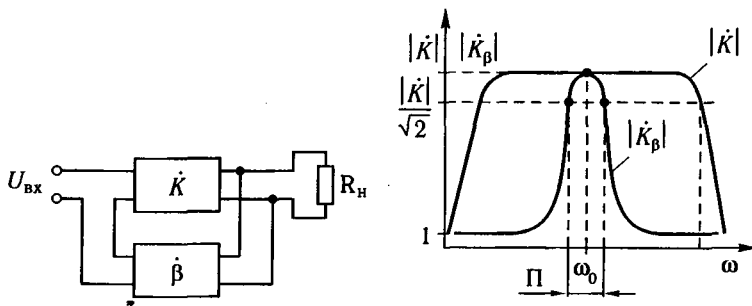


Рис. 10.21. Структурна схема вибірного RC-підсилювача

Рис. 10.22. АЧХ широкосмугового \dot{K} і вибірного \dot{K}_β підсилювачів

повідно до характеристики кола зворотного зв'язку і формули коефіцієнта підсилення підсилювача зі зворотним зв'язком \dot{K}_β :

$$\dot{K}_\beta = \frac{\dot{K}}{1 + \dot{K}\beta}$$

Якщо

$$1) \omega = \omega_0; \beta = 0; \dot{K}_\beta = \dot{K}. \quad 2) \omega \neq \omega_0; \beta = 1; \dot{K}_\beta = \frac{\dot{K}}{1 + \dot{K}} \approx 1.$$

Оскільки модуль $|\beta|$ змінюється від нуля до одиниці під час розладу від частоти квазірезонансу вліво і вправо плавно, то отримуємо типову дзвоноподібну характеристику, подібну до характеристики коливального контуру (див. рис. 10.22). На ній можна виділити смугу пропускання Π на рівні спаду характеристики $0,707|\dot{K}|$.

10.4. Подвійний Т-подібний міст.

Основні характеристики і параметри

Принципову схему подвійного Т-подібного моста зображено на рис. 10.23.

Зазвичай міст симетричний, при цьому

$$R_1 = R_3 = R; \quad C_1 = C_3 = C;$$

$$R_2 = Rn; \quad C_2 = C/n,$$

де n — параметри моста ($n = \text{const}$ для конкретного моста).

Міст можна подати у такому вигляді (рис. 10.24). Описавши цю схему рівняннями, можна визначити коефіцієнт передачі моста:

$$\frac{\dot{U}_{\text{вих}}}{\dot{U}_{\text{вх}}} = \beta(R, C, n),$$

де β — величина комплексна і подається сумою дійсної та уявної частин

$$\beta = \text{Re}(\beta) + j\text{Im}(\beta).$$

На частоті квазірезонансу $\omega = \omega_0$; $\beta = 0$. Прирівнявши уявну частину до нуля $\text{Im}(\beta) = 0$, визначають частоту квазірезонансу:

$$\omega_0 = \frac{1}{RC}.$$

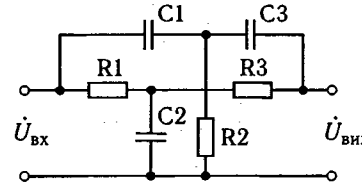


Рис. 10.23. Схема подвійного Т-подібного моста

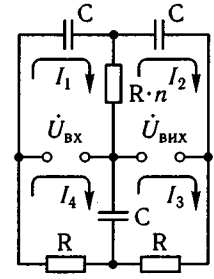


Рис. 10.24. Еквівалентна схема Т-подібного моста

Знайдемо зв'язок між β_0 і параметрами моста n , прирівнявши дійсну частину до нуля $\text{Re}(\beta(\omega_0)) = 0$,

$$\beta_0 = \frac{2n^2 - n}{1 + n + 2n^2} = 0.$$

Визначимо, за яких значень параметра моста (n) $\beta_0 = 0$. Рівняння має два корені:

1) $n_1 = 0$; цей корінь непридатний, оскільки фізично реалізувати $n = 0$ неможливо ($C_3 = \infty$);

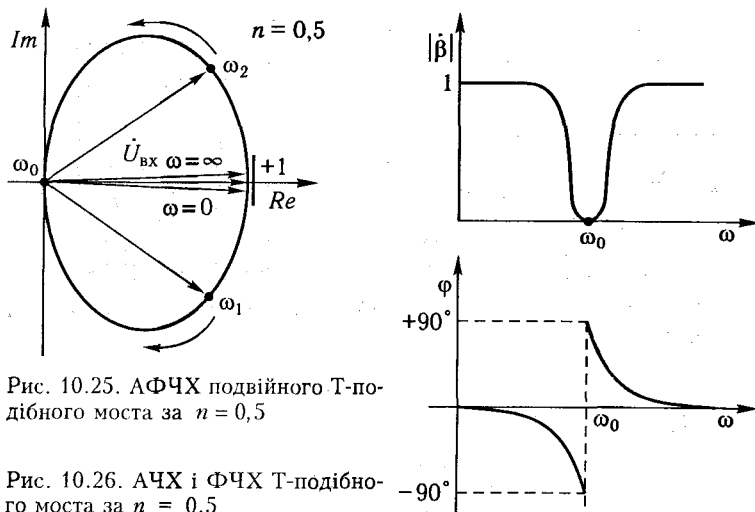
2) $n_2 = 0,5$; при цьому корені $R_3 = 0,5R$; $C_3 = 2C$.

Характеристики подвійного Т-подібного моста мають три різних види, якщо $n = 0,5$; $n < 0,5$; $n > 0,5$.

Розглянемо схему моста, коли значення параметра моста $n = 0,5$. Зробимо припущення $R_n \rightarrow \infty$ ($R_n \gg R_{\text{вих.мост}}$), міст по виходу працює в режимі холостого ходу. Такий режим роботи моста реально забезпечують відповідним узгодженням $R_{\text{вих.мост}}$ і R_n . За потреби застосовують емітерний повторювач для узгодження або каскад на польовому транзисторі. АФЧХ моста за $n = 0,5$ наведено на рис. 10.25.

При значеннях $\omega \approx 0$ $U_{\text{вих}} = U_{\text{вх}} = +1$, тобто $\beta = 1$, а при $\omega = \omega_0$ $U_{\text{вих}} = 0$, тобто $\beta = 0$, а при $\omega \rightarrow \infty$ $U_{\text{вих}} = U_{\text{вх}} = +1$, тобто $\beta = 1$. У разі наближення до частоти квазірезонансу *знизу* модуль прагне до нуля, а фазовий зсув $\varphi = -90^\circ$. У разі наближення до частоти квазірезонансу *зверху* модуль також прагне до нуля, а фазовий зсув $\varphi = +90^\circ$ (рис. 10.26).

Отже, подвійний Т-подібний міст за $n = 0,5$ задовольняє вимогам, поставленим до чотириполосника зворотного зв'язку, для отримання вибірного підсилювача $[\beta(\omega_0) = 0]$; поза смугою пропускання $\beta(\omega) \approx 1$; $\omega(\omega_0)$ може бути будь-яким, оскільки $\beta(\omega_0) = 0$; поза смугою пропускання $\varphi(\omega) \approx 0$, чим забезпечується НЗЗ при $\varphi = 180^\circ$].

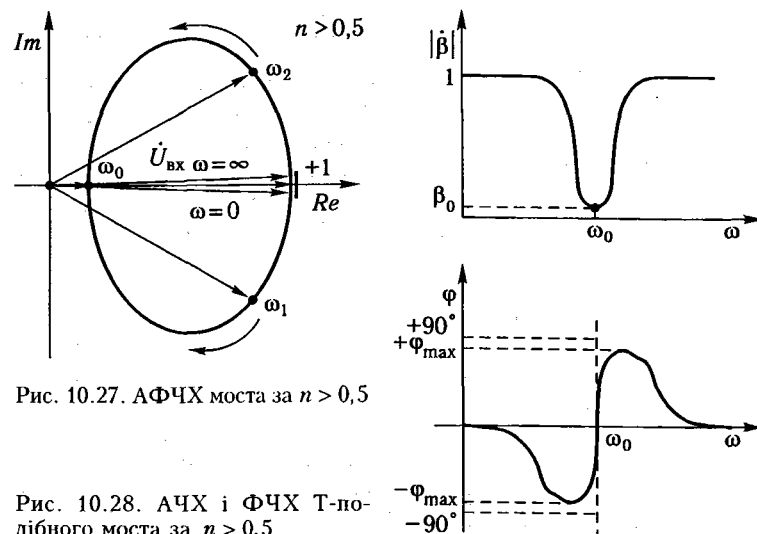


АФЧХ подвійного Т-подібного моста за $n > 0,5$ має аналогічний вигляд, однак точка, що відповідає частоті ω_0 , розміщена не в нульовій координаті, а зміщена вправо на величину, пропорційну $n = 0,5$. Вигляд АФЧХ зображено на рис. 10.27, а АЧХ і ФЧХ, що відповідають цьому випадку ($n > 0,5$), — на рис. 10.28. На частоті квазірезонансу $\varphi(\omega_0) = 0$, що за $\varphi = 180^\circ$ забезпечує НЗЗ поза смугою пропускання $\varphi(\omega) \cong 0$, отже, спостерігається також НЗЗ за $|\beta(\omega)| \cong 1$. На частоті квазірезонансу $\beta(\omega_0) \neq 0$, однак у разі невеликих відхилень n від 0,5 воно близьке до нуля, що трохи зменшує коефіцієнт підсилення вибірного підсилювача на частоті квазірезонансу. Так, K_β за $n = 0,5$ дорівнює K (коефіцієнт підсилення підсилювача без зворотного зв'язку), а за $n > 0,5$ $K_\beta < K$.

Тому міст за $n > 0,5$ також придатний для отримання селективного підсилювача за зазначеною вище структурою, однак він матиме дещо гірші вибірні властивості — меншу еквівалентну добротність і, отже, більшу смугу пропускання.

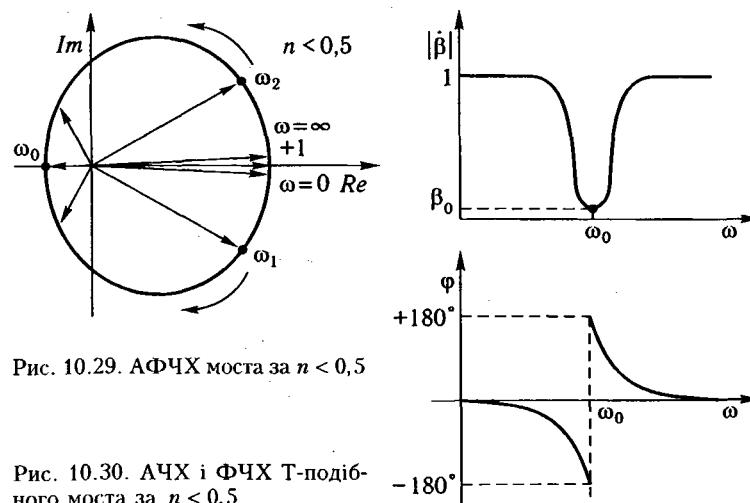
АФЧХ подвійного Т-подібного моста за $n < 0,5$ має також вигляд, аналогічний такому за $n = 0,5$, однак точка, що відповідає частоті ω_0 , зміщена вліво (рис. 10.29).

АЧХ і ФЧХ, що відповідають цьому випадку ($n < 0,5$), наведено на рис. 10.30. Як впливає із рис. 10.30, фазовий зсув моста в області частот квазірезонансу (ω_0) становить близько 180° , що відповідно до $\varphi = 180^\circ$ приводить до позитивного зворотного зв'язку ($\varphi_\Sigma = 0$, якщо $\omega = \omega_0$). Отже, по-



двійний Т-подібний міст за $n < 0,5$ непридатний для побудови вибірних підсилювачів.

Параметр моста за $n < 0,5$ використовують для побудови RC-генераторів. Для генераторних ланок коефіцієнт передачі β_0 на частоті квазірезонансу ω_0 має бути максимальним, оскільки це потребує меншого коефіцієнта підсилен-



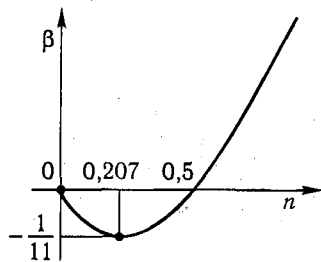


Рис. 10.31. Залежність $\beta = f(n)$

ня підсилювача для збудження ($|K\beta| \geq 1$ — умова балансу амплітуд генераторів). Це питання буде розглянуто у розд. 11.

Щоб знайти параметр n відповідного β_{\max} , візьмемо похідну і прирівняємо її до нуля: $d\beta/dn = 0$.

При цьому отримаємо один корінь $n = 0,207$, що погоджений з умовою, якщо $n < 0,5$. Залежність коефіцієнта передачі моста $\beta(n)$ має вигляд, зображений на рис. 10.31. Підставляючи n у формулу β , отримаємо $\beta_0 = -1/11$. Знак β_0 указує на фазове співвідношення моста $\varphi(\omega) \equiv \omega_0 = 180^\circ$, а модуль $1/11$ (максимальний) потребує мінімального коефіцієнта підсилення підсилювача $K \geq 11$ для збудження. Такий міст (за $n = 0,207$) буде застосовано у розд. 12 для побудови RC-генераторів.

10.5. Принципові схеми вибірних RC-підсилювачів

Принципову схему RC-генератора на польовому транзисторі з подвійним T-подібним мостом зображено на рис. 10.32. Проблема узгодження моста з вихідним і вхідним опором підсилювача розв'язується відносно просто, оскільки $R_{\text{вих}}$ становить до десятків кілоомів, а $R_{\text{вх.підс}}$ досягає одиниць

Рис. 10.32. Принципова електрична схема вибірного RC-підсилювача на польовому транзисторі

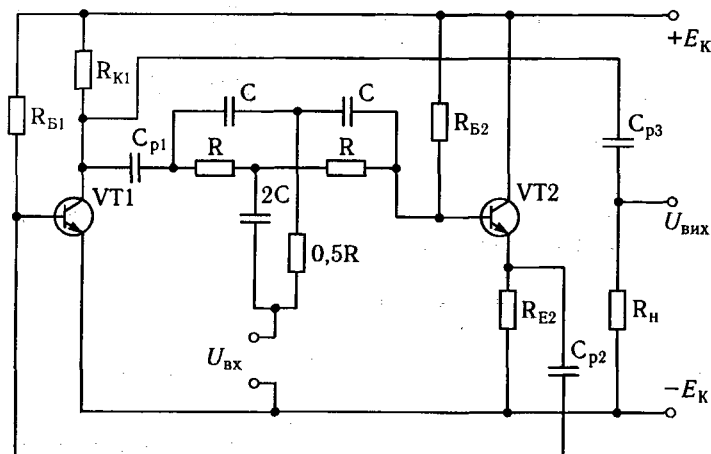
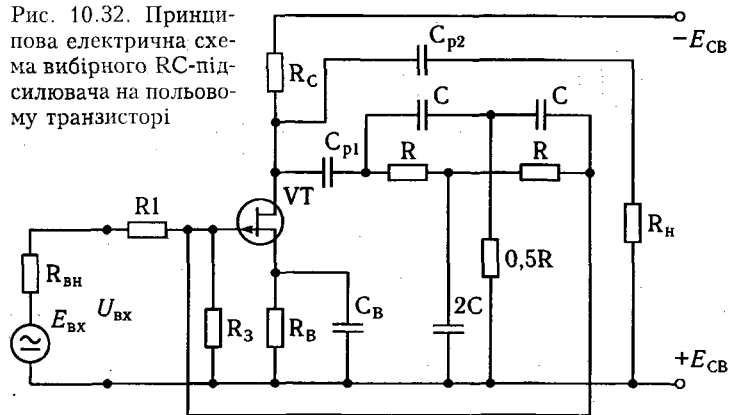


Рис. 10.33. Принципова електрична схема вибірного RC-підсилювача на біполярних транзисторах

мегаомів, що потребує $R_{\text{мос}}$ до сотень кілоомів. Міст симетричний і його вхідний та вихідний опори дорівнюють близько $0,7R$, унаслідок чого можна визначити значення резистора R . Оскільки $\omega_0 = 1/RC$, то для заданої частоти ω_0 можна розрахувати потрібне значення ємності C . Вибір параметрів RC-підсилювача розглянуто у підрозд. 2.4.

$R1$ приймають на порядок більшим, ніж вихідний опір моста ($R1 \approx 0,5 \dots 1 \text{ МОм}$), щоб уникнути шунтування моста внутрішнім опором джерела вхідного сигналу $R_{\text{вн}}$, який є відносно малим. Збільшувати значення $R1$ недоцільно, оскільки це призводить до зменшення коефіцієнта підсилення підсилювача. Аналогічне підключення моста до підсилювача на біполярних транзисторах неможливе, оскільки схема з СЕ має приблизно однакові значення вхідного і вихідного опорів.

Тому під час побудови вибірних підсилювачів на біполярних транзисторах для узгодження підсилювача з мостом слід забезпечити співвідношення вхідного і вихідного опорів підсилювача приблизно $50 \dots 100$, що можливо лише із застосуванням додаткового каскаду зі спільним колектором (емітерний повторювач). Вхідний опір емітерного повторювача досягає сотень кілоомів, тому, забезпечивши вихідний опір підсилювача (СЕ) близько одиниці кілоомів $R_K \approx 1 \text{ кОм}$, можна ввімкнути міст між ними з внутрішнім опором порядку десятків кілоомів.

Схема такого підсилювача — це широкополосовий підсилювач (СЕ), Т-подібний міст і емітерний повторювач (СК) (рис. 10.33).

Вмикання джерела сигналу $U_{\text{вх}}$ послідовно із вихідною напругою моста, так звана схема з підключенням сигналу в «піджку» моста, забезпечує НЗЗ з додаванням напруг. При цьому має виконуватися така нерівність:

$$R_{\text{вх.сиг}} \ll R_{\text{вх.мос}}$$

Розрахунок каскадів ЗЕ (VT1) і ЗК (VT2) традиційні. Виходом підсилювача є вихід транзистора VT1.

Контрольні запитання

1. Визначте резонансні опори послідовних і паралельного коливальних контурів та поясніть, який контур можна розглядати як підсилювач напруги, а який — як підсилювач струму, чому?
2. Намалюйте електричну модель вибірного підсилювача LC-типу, при заданій добротності контуру Q визначте еквівалентну добротність підсилювача Q_E та його смугу пропускання.
3. Сформулюйте вимоги до частотних характеристик чотириполюсника зворотного зв'язку вибірних RC-систем. Намалюйте АЧХ RC-вибірного підсилювача разом з АЧХ широкополосного підсилювача та АЧХ чотириполюсника зворотного зв'язку.
4. Наведіть частотні характеристики подвійного Т-подібного моста за $n = 0,5$; $n > 0,5$; $n < 0,5$ і поясніть можливі варіанти його застосування для вибірних підсилювачів.

Розділ 11 ГЕНЕРАТОРИ ПЕРІОДИЧНИХ КОЛИВАНЬ LC-ТИПУ

11.1. Методи аналізу умов збудження генераторів

Генератор — пристрій, що перетворює енергію джерела постійної напруги (джерела живлення) на незгасаючі коливання потрібної форми, амплітуди і частоти.

За формою незгасаючі коливання бувають:

- синусоїдальні (гармонійні);
- імпульсні (прямокутні, трикутні, трапецеїдальні та ін.).

Розрізняють три типи генераторів:

- генератори на базі елементів з негативним опором (генератори на базі тунельних діодів);
- генератори на базі з вузькою смугою пропускання підсилювачів LC-типу і частотонезалежного кола зворотного зв'язку;
- генератори на базі широкосмугових RC-підсилювачів і частотозалежної ланки зворотного зв'язку.

На високих частотах (понад 100 кГц) застосовують генератори LC-типу, оскільки параметри контуру конструктивні, а на нижчих частотах (менше ніж 100 кГц) — генератори RC-типу, де замість контуру використовують RC-ланки.

Для аналізу умов збудження генератора можна використати класичний метод. Кожний генератор описується системою диференціальних рівнянь, а розв'язок системи визначає умови балансу фаз і амплітуд.

Для цього використовують метод Рауса — Гурвіца. Генератор описується системою диференціальних рівнянь, для якої складають визначник, вирішуючи, які слід встановити умови балансів фаз і амплітуд. Крім того, застосовують методи операторного опору та операторної провідності. До певних точок моделі генератора знаходять операторний опір $Z(P)$ або провідність $G(P)$ і прирівнюють їх до нуля: $Z(P) = 0$ або $G(P) = 0$. З отриманих характеристичних рівнянь визначають корені та встановлюють умови балансів фаз і амплітуд.

В електроніці широко застосовують метод Найквіста — Михайлова, суть якого полягає в тому, що за виглядом АФЧХ

розімкненої системи можна оцінювати стійкість замкненої. Якщо АФЧХ розімкненої системи охоплює точку з координатами $(+1; j0)$ при $U_{вх} = +1$, то замкнена система нестійка.

Коефіцієнт підсилення підсилювача з позитивним зворотним зв'язком

$$\dot{K}_{\beta} = \frac{\dot{K}}{1 - \beta \dot{K}},$$

де \dot{K} і β — відповідно комплексні коефіцієнти передачі підсилювача і зворотного зв'язку. Якщо

$$1 - \beta \dot{K} = 0, \text{ то } \dot{K}_{\beta} \rightarrow \infty.$$

Отже,

$$1 - \beta \dot{K} = 0 \text{ — умова збудження генераторів,}$$

або

$$\dot{K}\beta \geq 1,$$

де $\dot{K} = |\dot{K}|e^{j\varphi_{\text{підс}}}$, $\beta = |\beta|e^{j\psi_{33}}$.

$$\text{Звідси дістанемо: } |\dot{K}||\beta|e^{j(\varphi_{\text{підс}} + \psi_{33})} \geq 1.$$

Із комплексного виразу маємо дві умови збудження генераторів:

- 1) $\varphi_{\text{підс}} + \psi_{33} = 360^\circ n$ — баланс фаз, де n — будь-яке ціле число;
- 2) $|\dot{K}||\beta| \geq 1$ — баланс амплітуд.

Нехай на будь-якій частоті ω_1 сумарний фазовий зсув дорівнює нулю, тому умова балансу фаз виконується (таких частот може бути кілька). Однак ця умова (баланс фаз) є необхідною, але недостатньою. Якщо на цій частоті виконується також баланс амплітуд, то на цій частоті відбудеться збудження генератора. Підсилювач з трьома і більше каскадами зі зворотним зв'язком за фазою потенційно нестійкий, оскільки його АФЧХ перетинає реальну вісь у двох точках, що відповідають низькій і високій частотам. На кожній частоті, в якій виконується баланс фаз, слід перевірити виконання умови балансу амплі-

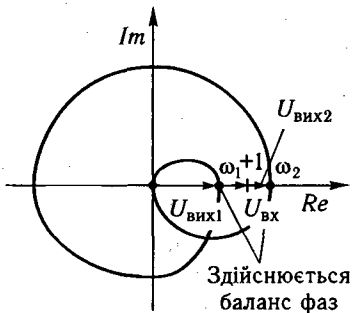


Рис. 11.1. АФЧХ розімкненої системи

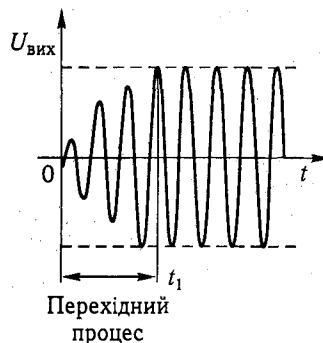


Рис. 11.2. Вихідна напруга генератора

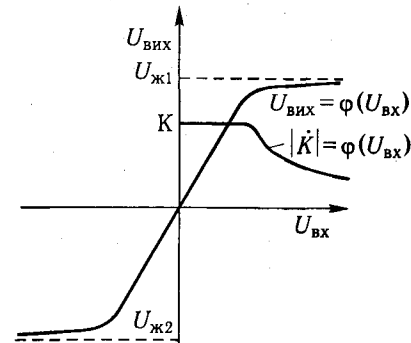


Рис. 11.3. Амплітудна характеристика підсилювального каскаду

туд. Якщо хоча б на одній із них $|\dot{K}||\beta| \geq 1$, то замкнена система нестійка.

АФЧХ розімкненої системи шостого порядку (підсилювач на трьох каскадах з частотозалежним зворотним зв'язком) зображено на рис. 11.1. Така система за фазою потенційно нестійка, оскільки на двох частотах (ω_1 і ω_2) виконуються умови балансу фаз $[U_{\text{вих1}}(\omega_1)$ і $U_{\text{вих2}}(\omega_2)$ у фазі з $U_{\text{вх}} = +1$]. Для визначення умов збудження замкненої системи перевіримо виконання балансу амплітуд.

На частоті ω_1 $|\dot{K}||\beta| < 1$ баланс амплітуд не відбувається, тому на частоті ω_1 генератор не збуджується, а на частоті ω_2 $|\dot{K}||\beta| > 1$ спостерігається баланс амплітуд, отже, на цій частоті генератор збуджується. Напруга на виході генератора після його вмикання ($t = 0$) має вигляд, зображений на рис. 11.2.

Після закінчення перехідного процесу (після t_1) настає установлений режим роботи, де $|\dot{K}_{\text{уст}}||\beta| = 1$. Цей процес забезпечується нелінійністю амплітудної характеристики підсилювача, за рахунок якої зі зростанням вихідної напруги зменшується коефіцієнт підсилення підсилювального каскаду (рис. 11.3).

11.2. LC-Генератор на польовому транзисторі з контуром у колі затвора

Схему генератора з контуром у колі затвора зображено на рис. 11.4. Позитивний зворотний зв'язок визначається зустрічним вмиканням котушок (* — початок обмотки). Отже, ба-

ланс фаз виконується за $\varphi_{\text{підс}} = 180^\circ$. Баланс амплітуд визначається коефіцієнтом підсилення транзисторного каскаду та коефіцієнтом взаємодуції M , який залежить від ступеня зв'язку (відстані) між котушками.

Контур доцільно підключати в ланку затвора, щоб його вихідний опір R_i не шунтував транзистор. У цьому випадку він забезпечує шунтування опором витікання транзистора, величина якого на два порядки більша ніж R_i (десятки мегаомів). Баланс амплітуд за сталого коефіцієнта підсилення каскаду $|K| = \text{const}$ забезпечується коефіцієнтом взаємодуції M . Його підбирають так, щоб генератор надійно збуджувався, тобто баланс амплітуд виконувався із запасом $|K||\beta| \approx 1,2 \dots 1,25$.

Напругу генератора знімають з контуру, оскільки завдяки його фільтрувальним властивостям вона близька до синусоїдальної. Для того щоб не замикати контур опором навантаження і не погіршувати його добротність, навантаження підключають до контуру через витоковий повторювач. Розрахунок генератора проводять традиційно, враховуючи режим роботи генератора за постійним і змінним струмами.

Розглянемо режим за постійним струмом. Навантажувальна лінія проходить майже вертикально, оскільки опір котушки зв'язку за постійним струмом практично дорівнює нулю (рис. 11.5). Вибравши робочу точку в центрі робочої області, встановлюють напругу зсуву (для точки O

$U_{3B_{\Pi}} = +2 \text{ В}$) і розраховують R_B $\left(R_B = \frac{U_{3B_{\Pi}}}{I_{C_{\Pi}}} \right)$. Визначають параметри транзистора S , R_i і μ в робочій точці O

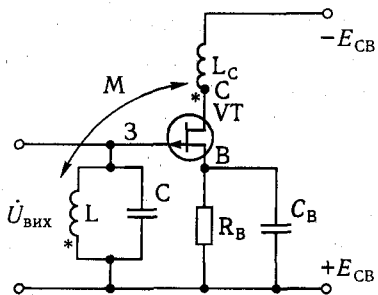


Рис. 11.4. Схема LC-генератора на польовому транзисторі

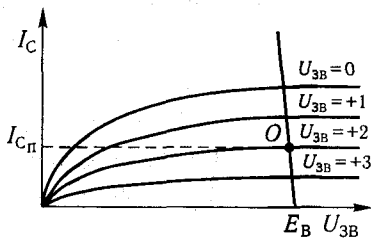
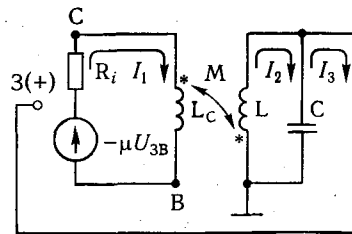


Рис. 11.5. Режим за постійним струмом ПТ

Рис. 11.6. Лінійна електрична модель LC-генератора

і складають лінійну електричну модель генератора для його розрахунку за змінним струмом (рис. 11.6).

Описавши цю модель і розв'язавши систему рівнянь, визначимо корені. За уявною частиною кореня визначають також частоту збудження генератора, а за дійсною частиною кореня — баланс амплітуд (якщо дійсна частина кореня позитивна — система стійка, якщо негативна — система нестійка).



11.3. LC-Генератори на біполярних транзисторах

Схему LC-генератора з контуром у колі колектора зображено на рис. 11.7. Генератор збуджується на частоті $f \approx 1/\sqrt{L_K C_K}$. Ця схема подібна до схеми генератора на польовому транзисторі, в якій контур і котушку зв'язку поміняли місцями. Конденсатор C_B призначено для шунтування за змінним струмом точки 1, щоб напруга зворотного зв'язку без втрат на R_2 передавалася переходові база—емітер транзистора. Елементи R_E , R_{Φ} , R_1 і R_2 забезпечують необхідний коефіцієнт температурної нестабільності схеми S . В іншій роботі схеми не відрізняється від розглянутої в підрозд. 11.2.

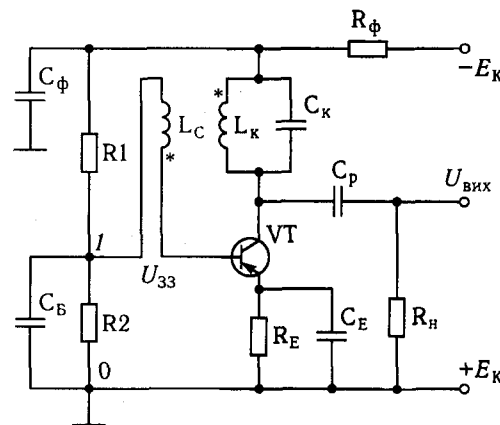


Рис. 11.7. Схема генератора з контуром у колі колектора

Схему генератора розраховують у такій послідовності:

- розраховують схему за постійним струмом;
- визначають h -параметри моделі транзистора;
- складають лінійну модель генератора, проводять аналіз цієї моделі, встановлюють умови балансів фаз і амплітуд.

Схему генератора на транзисторі, підключеному за схемою зі спільною базою (ємнісна триточка), зображено на рис. 11.8. Позитивний зворотний зв'язок здійснюється за рахунок ємнісного подільника C_1, C_2 . Напряга U_{C_1} є виходом подільника U_{12} і надходить на емітер транзистора (СБ). На вхід подільника (1–3) подається вихідна напруга підсилювача. Частота резонансу визначається еквівалентною ємністю:

$$C_{\text{екв}} = \frac{C_1 C_2}{C_1 + C_2}.$$

Схема зі спільною базою має фазовий зсув $\varphi_k = 0^\circ$, тому для виконання балансу фаз фазовий зсув ланки зворотного зв'язку має бути $\varphi_{33} = 0^\circ$, що забезпечується подільником напруги C_1, C_2 . Коефіцієнт передачі подільника

$$\beta = U_{12}/U_{13};$$

$$\beta = \frac{\frac{1}{\omega C_1}}{\frac{1}{\omega C_1} + \frac{1}{\omega C_2}} = \frac{\frac{1}{C_1}}{\frac{1}{C_1} + \frac{1}{C_2}} = \frac{\frac{1}{C_1}}{\frac{C_1 + C_2}{C_1 C_2}} = \frac{C_2}{C_1 + C_2}.$$

Якщо $C_1 \gg C_2$, то $\beta = C_2/C_1$.

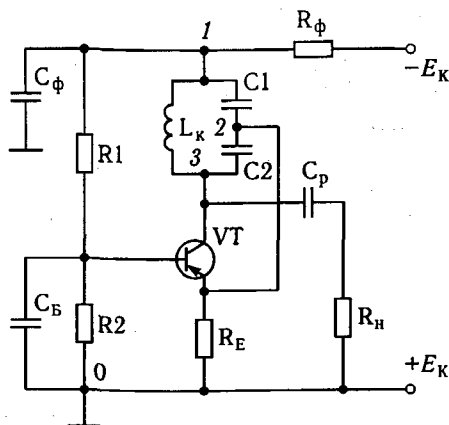


Рис. 11.8. Схема із загальною базою (ємнісна триточка)

$K_U > 1/\beta$ — умова балансу амплітуд. Коефіцієнт підсилення підсилювача вибирають із запасом 20–30 % і регулюванням коефіцієнта підсилення домагаються збудження генератора.

Баланс амплітуд можна записати за струмом і за напругою.

Для балансу амплітуд за струмом $\alpha < 1$, тому коефіцієнт підсилення каскаду за струмом $K_I < 1$, тоді потрібно, щоб коефіцієнт передачі за струмом кола зворотного зв'язку $K_{I\beta} > 1$. У цій схемі це забезпечує ефект підсилення струму в паралельному коливальному контурі на резонансній частоті за рахунок резонансу струмів (див. підрозд. 10.1):

$$I_L = QI_{\text{конт}};$$

$$I_C \approx QI_{\text{конт}}.$$

Для побудови LC-генераторів використовують також схему зі спільним колектором (індуктивна триточка). Принципову схему індуктивної триточки зображено на рис. 11.9.

Входом кола зворотного зв'язку є затискачі 1–0 (нижні витки котушки L), виходом ланки зворотного зв'язку є затискачі 2–0 (уся котушка L). Оскільки $K_U \text{ підс} < 1$ (схема з СК), то потрібно, щоб $\beta = \frac{U_{\text{вих 33}}}{U_{\text{вх 33}}} > 1$. За рахунок підвищення напруги на котушці ($U_{20} > U_{10}$) значення $\beta > 1$, при цьому спостерігається баланс амплітуд.

Після вмикання генератора баланс амплітуд має значний запас і починається зростання амплітуди вихідної напруги генератора (рис. 11.10).

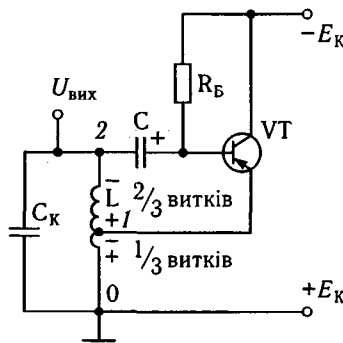


Рис. 11.9. Схема із загальним колектором (індуктивна триточка)

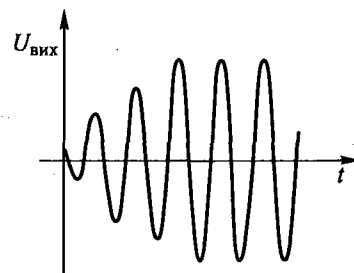


Рис. 11.10. Вихідна напруга генератора

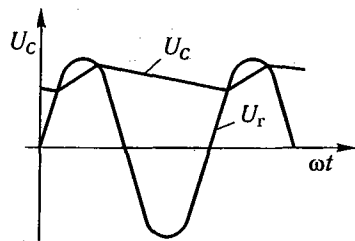


Рис. 11.11. Напруга на конденсаторі ланки автоматичного зсуву

Конденсатор C і резистор R_B утворюють коло автоматичного зсуву. До збудження генератора робоча точка транзистора за постійним струмом визначається резистором R_B і

знаходиться в центрі (лінійній області) вхідних і вихідних характеристик.

Після збудження генератора синусоїдальна напруга з частоти контуру через перехід емітер — база ($p-n$), який є діодом, заряджає конденсатор C . Тому маємо випрямлення за один півперіод та емнісну реакцію (рис. 11.11). Конденсатор C розряджається через резистор R_B , причому $\tau_{розр} = R_B C \gg \tau_{зар}$, $\tau_{зар} = r_{прЕБ} C$. Полярність напруги на конденсаторі C є замикаючою (плюс на базу щодо емітера), тому під час зростання напруги генератора напруга на конденсаторі пропорційно зростає і замикає транзистор, зміщуючи робочу точку за постійним струмом униз, тобто зменшуючи коефіцієнт підсилення каскаду. Процес триватиме до виконання в усталеному режимі балансу амплітуд ($|K||\beta| = 1$).

Що більший початковий запас для збудження, то більші $U_{вих}$ генератора та U_C і сильніший зсув робочої точки каскаду до відсікання, що забезпечує великі нелінійні спотворення струму колектора. Однак, знімаючи вихідну напругу з контуру, який характеризується добрими фільтрувальними властивостями, отримуємо вихідну напругу практично синусоїдальної форми.

Контрольні запитання

1. Яка фізична суть умови збудження генераторів? Назвіть умови балансів фаз і амплітуд.
2. Чому в схемі генератора на польовому транзисторі контур доцільно підключати в коло затвора?
3. Намалюйте схеми LC-генераторів на транзисторі зі спільною базою (емнісна триточка), зі спільним колектором (індуктивна триточка). Виділіть у них ланки зворотного зв'язку, визначте їхній фактор. Установіть функції контурів у генераторах, що здійснюють підсилення струму або напруги.

Розділ 12 RC-ГЕНЕРАТОРИ

12.1. Загальні положення теорії RC-генераторів

Як уже зазначалося, для вибірних RC-систем та для генераторів за частоти коливання менше ніж 100 кГц доцільно застосовувати RC-генератори. Структурну схему RC-генератора зображено на рис. 12.1.

Для коефіцієнта підсилення широкосмугового RC-підсилювача K і залежного від частоти коефіцієнта передачі ланки позитивного зворотного зв'язку α умови балансів амплітуд (БА) і фаз (БФ) мають вигляд:

$$|K||\alpha| \geq 1;$$

$$\varphi_{підс} + \varphi_{зз} = 360^\circ n,$$

де n — будь-яке ціле число.

Умови балансів амплітуд в усталених режимах за різних значень запасу для гарантованого збудження та нелінійних спотворень вихідної напруги генератора ілюструє рис. 12.2, де 1 — амплітудна характеристика підсилювача $U_{вих m} = \varphi(U_{вх m})$, 2 — ця сама характеристика у вигляді $|K| = \Psi(U_{вх m})$, 3 — коефіцієнт нелінійних спотворень $\gamma = \xi(U_{вх m})$.

Для гарантованого збудження генератора встановлюється початковий запас коефіцієнта підсилення 20–30 %, оскільки в точці A_1 усталений коефіцієнт підсилення $K_{уст1}$ зменшується приблизно на 20 %. Якщо запас для гарантованого збудження прийняти більшим, наприклад 40 %-м, то сталий режим буде в точці A_2 . При цьому величина нелінійних спотворень γ_2 буде більшою ніж γ_1 (див. рис. 12.2).

Під час розрахунку RC-генераторів за заданими значеннями нелінійних спотворень γ вибирають початковий запас $|K|$ для збудження, однак для надійного збудження генераторів він має становити не менше ніж 10–15 %.

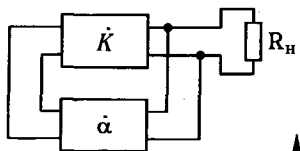
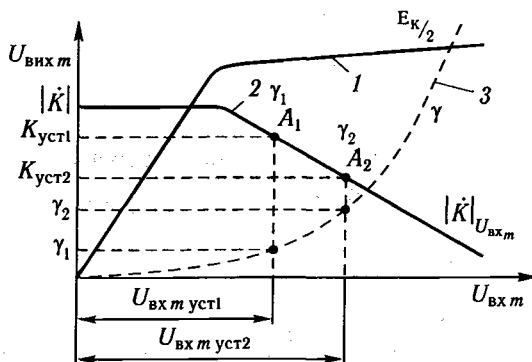


Рис. 12.1. Структурна схема RC-генератора

Рис. 12.2. Вплив початкового запасу збудження на характеристики генератора



12.2. RC-Генератори з фазообертальними на 180° ланками

Принципову схему фазообертача із трьох ланок зображено на рис. 12.3. Стала часу кожної ланки однакова за будь-якого значення a і дорівнює $\tau = RC$. Для отримання фазового зсуву на 180° для кожної ланки фазовий зсув має бути 60°, звідки вибирають параметри резистора R і конденсатора C . Коефіцієнт передачі ланки:

$$\alpha = \frac{U_{\text{вих}}}{U_{\text{вх}}} = \text{Re}(\alpha) + j\text{Im}(\alpha).$$

Щоб фазовий зсув ланки дорівнював 180°, потрібні такі умови:

$$\text{Im}(\alpha) = 0;$$

$$\text{Re}(\alpha) < 0.$$

Прирівнявши значення уявної частини коефіцієнта передачі α до нуля $\text{Im}(\alpha) = 0$, дістанемо вираз для частоти квазірезонансу ω_0 :

$$\omega_0 = \frac{1}{RC\sqrt{3 + \frac{2}{a} + \frac{1}{a^2}}}.$$

Якщо прийняти значення параметра ланки $a = 1$, то $\omega_0 = \frac{1}{RC\sqrt{6}}$.

Значення дійсної частини α за квазірезонансу (ω_0) визначають із виразу

$$\alpha(\omega_0) = -\frac{1}{\left(8 + \frac{12}{a} + \frac{7}{a^2} + \frac{2}{a^3}\right)}.$$

Якщо $a = 1$, дістанемо $\alpha(\omega_0) = -1/29$. Отже, за параметра ланки $a = 1$ для збудження генератора потрібний коефіцієнт підсилення підсилювача понад 29.

Значення потрібних коефіцієнтів підсилення підсилювача для збудження генератора з трьохелементною ланкою залежно від параметра ланки a подані на рис. 12.4.

Із результатів, наведених на рис. 12.3, випливає, що доцільно застосовувати ланки з параметром $a = 1 \dots 2$.

RC-Генератор із трьохелементною фазообертальною ланкою. Принципову схему RC-генератора з трьохелементною фазообертальною ланкою зображено на рис. 12.5. Функцію резистора затвора R_3 виконує резистор Ra^2 . Для узгодження вхідного опору кола з вихідним опором підсилювача необхідне виконання умови:

$$R_{\text{вх.лан}} \gg R_{\text{вих.підс.}}$$

Якщо $R_C = 10$ кОм, то $R_{\text{вих.підс}} \approx 10$ кОм, отже, вхідний опір ланки має бути $R_{\text{вх.лан}} \approx 50 \dots 100$ кОм. Тому величина

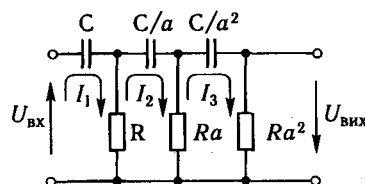


Рис. 12.3. Трьохелементна фазообертальна ланка

Рис. 12.4. Залежність зворотної величини коефіцієнта передачі ланки від параметра a

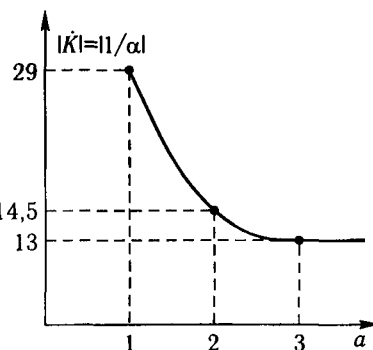
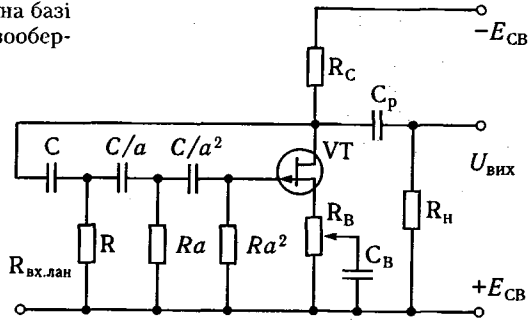


Рис. 12.5. Генератор на базі трьохелементної фазообертальної ланки



резистора $R \approx 50 \dots 100 \text{ кОм}$, а $R_{\text{вх.лан}} \approx R = 50 \dots 100 \text{ кОм}$. Оскільки $R_{\text{вх.лан}}$ близько $(1 \dots 3) R$, а $R_{\text{вх.т}}$ (польового транзистора) — порядку десятків мегаомів, то вони узгоджуються ідеально. Плавне регулювання коефіцієнта підсилення підсилювача виконує резистор зворотного зв'язку R_B .

Принципову схему такого самого генератора на біполярних транзисторах зображено на рис. 12.6. Для виконання умов узгодження опорів підсилювача і ланки потрібний додатковий каскад — витоківий повторювач. Аналогічні питання узгодження розглянуті в підрозд. 10.5.

RC-Генератор з подвійним Т-подібним мостом. Як другий варіант фазообертальної ланки на 180° може бути застосований подвійний Т-подібний міст із параметром $n = 0,2$. Побудувати генератор синусоїдальних коливань з подвійним Т-подібним мостом можна як на транзисторах, так і на операційних підсилювачах. Тому слід виконати умови балансів фаз і амплітуд. На транзисторах генератор можна отримати за різних комбінацій підключення транзисторів, але при цьому загальний фазовий зсув має дорівнювати 180° . Принципові схеми аналогічні наведеним на рис. 12.5 і 12.6, у яких замість трьохелементної ланки підключається подвійний Т-подібний міст.

На операційному підсилювачі Т-подібний міст підключається в ланку зворотного зв'язку підсилювача на вході з інвертуванням, при цьому фактор зворотного зв'язку має відповідати умові балансу амплітуд: $|\dot{K}||\beta| \geq 1$. Як уже зазначалося, в усталеному режимі $|\dot{K}||\beta| = 1$.

Оскільки значення коефіцієнта підсилення підсилювача з позитивним зворотним зв'язком $\dot{K}_\alpha = \frac{\dot{K}}{1 - \dot{K}\alpha}$, а значення кое-

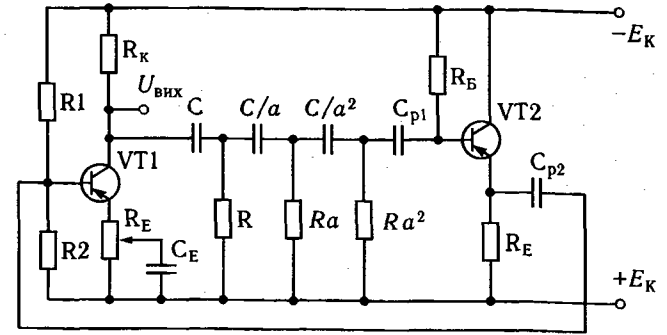


Рис. 12.6. Генератор із трьохелементною ланкою на біполярних транзисторах

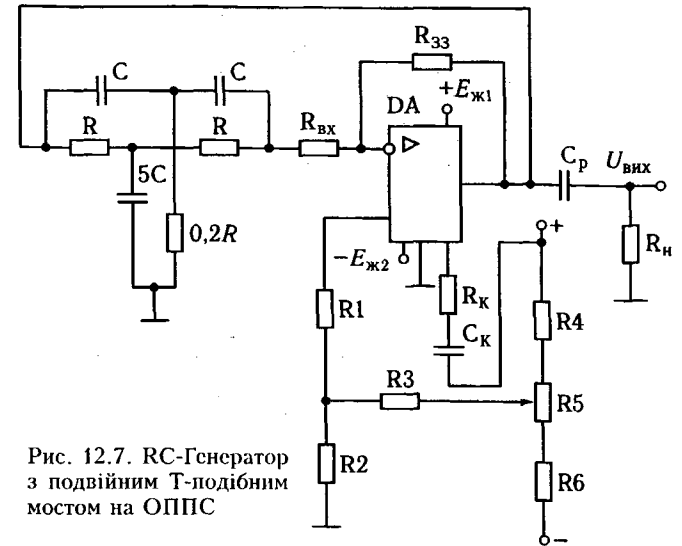


Рис. 12.7. RC-Генератор з подвійним Т-подібним мостом на ОППС

фіцієнта передачі моста при $n = 0,207$ дорівнює $|\alpha| = -1/11$ (див. підрозд. 10.4), то потрібний коефіцієнт підсилення підсилювача $|\dot{K}| > 11$ за фазового зсуву $\varphi_{\text{підс}} = 180^\circ$. Отже, міст потрібно підключати у вхід підсилювача з інвертуванням сигналу та забезпечити $K_U = -\frac{R_{33}}{R_{\text{вх}}} \approx -(13 - 14)$ для гарантованого збудження.

Питання узгодження моста з вихідним і вхідним опорами підсилювача та вибір величини резистора R моста вирішують аналогічно розглянутим у підрозд. 10.5. Розрахунки резисторів $R1$, схеми установки нуля ($R2$, $R3$, $R4$, $R5$, $R6$) та ланки частотної корекції (R_k , C_k) описано в підрозд. 8.5.

Принципову схему генератора на ОПС зображено на рис. 12.7.

12.3. RC-Генератор з нульовим фазообертачем

Для створення RC-генераторів часто застосовують RC-ланки (послідовно-паралельного типу) з нульовим фазовим зсувом на частоті квазірезонансу. Така ланка має відносно високий коефіцієнт передачі ($\alpha = 1/3$), що потребує менших коефіцієнтів підсилення підсилювача для збудження. Схему такої ланки зображено на рис. 12.8.

Векторну діаграму RC-ланки з нульовим фазовим зсувом зображено на рис. 12.9. Задавшись вектором вихідної напруги $\dot{U}_{\text{вих}} (\dot{U}_{12})$, встановлюємо напрям струмів через резистор \dot{I}_{R2} і конденсатор \dot{I}_{C2} , сума яких \dot{I} визначає струм через $R1$ та $C1$ ланки. Побудуємо вектори напруг \dot{I}_{R1} і конденсатор \dot{I}_{C1} (\dot{U}_{24} , \dot{U}_{43}), та, додавши їх до $\dot{U}_{\text{вих}} (\dot{U}_{12})$, отримаємо вектор вихідної напруги $\dot{U}_{\text{вх}} (\dot{U}_{13})$. З діаграми випливає, що $\dot{U}_{\text{вх}}$ та $\dot{U}_{\text{вх}}$ у фазі $\dot{U}_{\text{вх}}$ становить $\frac{1}{3} \dot{U}_{\text{вх}}$.

Оскільки для виконання умови балансу амплітуд під час використання цієї ланки коефіцієнт підсилення має бути більшим ніж три (фазовий зсув дорівнює нулю), то часто використовують підсилювачі з позитивним і додатково негативним зворотними зв'язками. Структурну схему такого генератора зображено на рис. 12.10.

НЗЗ забезпечує стабільність коефіцієнта передачі і його потрібне значення ($K_U \approx 3,4 \dots 3,6$), а ПЗЗ — збудження генератора на частотах, близьких до частоти квазірезонансу ланки. Принципову схему генератора з нульовою RC-ланкою зображено на рис. 12.11.

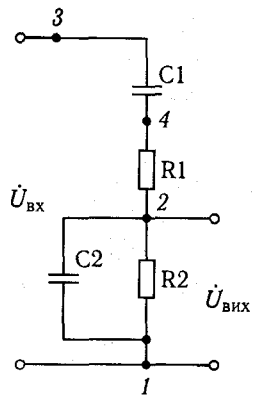


Рис. 12.8. RC-Ланка з нульовим фазовим зсувом

Рис. 12.9. Векторна діаграма RC-ланки з нульовим фазовим зсувом

Коефіцієнт підсилення підсилювача на вході без інвертування сигналу

$$K_{U_{\text{неінв}}} = 1 + K_{U_{\text{інв}}} = 1 + \frac{R_2}{R_1}$$

Він має бути більшим ніж три для забезпечення збудження генератора, наприклад 3,4. Тоді $K_{U_{\text{інв}}} = \frac{R_2}{R_1}$ становитиме 2,4.

За умови ПЗЗ коефіцієнт підсилення на вході без інвертування:

$$K_{U_{\text{неінв}}} = \frac{K_{U_{\text{інв}}}}{1 - \alpha K_{U_{\text{інв}}}}$$

Звідси випливає, що на частоті квазірезонансу коефіцієнт підсилення підсилювача, охопленого ПЗЗ, може змінюватися від $K_{U_{\text{інв}}}$ (якщо $\alpha = 0$) до ∞ (якщо $K_{U_{\text{інв}}} \alpha = 1$).

Глибока НЗЗ забезпечує високу стійкість підсилювача, внаслідок чого смуга пропускання такого підсилювача може досягати кількох герців, що дуже важливо під час роботи на низьких частотах. Єдина вимога у процесі побудови таких систем — точний підбір елементів, оскільки нестабільність добротності $\Delta Q / Q$ дорівнює точності підбору елементів RC-ланки.

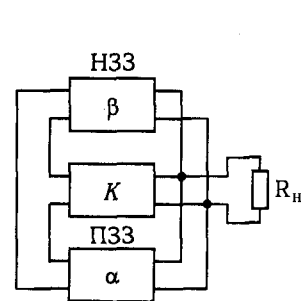
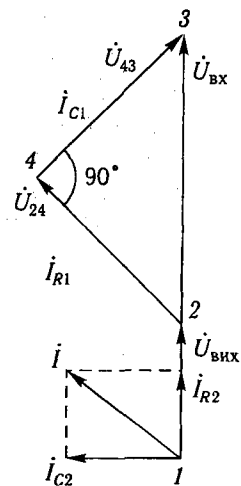


Рис. 12.10. Структурна схема генератора

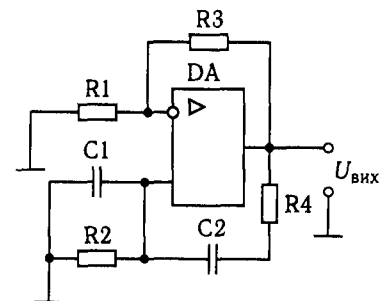


Рис. 12.11. Схема генератора з нульовою RC-ланкою

Під час виконання балансу амплітуд $K\alpha \geq 1$ підсилювач перетворюється на RC-генератор, форма напруги в якому залежить від величини $K\alpha$. За $K\alpha$, близьких до одиниці, дістанемо синусоїдальну форму вихідної напруги. Якщо значення $K\alpha$ більше ніж одиниця, то під час виконання умови балансу амплітуд в усталеному режимі за рахунок відсікання підсилювача отримуємо несинусоїдальний сигнал. Тому рекомендований запас збудження в RC-генераторі становить 10–15 %.

З умов збудження можна встановити зв'язок між факторами позитивного і негативного зворотних зв'язків:

$$\frac{K\alpha}{1+\beta K} \geq 1; \quad K\alpha = 1 + \beta K;$$

$$\alpha = \frac{1}{K}, \text{ якщо } K \gg 1, \text{ то } \alpha \approx \beta.$$

Контрольні запитання

1. Назвіть умови збудження RC-генераторів. Який вплив запасу щодо збудження на форму вихідної напруги генератора?
2. Намалюйте види АФЧХ розімкненої системи RC-генератора, що відповідають моменту вмикання генератора та усталеному режиму. За рахунок чого (якого параметра) системи в усталеному режимі виконується баланс амплітуд за початкового запасу щодо збудження ($K\beta > 1$)?
3. Як установити оптимальне значення параметра подвійного Т-подібного моста n у генераторі? Як забезпечити узгодження подвійного Т-подібного моста з підсилювачем на біполярних транзисторах?

ЧАСТИНА 2 ІМПУЛЬСНІ ПРИБОРИ

Розділ 13 RC-ЛАНКИ ПІД ЧАС ІМПУЛЬСНОГО ВПЛИВУ. ФОРМУВАЧІ ПРЯМОКУТНИХ ІМПУЛЬСІВ

13.1. Імпульси, класифікація, характеристика, параметри

Імпульс — короткочасна зміна напруги або струму в електричному колі. Імпульси за формою бувають різні: прямокутні (рис. 13.1, а), трикутні (рис. 13.1, б), трапецеїдальні (рис. 13.1, в), експоненціальні (рис. 13.1, г) та ін., можуть бути також однієї (а) та різної (б) полярності (рис. 13.2). Імпульси однієї полярності можуть бути позитивними й негативними. Для отримання імпульсних послідовностей різної форми, частоти й амплітуди застосовують спеціальні генератори.

Приклад реального позитивного прямокутного імпульсу напруги $U(t)$ наведено на рис. 13.3.

Основними характеристиками і параметрами імпульсів є:

- 1) амплітуда імпульсу $U_m = A$;
- 2) активна тривалість імпульсу (вимірюється на рівні $0,1A$) $t_{\text{ім}}$;
- 3) крутість фронту $S_{\text{ф}} = \frac{dU}{dt} \approx \frac{U_m}{t_{\text{ф}}}$;
- 4) крутість спаду $S_{\text{сп}} = \frac{dU}{dt} \approx \frac{U_m}{t_{\text{сп}}}$;
- 5) спотворення «даху» (спад вершини) імпульсу ΔU , що оцінюється відношенням $\frac{\Delta U}{U_m} 100 \%$;
- 6) амплітуда зворотного викиду $U_{\text{мзв}}$;
- 7) тривалість зворотного викиду $t_{\text{зв}}$ (вимірюється на рівні $0,1U_{\text{мзв}}$);
- 8) потужність імпульсу $P = W / t_{\text{ім}}$, де W , $t_{\text{ім}}$ — енергія і тривалість імпульсу.

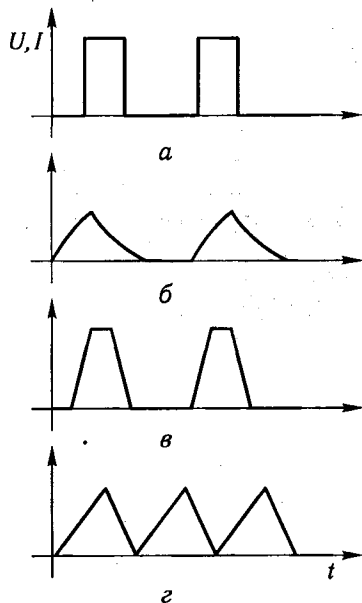


Рис. 13.1. Приклади імпульсів різних форм

Рис. 13.2. Імпульси різних полярностей:
а – негативні; б – двополярні

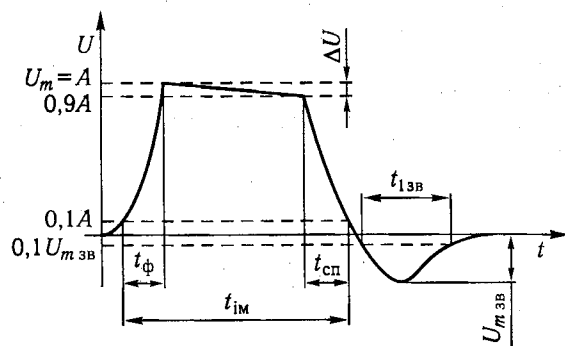
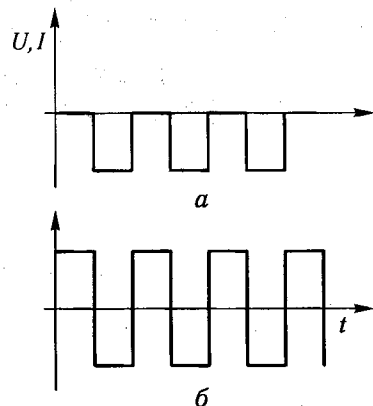


Рис. 13.3. Приклад реального імпульсу

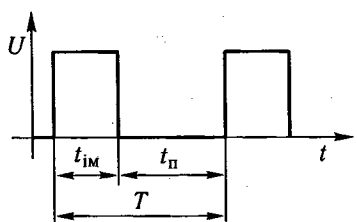


Рис. 13.4. Імпульсна послідовність

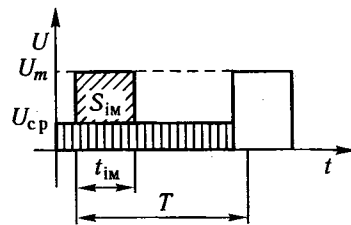


Рис. 13.5. Визначення середнього значення імпульсу

Періодично повторювані імпульси утворюють імпульсну послідовність (рис. 13.4), яка характеризується такими параметрами:

- частота імпульсної послідовності $f = 1/T$, де $T = t_{ім} + t_n$;
- коефіцієнт заповнення $\gamma = t_{ім}/T$ (діапазон зміни $0 \dots 1$), шпаруватість $Q = T/t_{ім}$ (діапазон зміни від ∞ до 1);
- середнє значення імпульсу (рис. 13.5)

$$U_{cp}T = \int_0^{t_{ім}} U(t)dt;$$

$$U_{cp} = \frac{1}{T} \int_0^{t_{ім}} U(t)dt = \frac{S_{ім}}{T} = \frac{U_m t_{ім}}{T} = U_m \gamma = \frac{U_m}{Q}.$$

13.2. Диференційні, розділові та інтегрувальні RC-ланки

Напруга і струм в RC-ланках під впливом одиничного стрибка. На вхід RC-ланки (рис. 13.6) надходить одиничний стрибок напруги, зображений на рис. 13.7. Визначимо реакцію ланки на одиничний стрибок, тобто встановимо залежності: $U_C(t) = ?$; $U_R(t) = ?$; $i(t) = ?$.

Напругу на конденсаторі С запишемо як

$$U_C = U(1 - e^{-\frac{t}{\tau}}). \quad (13.1)$$

Залежності $U_C(t)$ для різних сталих часу RC-ланки наведено на рис. 13.8.

Напруга на виході RC-ланки має вигляд:

$$U_R = U - U_C = U - U + U e^{-\frac{t}{\tau}} = U e^{-\frac{t}{\tau}}. \quad (13.2)$$

Залежності $U_R(t)$ для різних значень τ наведено на рис. 13.9.

Оскільки $U_R = iR$, то

$$i = \frac{U_R}{R} = \frac{U}{R} e^{-\frac{t}{\tau}}. \quad (13.3)$$

Залежність $I(t)$ зображено на рис. 13.10.

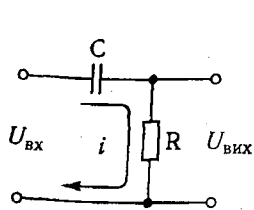


Рис. 13.6. Принципова схема RC-ланки

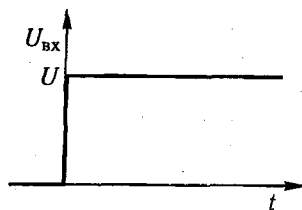


Рис. 13.7. Одиничний стрибок

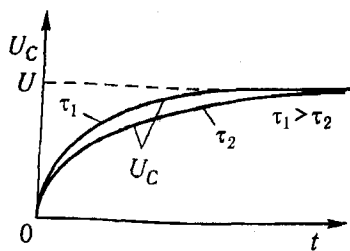


Рис. 13.8. $U_C(t)$ для різних сталіх часу

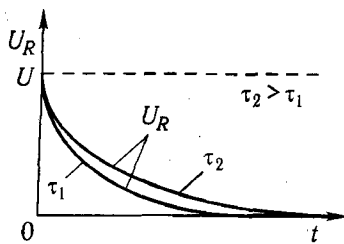


Рис. 13.9. $U_R(t)$ для різних значень τ

Диференційна і розділова RC-ланки. Диференційною називають таку ланку, сигнал на виході якої має значення, пропорційні в кожен момент часу похідній від вхідного сигналу. Отже,

$$U_{\text{вих}}(t) = K \frac{dU_{\text{вх}}(t)}{dt}.$$

Коефіцієнт K має розмірність секунди, інакше розмірності лівої та правої частин рівності будуть неоднаковими. Ідеальним пристроєм диференціювання є конденсатор C або котушка L . Наприклад, під час використання конденсатора C можна вважати вхідним сигналом на ньому напругу $U_{\text{вх}}(t)$, а вихідним — струм I у ланці. Ці змінні пов'язані співвідношенням

$$I(t) = C \frac{dU_{\text{вх}}(t)}{dt},$$

тобто струм у ланці пропорційний похідній від вхідної напруги. Однак використовувати цю схему для практичних цілей не можна, оскільки вона не містить елемента,

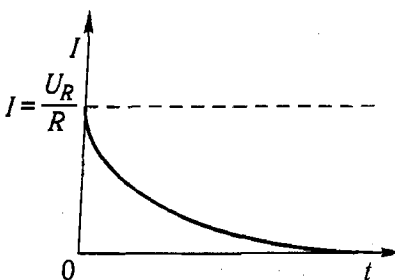


Рис. 13.10. Залежність $I(t)$

який би забезпечував будь-яку реєстрацію значення струму та вимірювання його значення.

Для того щоб отримати вихідний сигнал у формі, зручній для спостереження або реєстрації, у коло послідовно підключають чутливий до струму прилад із внутрішнім опором R . У найпростішому випадку це буває резистор R , напруга на якому пропорційна струму: $U_R = IR$. Розглянута RC-ланка може виконувати функції диференціювання (скорочування), якщо $\tau \ll t_{\text{ім}}$, або бути розділовою, якщо $\tau \gg t_{\text{ім}}$.

Графіки напруг U_C і U_R такої ланки зображено на рис. 13.11. Розглянемо два режими.

I. Ланка диференціювання $\tau \ll t_{\text{ім}}$, при цьому можливі два варіанти: а) $\tau \ll t_n$; б) $\tau \gg t_n$.

II. Розділова ланка $\tau \gg t_{\text{ім}}$, при цьому також можливі два варіанти: а) $\tau \gg t_n$; б) $\tau \ll t_n$.

Ланку диференціювання під впливом імпульсної послідовності зображено на рис. 13.12.

У разі подачі імпульсу конденсатор C заряджається під впливом зарядного струму I_3 , а в разі паузи — розряджа-

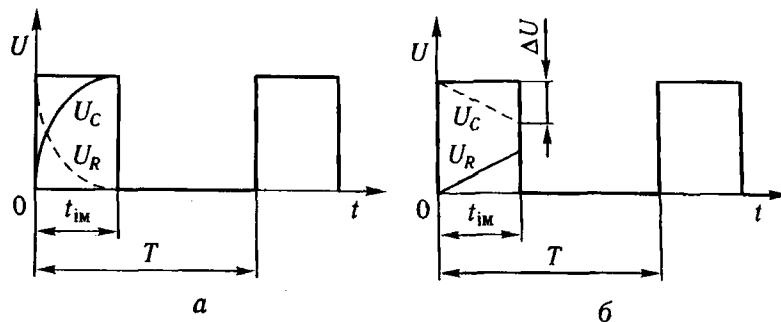


Рис. 13.11. Режим напруг:

а — режим I ($\tau \ll t_{\text{ім}}$); б — режим II ($\tau \gg t_{\text{ім}}$)

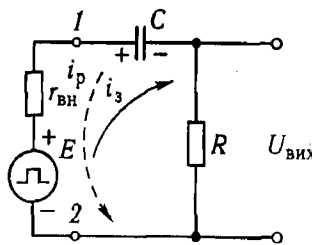


Рис. 13.12. Принципова схема RC-ланки скорочення

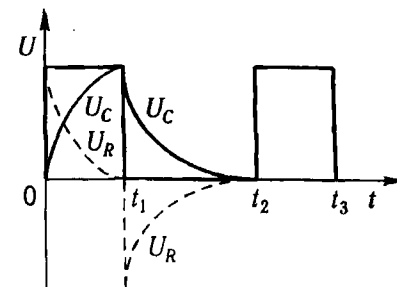


Рис. 13.13. Залежності $U_C(t)$ і $U_R(t)$; режим I варіанта а: $\tau \ll t_{\text{ім}}$, $\tau \ll t_n$

ється, зумовлюючи розрядний струм I_p (при цьому $E = 0$). Припустимо $r_{вн} \ll R$, тоді ним можна знехтувати ($r_{вн} = 0$).

Розглянемо режим I, варіант а: $\tau \ll t_{им}, \tau \ll t_n$.

Після закінчення імпульсу (момент часу t_1) $E = 0$, або $U_R = -U_C$ (рис. 13.13).

У період паузи ($t_1 - t_2$) конденсатор С розряджається повністю (див. рис. 13.13), оскільки $\tau \ll t_n$:

$$U_{вих} = i_p R = RC \frac{dU_C}{dt};$$

$$U_C = U_{12} - U_{вих}.$$

Тоді

$$U_{вих} = RC \frac{d(U_{12} - U_{вих})}{dt}.$$

Якщо

$$U_{вих} \ll U_{12} = U_{вх};$$

$$U_{вих} = RC \frac{dU_{вх}}{dt},$$

тобто отримаємо ідеальну ланку диференціювання. Отже, для того щоб ланка була диференційною, потрібне виконання трьох умов:

- $\tau \ll t_{им};$
- $\tau \ll t_n;$
- $U_{вих} \ll U_{12} = U_{вх}.$

При цьому графік напруги $U_{вих}$ за наявності імпульсної послідовності на вході матиме такий вигляд (рис. 13.14).

Режим I, варіант б: $\tau \ll t_{им}, \tau \gg t_n$.

У період імпульсу перехідні процеси анологічні розглянутим у варіанті а, а в період паузи конденсатор С не встигає

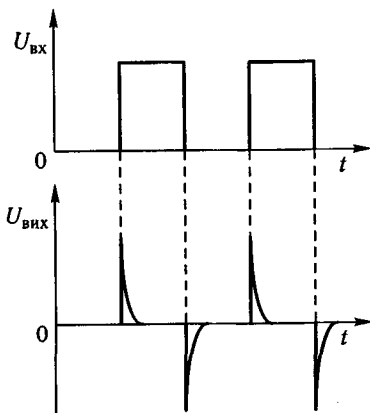


Рис. 13.14. Графік напруги $U_{вих}$ ланки диференціювання за наявності імпульсної послідовності на вході

Рис. 13.15. Залежності $U_C(t)$ і режим II за $\tau \gg t_{им}, \tau \ll t_n$

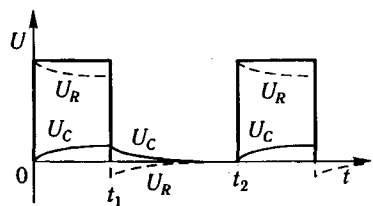
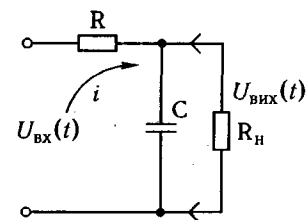


Рис. 13.16. Принципова схема інтегрувальної RC-ланки



розрядитися до нуля за час t_n , тому нульові початкові умови не виконуються, і для диференційної ланки такий варіант неприйнятний.

Аналогічно, режим II за $\tau \gg t_{им}, \tau \ll t_n$ забезпечує варіант розділової ланки.

У момент часу t_1 після дії імпульсу (рис. 13.15) $U_R(t_1) = -U_C(t_1)$, а в момент часу t_2 справедливі нульові початкові умови. Сигнал на виході практично повторює сигнал на вході. Тому така ланка є розділовою.

Інтегрувальні RC-ланки. Інтегрувальною ланкою називають чотириполюсник, сигнал на виході якого пропорційний інтегралу від входнього сигналу. У разі, якщо входний і вихідний сигнали виражаються в однакових одиницях (наприклад, в одиницях напруги), операцію, яку виконує інтегрувальна ланка, можна записати у вигляді співвідношення

$$U_{вих}(t) = K \int_0^t U_{вх}(t) dt,$$

де K — коефіцієнт пропорційності.

Принципову схему інтегрувальної ланки наведено на рис. 13.16. Нехай $R_n \rightarrow \infty$, що практично відбувається за $R_n \gg R_{вих}$ ланки.

Інтегрувальні ланки часто застосовують для подовження імпульсів або для отримання напруги, яка змінюється за законом, близьким до лінійного.

Для інтегрувальної ланки

$$U_C = \frac{1}{C} \int_0^t i(t) dt,$$

а значення струму в ланцюзі

$$i(t) = \frac{U_{вх}(t) - U_{вих}(t)}{R}.$$

Підставивши значення струму у формулу U_C , дістанемо:

$$U_C = \frac{1}{C} \int_0^t \frac{U_{вх}(t) - U_{вих}(t)}{R} dt = \frac{1}{RC} \int_0^t [U_{вх}(t) - U_{вих}(t)] dt.$$

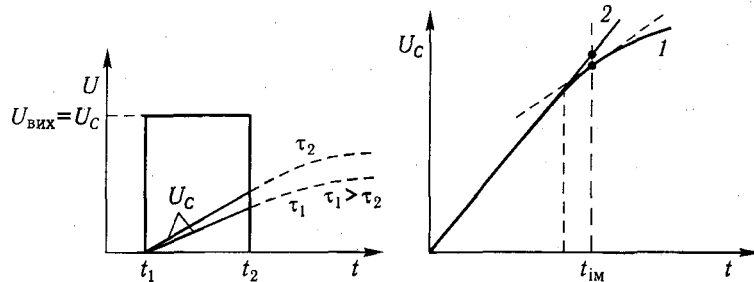


Рис. 13.17. Напряга на виході ланки (на конденсаторі) за різних t

Для отримання ідеальної інтегрувальної ланки потрібно, щоб виконувалася умова $U_{\text{вих}} \ll U_{\text{вх}}$, тоді

$$U_C = \frac{1}{RC} \int_0^t U_{\text{вх}}(t) dt.$$

Для того щоб забезпечити низький коефіцієнт передачі ланки, тобто $U_{\text{вих}} \ll U_{\text{вх}}$ ($U_{\text{вих}} = U_C$), слід забезпечити умову $\tau \gg t_{\text{ім}}$ (рис. 13.17). Кут нахилу прямої на виході інтегрувальної ланки пропорційний амплітуді напруги імпульсу, що інтегрується, та обернено пропорційний сталій часу τ ланки.

Отже, для того щоб ланка точно інтегрувала, потрібне виконання таких умов:

- $U_{\text{вих}} \ll U_{\text{вх}}$;
- $\tau \gg t_{\text{ім}}$.

У період дії імпульсу ($t_1 \dots t_2$):

$$U_{\text{вх}} = U = \text{const}, \text{ тому } U_{\text{вих}} = \frac{1}{RC} \int_0^t U dt = \frac{U}{RC} t.$$

У момент часу t_2 напруга на виході ланки становитиме

$$U_{\text{вих}}(t_2) = \frac{U}{RC} t_{\text{ім}}.$$

Вихідну напругу інтегрувальної RC-ланки, де 1 — реальна напруга інтегрувальної ланки $U_{\text{вих}} = U_C$; 2 — напруга на виході ідеального інтегратора, зображено на рис. 13.18. Якщо $\tau \gg t_{\text{ім}}$, ланка працює практично без похибки.

Визначимо максимальні похибки, наявні наприкінці імпульсу:

$$\Delta_{\text{max}} = \left. \frac{dU_C}{dt} \right|_{t=0} - \left. \frac{dU_C}{dt} \right|_{t=t_{\text{ім}}}; \quad \delta_{\text{max}} = \frac{\Delta_{\text{max}}}{\left. \frac{dU_C}{dt} \right|_{t=0}},$$

де Δ_{max} і δ_{max} — відповідно максимальні значення абсолютної та відносної похибок.

Значення похибки за $t = t_{\text{ім}}$ становить:

$$\delta_{t=t_{\text{ім}}} = \frac{\left. \frac{dU_C}{dt} \right|_{t=0} - \left. \frac{dU_C}{dt} \right|_{t=t_I}}{\left. \frac{dU_C}{dt} \right|_{t=0}}.$$

13.3. Обмежувачі на діодах послідовного і паралельного типів

Прямокутні імпульси можна сформувати за допомогою генератора синусоїдальних коливань і обмежувача (рис. 13.19).

Розрізняють обмежувачі *зверху*, *знизу* та *двосторонні*. Амплітудні характеристики обмежувачів і осцилограми, що ілюструють їхню роботу, наведені на рис. 13.20, 13.21, 13.22.

Послідовні обмежувачі на діодах. Принципову схему послідовного обмежувача знизу на нульовому рівні зображено на рис. 13.23 разом з осцилограмою, що ілюструє його роботу. Опір навантаження має бути набагато більший за опір обмежувача $R(R_n \gg R)$, а внутрішній опір джерела синусоїдального сигналу $R_{\text{вн}} \ll R$. Для забезпечення протікання струму в інтервалі від 0 до $\pi U_{\text{вх.м}} \gg U_{\text{д.пр}}$, де $U_{\text{д.пр}}$ — напруга на діоді, ввімкненому в провідному напрямі, має становити 0,3...0,6 В.

Схема обмежувача *зверху* на нульовому рівні та осцилограми його роботи мають вигляд, наведений на рис. 13.24. Для забезпечення нормальної роботи схеми потрібне виконання тих самих умов: $R_n \gg R$, $R_{\text{вн}} \ll R$, $U_{\text{вх.м}} \gg U_{\text{д.пр}}$.

Для того щоб схеми обмежувачів були універсальними, вони мають забезпечувати обмеження на довільному рівні. Схему обмежувача зверху на довільному рівні подано на рис. 13.25. Полярність джерела ЕРС $U_{\text{он}}$ вибирають так, щоб діод VD був відкритий за $E_{\text{вх}} = 0$; $U_{\text{он}}$ може змінюватися в межах $U_{\text{он}} = 0 - E_{\text{вх.макс}}$. Оскільки $R_{\text{вн}}$ і $R_{VD \text{ пр}}$ набагато менші за величини резистора R , можна припустити, що $R_{\text{вн}} \rightarrow 0$; $R_{VD \text{ пр}} \rightarrow 0$.

У разі виконання умови $E_{\text{вх}} \leq U_{\text{он}}$ діод VD відкритий, а в разі виконання зроблених припущень $U_{\text{вих}} = E_{\text{вх}}$. Якщо $E_{\text{вх}} > U_{\text{он}}$, то діод VD закритий: струм у контурі (і через резистор R) дорівнює нулю, отже, $U_{\text{вих}} = U_{\text{он}}$ (інтервал часу $\omega t_2 \dots \omega t_3$). В інтервалі часу від 0 до ωt_1 , коли $E_{\text{вх}} = 0$, то і $U_{\text{вих}} = 0$. Схему обмежувача *знизу* на довільному рівні наведено на рис. 13.26. Робота схеми, осцилограма та припущення аналогічні розглянутим вище.

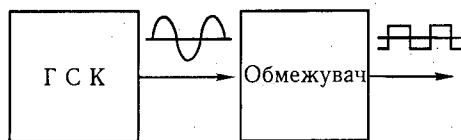


Рис. 13.19. Структурна схема формувача прямокутних імпульсів

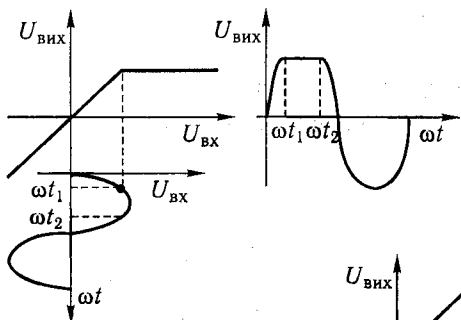


Рис. 13.20. Амплітудна характеристика та осцилограми обмежувача зверху

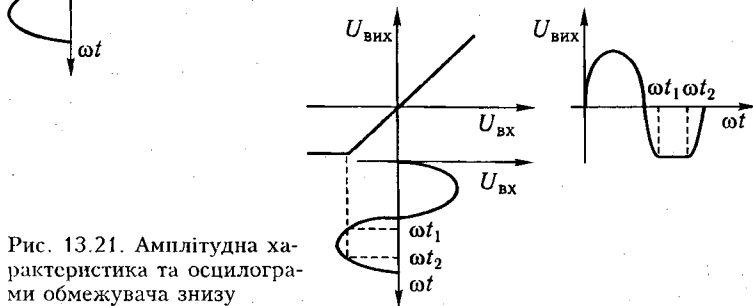


Рис. 13.21. Амплітудна характеристика та осцилограми обмежувача знизу

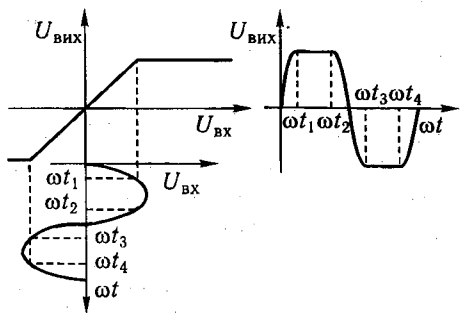


Рис. 13.22. Амплітудна характеристика та осцилограми двостороннього обмежувача

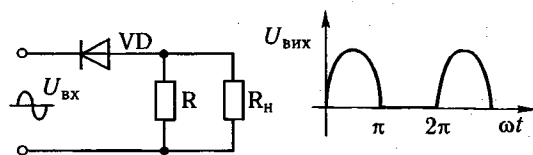


Рис. 13.23. Схема послідовного обмежувача на діодах та його осцилограми на виході

Рис. 13.24. Схема обмежувача зверху на нульовому рівні та його осцилограми на виході

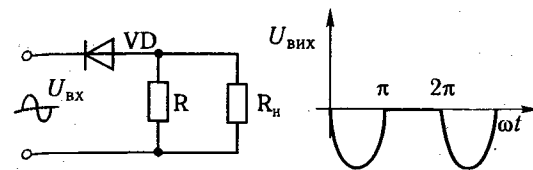


Рис. 13.25. Схема обмежувача довільного рівня зверху та його осцилограми на виході

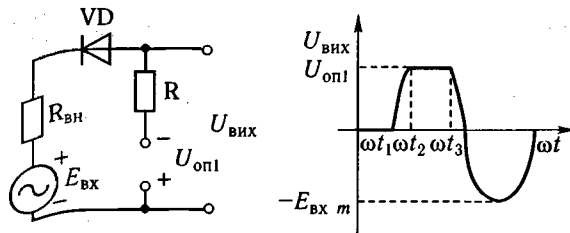


Рис. 13.26. Схема обмежувача знизу на довільному рівні та його осцилограми на виході

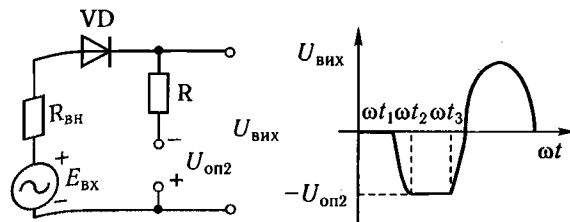


Рис. 13.27. Схема обмежувача зверху і знизу на довільних рівнях та його осцилограми на виході

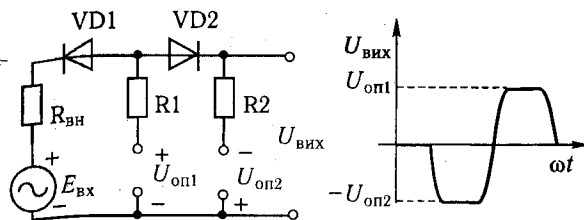


Схема обмежувача рівня зверху і знизу на довільних рівнях — це комбінація двох розглянутих схем, підключених послідовно (рис. 13.27). Обмеження, робота та осцилограми такого обмежувача аналогічні.

До недоліків послідовних обмежувачів на діодах належать:

- обмежувачі потребують ідеальних джерел ЕРС вхідного сигналу $R_{вх} \rightarrow 0$;
- схеми пасивні й мають коефіцієнт передачі $K < 1$;
- величина ЕРС $E_{вх}$ має бути великою (десятки вольтів), тобто виконуватися умова $E_{вх} \gg U_{д. пр.}$

Паралельні обмежувачі на діодах. Основним недоліком послідовних обмежувачів на діодах є потреба у низькому внутрішньому опорі ЕРС джерела сигналу. Для ліквідації цього недоліку розроблено паралельні обмежувачі на діодах. Такі схеми обмежувачів не потребують дуже низького вихідного опору джерела ЕРС. Опір навантаження, як і в послідовних обмежувачів, також має бути $R_n \gg R$.

Схема обмежувача на діодах *зверху*, приблизно на нульовому рівні, й осцилограми, що ілюструють його роботу, наведені на рис. 13.28. Припустивши, що $R_n \gg R$ і $E_{вх} \gg U_{д. пр}$, опишемо схему системою рівнянь (13.4, 13.5):

$$E_{вх} = IR + U_{VD}; \quad (13.4)$$

$$U_{VD} = \phi(I). \quad (13.5)$$

Рівняння (13.4) — навантажувальна пряма 1, (13.5) — вольт-амперна характеристика діода 2. Побудувавши навантажувальну пряму за точками ХХ і КЗ ($I = 0$, $U_{д} = E_{вх}$; $U_{д} = 0$, $I_{кз} = E_{вх} / R$), побудуємо осцилограму $U_{д}(\omega t) = U_{внх}$ за синусоїдальної вхідної ЕРС $E_{вх}$. Тоді отримаємо обмеження зверху на рівні $U_{д. пр} \approx 0,3 \dots 0,6$ В.

Паралельний обмежувач на діодах *знизу* на приблизно нульовому рівні відрізняється напрямом підключення діода, а для обмеження на довільних рівнях схеми доповнюються джерелами $U_{он}$, полярність яких вибирають так, щоб діоди VD були закриті, якщо $E_{вх} = 0$.

Висновки. Паралельні обмежувачі на діодах не критичні до $R_{вн}$ джерела вхідного сигналу, однак мають недоліки по-

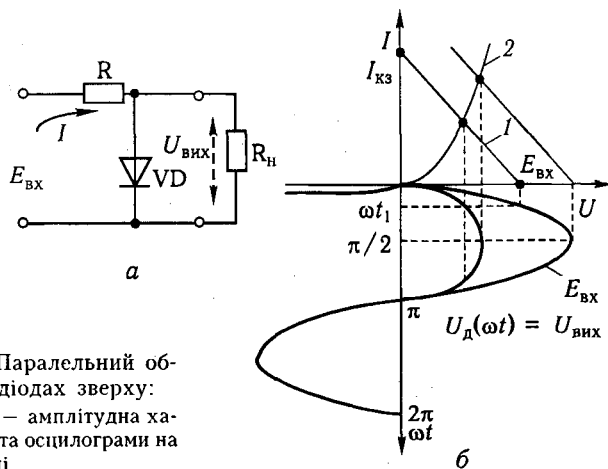


Рис. 13.28. Паралельний обмежувач на діодах зверху:
а — схема; б — амплітудна характеристика та осцилограми на входи й виходи

слідовних обмежувачів на діодах — низький коефіцієнт передачі, потребують великих вхідних сигналів $10 \dots 30$ В та буферного каскаду для узгодження з R_n .

Для ліквідації загальних недоліків обмежувачів на діодах розроблено транзисторні підсилювачі-обмежувачі, в яких значно нижчі вхідні сигнали (сотні мілівольтів), відносно високий вхідний і низький вихідний опори та краща форма вихідної напруги (коефіцієнт наближення до прямокутної).

13.4. Лінійні моделі транзисторів у режимі великого сигналу

На відміну від розглянутого раніше режиму в розділах «Аналогова схемотехніка», де транзистор працював у режимі малого сигналу і був лінійним елементом, то в імпульсному режимі, що є характерним для цифрових пристроїв, транзистор працює в режимі великого сигналу. На відміну від режиму малого сигналу, де відхилення від робочої точки за постійним струмом становить $20 - 30\%$, у режимі великого сигналу транзистор переходить із зони відсікання через активну область у режимі насичення, і навпаки. Зазвичай в імпульсній техніці транзистор працює у двох протилежних режимах: у режимі відсікання (транзистор замкнений) і в режимі насичення (транзистор відкритий і насичений). Коефіцієнт передачі транзистора у цих режимах менший ніж одиниця, тобто він не має підсилювальних властивостей.

Крім того, під час перемикання з одного режиму на інший і навпаки транзистор перебуває в активному режимі, тривалість перемикання становить одиниці мікросекунд. У перехідному (активному) режимі коефіцієнт передачі транзистора набагато більший ніж одиниця, а в режимі великого сигналу характеристики транзистора нелінійні й принцип накладення не застосовується.

Для аналізу схем із транзисторами, що працюють у режимах великого сигналу, застосовують методи аналізу нелінійних схем.

В інженерній практиці набув значного поширення метод апроксимації нелінійної ВАХ *кусково-лінійними функціями*. Суть методу полягає в тому, що для окремих областей (відсікання, насичення, перехідна зона) проводять апроксимацію нелінійних ВАХ *кусково-лінійними функціями*. У кожній області, з урахуванням апроксимуючих функцій, ВАХ подають у вигляді ряду Тейлора. На основі обговореної лінійної апроксимації всіма похідними, починаючи з другої, можна знехтувати (ряд обмежити двома доданками $a + bx$), а постійну складову потрібно обов'язково враховувати.

На підставі отриманих рівнянь для кожної з областей, врахувавши постійні складові, синтезують електричну модель транзистора. При цьому моделі виходять лінійними для всіх трьох областей, але вони різні. Моделі транзисторів застосовують у системі h -параметрів.

Розглянемо апроксимацію вхідних і вихідних характеристик біполярного транзистора (схема з СЕ) і польового транзистора (з індукованим каналом). Вихідні характеристики біполярного транзистора подано на рис. 13.29. Зона відсікання 1 знаходиться між характеристиками $I_B = 0$ і $I_B = -I_{K0}$ з відповідними значеннями струмів колектора $I_{K \text{ поч}}$ і I_{K0} . Область насичення 3 відповідає мінімальним значенням напруги U_{KE} . Опір транзистора в режимі насичення $R_{KE \text{ нас}}$ визначається тангенсом кута нахилу лінії 3, тобто $\text{tg} \beta$. Між ними знаходиться область активного режиму 2. На вхідних характеристиках транзистора (рис. 13.30) зазначені також ці три основні області.

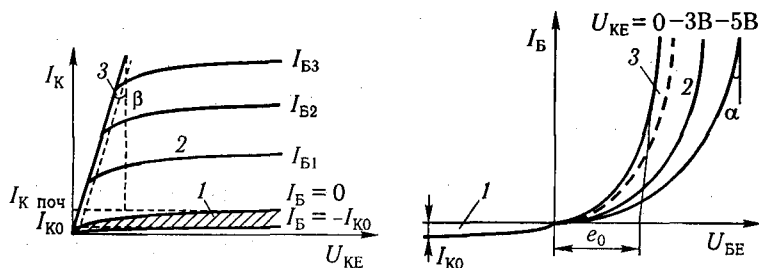


Рис. 13.29. Вихідні характеристики біполярного транзистора: 1 — область відсікання; 2 — робоча область; 3 — область насичення

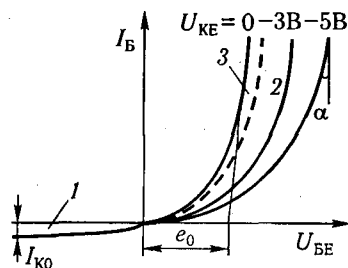


Рис. 13.30. Вхідні характеристики біполярного транзистора: 1 — область відсікання; 2 — робоча область; 3 — область насичення

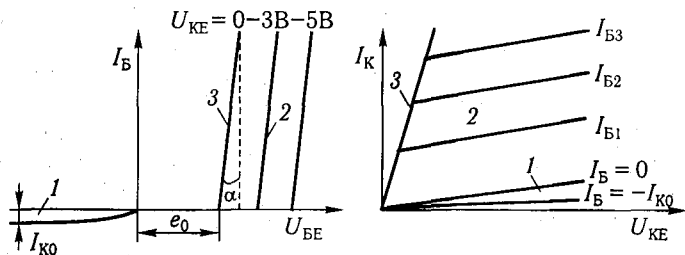


Рис. 13.31. Апроксимація вхідних і вихідних характеристик біполярного транзистора: 1 — область відсікання; 2 — робоча область; 3 — область насичення

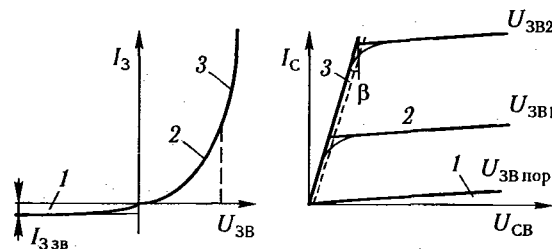


Рис. 13.32. Прхідна і вихідна характеристики польового транзистора з індукованим каналом

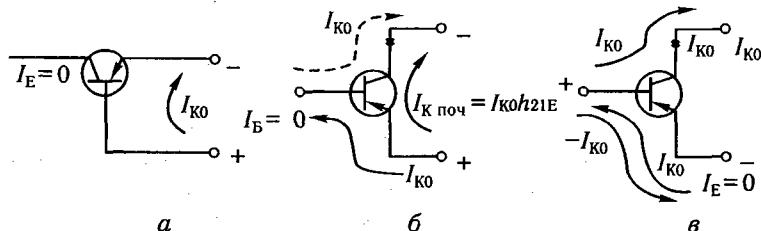


Рис. 13.33. Струми колекторів в області відсікання

Лінійну апроксимацію вхідних і вихідних характеристик біполярного транзистора із зазначенням характерних областей наведено на рис. 13.31.

Характеристики польового транзистора з індукованим каналом аналогічні розглянутим, і їхня апроксимація для трьох областей (рис. 13.32) також аналогічна.

Установимо значення струмів колектора для транзисторів, що знаходяться в області відсікання. Для схеми зі спільною базою за $I_E = 0$ між базою і колектором протікає зворотний (тепловий) струм величиною I_{K0} (рис. 13.33, а). Для схеми зі спільним емітером для забезпечення $I_B = 0$ потрібно через перехід емітер—база пропускати струм I_{K0} (рис. 13.33, б). При цьому струм колектора буде $I_{K \text{ поч}} = I_{K0} h_{21E}$, тобто в h_{21E} разів більшим, ніж для схеми зі спільною базою. Зменшити струм $I_{K \text{ поч}}$ до величини I_{K0} можна після запирання транзистора позитивним потенціалом на базу, пропускаючи струм із бази на емітер величиною I_{K0} , внаслідок чого $I_E = 0$, а $I_K = I_{K0}$ (рис. 13.33, в).

Електричну модель транзистора для області активного режиму 2 було розглянуто раніше.

Модель транзистора в області відсікання ($I_E = 0$), що забезпечується подачею позитивного потенціалу на базу щодо емітера (спільної шини), зображено на рис. 13.34.

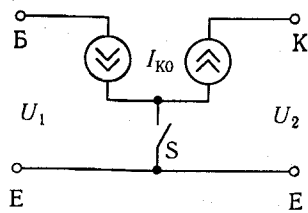


Рис. 13.34. Електрична модель транзистора для області відсікання 1

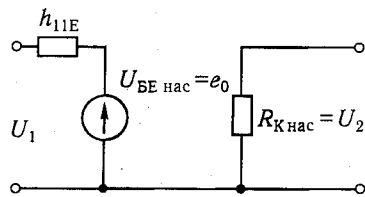


Рис. 13.35. Електрична модель транзистора в області насичення 3

Для області насичення 3 модель транзистора зображено на рис. 13.35, де e_0 визначається за апроксимації вхідної характеристики. При цьому $e_0 = U_{BE \text{ нас}} \approx 0,2 \dots 0,5 \text{ В}$, $h_{11E} = \text{tg } \alpha$ (див. рис. 13.31), $R_{K \text{ нас}} = \text{tg } \beta$ (див. рис. 13.29).

Модель транзистора в області відсікання — це розрив емітера щодо базово-колекторного проміжку, через який протікає струм I_{K0} . Для цього режиму потрібно подати на базу транзистора позитивний потенціал щодо емітера.

Модель транзистора в режимі насичення — це практично замкнені електроди — база, колектор і емітер, оскільки $R_{K \text{ нас}} \approx 1 \dots 10 \text{ Ом}$; $e_0 \approx 0,2 \dots 0,5 \text{ В}$; $h_{11E} \approx 10 \dots 100 \text{ Ом}$. Для забезпечення режиму насичення транзистора слід подати струм на базу, який перевищує струм бази насичення.

13.5. Розрахунки транзисторних ключів

Розглянемо методику розрахунку ключа в режимі насичення. Принципову схему ключа наведено на рис. 13.36. Для насичення ключа потрібні негативні вхідні імпульси визначеної амплітуди. У результаті розрахунків треба знайти: тип транзистора, E_K , R_K , R_B (E_{im}). Для позитивних вхідних імпульсів застосовують транзистори типу $n-p-n$, схема ключа аналогічна.

Розрахунок схеми за постійним струмом традиційний, однак потрібно враховувати вхідну характеристику транзистора в режимі насичення 2 ($U_{KE} \approx 0$):

$$E_K = U_{KE \text{ нас}} + I_K R_K; \quad (13.6)$$

$$U_{KE \text{ нас}} = I_K R_{K \text{ нас}}. \quad (13.7)$$

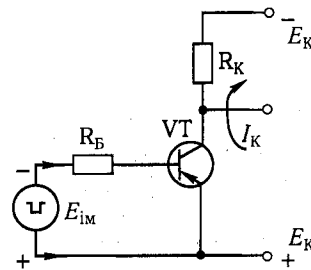


Рис. 13.36. Транзисторний ключ у режимі насичення

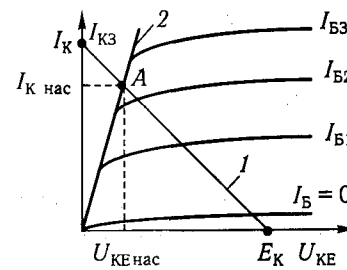


Рис. 13.37. Розрахунок ключа за постійним струмом

Навантажувальну лінію 1 будемо за двома точками (XX і КЗ) (рис. 13.37):

точка XX: $I_K = 0$; $U_{KE} = E_K$;

точка КЗ: $U_{KE} = 0$; $I_{K3} = E_K / R_K$.

Перетинання навантажувальної прямої 1 з лінією насичення 2 — точка А, що визначає режим насичення і його параметри $I_{K \text{ нас}}$, $U_{KE \text{ нас}}$ і $I_{B \text{ нас}}$, у цьому випадку це I_{B3} (рис. 13.37). Під час проектування ключів струм колектора в режимі насичення, як правило, заданий, що визначає вибір типу транзистора за допустимим струмом і положенням точки А (отже, і струму I_{K3}). За значенням цього струму розраховують резистор R_K ($R_K = E_K / I_{K3}$).

Для розрахунку резистора R_B скористаємося вхідною характеристикою транзистора в режимі насичення ($U_{KE} \approx 0$). Струм бази, зумовлений E_{im} і резистором R_B , має бути: $I_B \geq I_{B3}$. Установимо положення точки А на вхідній характеристиці за значенням струму бази в точці А на вихідних характеристиках I_{B3} (рис. 13.38). Якщо E_{im} задане, то навантажувальна лінія до вхідних характеристик має перейти з точки XX (E_{im}) через точку А і визначити значення струму КЗ ($I_{B \text{ КЗ}}$). Оскільки струм $I_{B \text{ КЗ}} = E_{im} / R_B$, то звідси можна визначити значення резистора R_B ($R_B = E_{im} / I_{B \text{ КЗ}}$).

Щоб прискорити процес насичення ключа, введемо поняття коефіцієнта насичення. Коефіцієнт насичення $S = I_B / I_{B \text{ нас}}$; $I_{B \text{ нас}} = I_{B \text{ А}}$. Рекомендоване значення коефіцієнта $S \approx 1,5 \dots 2$, оскільки зі збільшенням S зменшується тривалість вмикання ключа, однак при цьому збільшується тривалість вимикання.

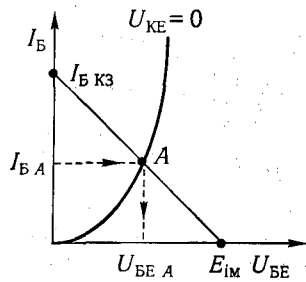


Рис. 13.38. Визначення положення робочої точки на вхідних характеристиках

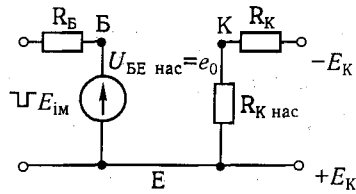


Рис. 13.39. Повна модель ключа для області насичення за $I_B \geq I_{B \text{ нас}}$

Найпростіший розрахунок ключа: $I_{K \text{ нас}}$ — координата точки A і EK , що задана споживачем, наприклад $I_{K \text{ нас}} = 0,1 \text{ А}$; $E_K \approx 10 \text{ В}$.

Якщо $I_{K3} \equiv I_{K \text{ нас}}$ або $R_K = \frac{E_K}{I_{K \text{ нас}}} = \frac{10}{0,1} = 100 \text{ Ом}$, тоді, урахувавши середній коефіцієнт підсилення транзистора за струмом $h_{21E} \approx 50$, розрахуємо струм бази насичення:

$$I_{B \text{ нас}} = \frac{I_{K \text{ нас}}}{h_{21E}} = \frac{0,1}{50} \approx 2 \text{ мА}.$$

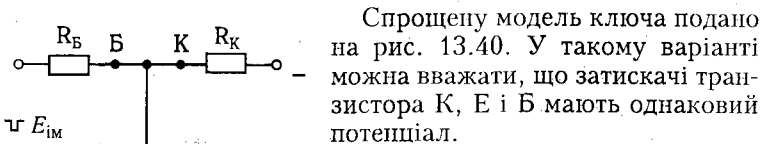
Прийmemo $S = 2$, тоді $I_B = SI_{B \text{ нас}} = 4 \text{ мА}$ і розрахуємо R_B за заданого значення амплітуди імпульсу. Наприклад, за $E_{\text{ім}} = 5 \text{ В}$, $U_{BE A} \approx 0,4 \text{ В}$ отримаємо

$$R_B = \frac{E_{\text{ім}} - U_{BE A}}{I_{B A}} = \frac{5 - 0,4}{4 \cdot 10^{-3}} = 1,1 \text{ кОм}.$$

Орієнтовні вимоги до транзистора:

$$U_{KE \text{ проб}} = 15 \dots 20 \text{ В}; I_{K \text{ max}} = 150 \dots 200 \text{ мА}; h_{21E} \approx 50.$$

Повну модель ключа для області насичення зображено на рис. 13.39. При цьому $R_{K \text{ нас}} \ll R_K$, що забезпечує $U_{KE \text{ нас}} \approx 0$.



Спрощену модель ключа подано на рис. 13.40. У такому варіанті можна вважати, що затискачі транзистора К, Е і Б мають однаковий потенціал.

Рис. 13.40. Спрощена модель ключа за $I_B \geq I_{B \text{ нас}}$

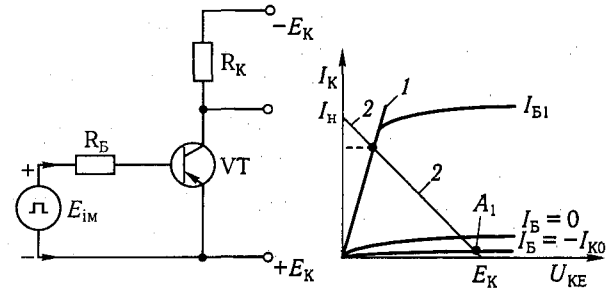


Рис. 13.41. Схема ключа в режимі відсікання та елементи розрахунків за постійним струмом

Розрахунок ключа в режимі відсікання. Схему ключа і фрагменти розрахунку за постійним струмом наведено на рис. 13.41.

На вхід схеми надходять позитивні імпульси, що замикають транзистор. Робоча точка A_1 для повного запирання транзистора має розміщуватися на найнижчій характеристиці ($I_B = -I_{K0}$). При цьому $U_{KE \text{ відс}} \approx -E_K$. Розрахунок режиму за постійним струмом аналогічний. Модель ключа в режимі відсікання зображено на рис. 13.42.

Розрахуємо амплітуди імпульсів ($E_{\text{ім}}$), що надходять на вхід ключа і забезпечують замикання транзистора (точка A_1).

Загальновідомий опис вхідної характеристики транзистора

$$I_B = I_{B \text{ нас}} \left(e^{\frac{-U_{BE}}{\Phi_T}} - 1 \right),$$

де $I_{B \text{ нас}}$ — значення струму бази під час зворотного вмикання вхідного переходу транзистора, у режимі відсікання $I_{B \text{ нас}} = -I_{K0}$; Φ_T — тепловий потенціал (25 мВ за нормальних умов, $T = 293 \text{ К}$).

Тоді

$$I_B = I_{K0} \left(e^{\frac{-U_{BE}}{\Phi_T}} - 1 \right).$$

Якщо $e^{\frac{-U_{BE}}{\Phi_T}} \ll 1$, то $I_B = -I_{K0}$, що забезпечує роботу

транзисторного ключа в точці A_1 . Для забезпечення $e^{\frac{-U_{BE}}{\Phi_T}} \ll 1$ треба, щоб $U_{BE} \approx 10\Phi_T = 250 \text{ мВ}$.

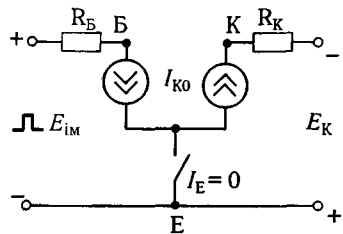


Рис. 13.42. Модель ключа в режимі відсікання

Знайдемо амплітуду вхідних імпульсів:

$$E_{im} = U_{BE \text{ відс max}} + I_{K0} R_B.$$

Значення напруги $I_{K0} R_B$ досягає близько десятків мілівольт, тому із запасом $E_{im} \approx (0,3...0,5) \text{ В}$. Спрощена модель ключа — це розімкнені колектор і емітер за напруги на базі $0,3...0,5 \text{ В}$.

Висновки. Транзисторний ключ перебуває у двох режимах — відсікання і насичення.

1. Ключ у режимі насичення. Його спрощена модель — К і Е замкнені. При цьому $I_B = I_{B \text{ нас}} S$.

2. Ключ у режимі відсікання. Його модель К і Е розімкнені, для цього на базу слід подавати змикальну напругу амплітудою $0,3...0,5 \text{ В}$.

3. Перевага транзисторних ключів: керування великими струмами I_K (напругами U_K) за допомогою малих струмів бази. Отже, безконтактний ключ КЕ запобігає появі іскри під час вимикання.

Контрольні запитання

1. Намалюйте RC-ланку і встановіть умови, за яких вона буде такою, що диференціює.
2. За яких умов RC-ланка буде розділовою?
3. Назвіть основні джерела похибок в інтегровальних ланках, напишіть формули для їх визначення.
4. Назвіть переваги інтеграторів на ОППС.
5. У чому перевага паралельних діодних обмежувачів щодо послідовних? Назвіть основні недоліки діодних обмежувачів.
6. Наведіть повні й спрощені лінійні моделі транзисторів в областях насичення та відсікання. Які коефіцієнти передач транзистора у цих областях?
7. Наведіть методику розрахунку транзисторного ключа в режимі насичення, модель ключа та поясніть суть коефіцієнта насичення S і його рекомендовані значення.
8. Яка методика розрахунку транзисторного ключа в режимі відсікання? Наведіть модель ключа.

Розділ 14 МУЛЬТИ-Й ОДНОВІБРАТОРИ

Останнім часом широко застосовують пристрої, форма вхідної напруги в яких різко відрізняється від синусоїдальної. Такі коливання називають *релаксаційними*, отже, мультивібратор — різновид одного з релаксаційних генераторів. Мультивібратор (від лат. *multim* — багато і *vibro* — коливаю) — релаксаційний генератор імпульсів майже прямокутної форми, виконаний у вигляді підсилювального пристрою з ланкою позитивного зворотного зв'язку (ПЗЗ).

Суть роботи мультивібратора — перемикання енергії з режиму заряджання на режим розряджання конденсатора С від джерела живлення до резистора R. Це перемикання здійснюється за допомогою транзисторних ключів.

Розрізняють два види мультивібраторів: автоколивальні (не мають стану стійкої рівноваги) та очікувальні (мають один стан стійкої рівноваги і тому їх називають одновібраторами). Мультивібратори можна побудувати на базі біполярних транзисторів (БПТ), польових транзисторів (ПТ), операційних підсилювачів постійного струму (ОППС) тощо.

14.1. Транзисторний мультивібратор. Принцип дії. Осцилограми роботи

Мультивібратор — двокаскадний RC-підсилювач, що має позитивний зворотний зв'язок (ПЗЗ). Для цього потрібно два транзисторних підсилювачі, ввімкнених за схемою з СЕ (рис. 14.1), або два ОППС з інвертуванням. Для збудження мультивібратора необхідне виконання двох умов — балансу фаз і балансу амплітуд:

- баланс фаз $\varphi_{ЗЗ} + \varphi_{підс} = (360^\circ n)$, де n — ціле число;
- баланс амплітуд $K_U \beta \geq 1$.

Оскільки фактор зворотного зв'язку $\beta = 1$, а $\varphi_{ЗЗ} = 0^\circ$, то фазовий зсув сигналів підсилювача $\varphi_{підс} = 0^\circ$, що й забезпечується двома підсилювачами за схемою із СЕ.

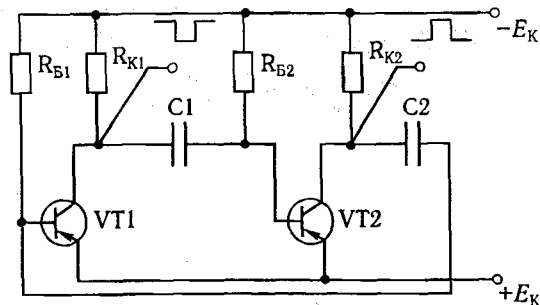


Рис. 14.1. Принципова схема транзисторного мультивібратора

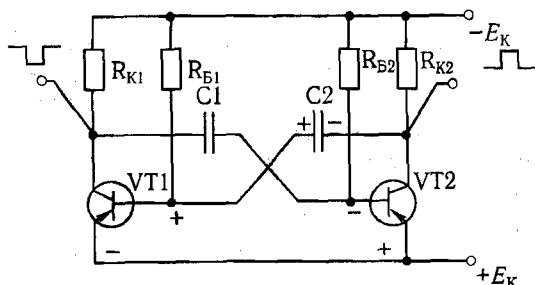


Рис. 14.2. Схема симетричного транзисторного мультивібратора

Мультивібратори на БПТ найчастіше мають у вигляді симетричної схеми з колекторно-базовими зв'язками (рис. 14.2). Симетричність означає ідентичність симетрично розміщених елементів — резисторів $R_{K1} = R_{K2}$; $R_{B1} = R_{B2}$; конденсаторів $C_1 = C_2$ і транзисторів VT1, VT2. Мультивібратор складається з двох підсилювальних каскадів із СЕ, вихідна напруга кожного з яких подається на вхід останнього. У схемі наведеного мультивібратора використані транзистори $p-n-p$ -типу.

Під час прислання схеми до джерела живлення E_K обидва транзистори відкриті й зумовлюють колекторні струми. Їхні робочі точки знаходяться в активній області, оскільки на бази через резистори R_{B1} , R_{B2} подається негативний зсув. Однак такий стан схеми нестійкий. Унаслідок наявності в схемі ПЗЗ виконується умова $K_U \beta \geq 1$ і двокаскадний підсилювач самозбуджується. Починається процес регенерації — швидке збільшення струму одного та зменшення струму іншого транзистора.

Нехай у результаті будь-якої випадкової зміни напруг на базах або колекторах трохи зменшується струм I_{K1} транзистора VT1.

При цьому колектор транзистора VT1 набуде негативного збільшення потенціалу $\Delta U_{KE1\mu}$. Оскільки напруга на конденсаторі C1 не може миттєво змінитися, цей приріст прикладається до бази транзистора VT2, відкриваючи його. Потенціал на базі транзистора VT2 негативний, струм I_{K2} зростає, утрати на резисторі R_{K2} також зростають, ΔU_{KE2} отримує збільшення плюс-мінус (\pm), яке буде прикладене на ΔU_{BE1} ($\Delta U_{KE2} = \Delta U_{BE1}$), тобто струм I_{K1} ще більше зменшиться, а струм I_{K2} додатково зростає. Лавиноподібний процес закінчується тим, що транзистор VT2 входить у режим насичення, а транзистор VT1 — у режим відсікання.

Схема переходить в один зі своїх тимчасово стійких станів рівноваги (квазістійкий стан). Тривалість перебування схеми в квазістійкому стані визначається процесами перезаряджання ємностей (рис. 14.3). Якщо транзистор VT1 замкнений, а транзистор VT2 відкритий — це перший тимчасово стійкий стан. Конденсатор C1 заряджений, ланка заряду: $+E_K$, ЕБ VT2, C1, R_{K1} , $-E_K$. Оскільки транзистор VT1 замкнений, то

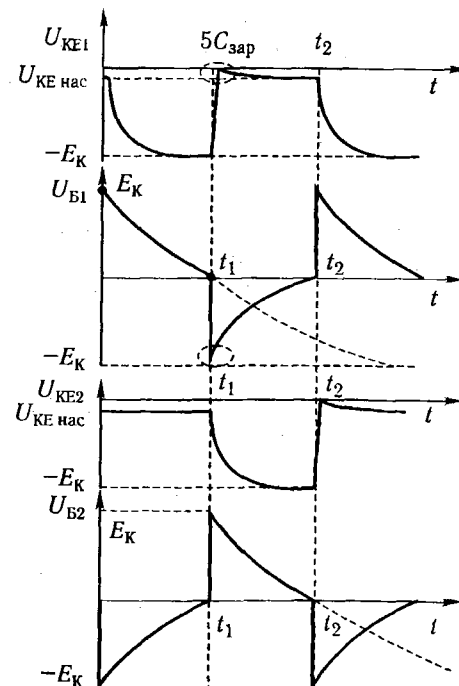


Рис. 14.3. Часові діаграми напруг автоколивального мультивібратора

$U_{KE1} = E_K$. У попередньому циклі транзистор VT1 відкритий і напруга на ньому була $U_{KE1 \text{ нас}}$. У міру заряджання ємності C1 струм $I_{\text{зар}}$ зменшується, втрати на R_{K1} також зменшуються, що зумовлює затягання переднього фронту, після заряджання C1 і $U_{KE1} = E_K$.

У момент часу $t < 0$ (попередній цикл) транзистор VT1 насичений, а транзистор VT2 знаходиться у відсіканні. Ємність C2 заряджена до E_K , $U_{C2} = E_K$. Починаючи з моменту часу $t = 0$, ємність C2 почне розряджатися. Ланка розряджання: $+U_{C2}$, R_{B1} , $\pm E_K$, ЕК VT2 (насичений), $-U_{C2}$, причому напруги U_{C2} і E_K підключені згідно. Напруга U_{C2} за рахунок відкритого транзистора VT2 прикладена між базою та емітером транзистора VT1 («+» на Б, а «-» на E_K), що утримує його у стані відсікання.

Після перезаряджання конденсатора, якби схема залишилась у цьому стані, напруга на конденсаторі C2 змінила б полярність ($-E_K$) (див. рис. 14.3). Однак у момент часу t_1 напруга $U_{BE1} = U_{C2} = 0$ і транзистор VT1 відкривається. Це зумовлює запирання транзистора VT2 і починається лавиноподібний процес переходу транзисторів з першого квазістійкого стану в другий. У результаті цього процесу транзистор VT1 відкритий, а транзистор VT2 закритий і настає другий тимчасово стійкий стан. У цьому стані починається заряджання конденсатора C2 у ланцюзі $+E_K$, ЕБ VT1, C2, R_{K2} , $-E_K$. Напруга $U_{KE \text{ VT1}}$ досягає нуля, тобто більша за $U_{KE \text{ нас}}$. Після періоду t_2 перехідний процес повторюється.

Отже, переходячи періодично з одного тимчасово стійкого стану рівноваги в інший, мультивібратор формує протифазні вихідні напруги, що знімаються з колектора кожного із транзисторів, майже прямокутної форми. Однак передній фронт вихідних напруг значно гірший, ніж задній.

14.2. Розрахунок періоду коливань мультивібратора

Нехай напруга U_{KE} ідеально прямокутна і змінюється від 0 до E_K . Перенесемо початок координат у точку t_1 (рис. 14.4).

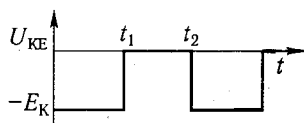


Рис. 14.4. Ідеалізований графік зміни напруги

До моменту t_1 транзистор VT1 був закритий, а транзистор VT2 — відкритий, ємність C1 була заряджена до напруги $\approx E_K$. Після t_1 (у новій системі координат після нуля) транзистор VT1 відкритий, а транзистор VT2 закритий.

Електричну модель мультивібратора після $t = 0$ (t_1 — стара система координат): транзистор VT1 відкритий, VT2 закритий, зображено на рис. 14.5, а, де R_i — опір зворотно зміщеного переходу емітер — база VT2, I_0 — струм цього переходу (див. рис. 14.5, б).

Для малопотужних низькочастотних транзисторів R_i порядку одиниць чи десятків мегаомів, $I_0 \approx 0,1 \dots 1$ мкА. Аналізуючи порядки величин моделі, можна припустити:

- $R_{K \text{ нас}} \ll R_{K1}$;
- $I_0 \ll I_d$;
- $R_i \gg R_B$.

Тоді спрощена модель мультивібратора матиме вигляд, зображений на рис. 14.6.

Напруга на конденсаторі C та базі кожного з транзисторів змінюється за експоненціальним законом і визначає момент перемикавання схеми з одного тимчасово стійкого стану в інший. Знаючи $U_C(t)$, можна розрахувати тривалість перебування схеми в тимчасово стійкому стані; $U_C(t)$ визначають розв'язуванням диференціального рівняння, що описує цю модель.

Якщо $t = t_2$ (момент перемикавання), напруга на конденсаторі C U_C зменшується до нуля. Тоді можна знайти момент часу t_2 :

$$t_2 \approx 0,7\tau_1 = 0,7R_{B2}C_1.$$

Аналогічно $t_1 = 0,7\tau_2 = 0,7R_{B1}C_2$.

Повний період коливань симетричного мультивібратора визначають за виразом:

$$T = 2t_{\text{ім}} \approx 1,4R_B C.$$

Отже, частота генерованих коливань $f = 1/T$ визначається швидкістю перезаряджання конденсаторів C1 і C2, що за-

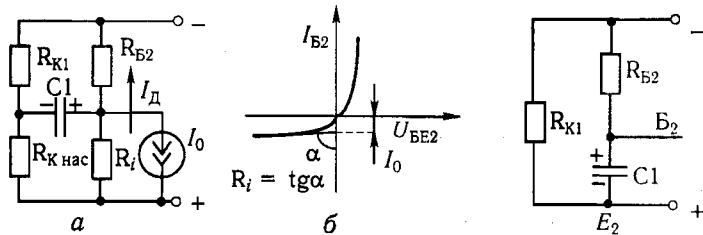


Рис. 14.5. Електрична модель мультивібратора і її параметри

Рис. 14.6. Спрощена електрична модель мультивібратора

дають час. Амплітудне значення імпульсу U_m на колекторі закритого транзистора:

$$U_m = E_K - I_{KB0} R_K \approx E_K.$$

Тривалість заднього фронту імпульсу

$$t_{зф} = \tau_{h_{21E}} + C_K R_K,$$

де $\tau_{h_{21E}}$ — середня тривалість переміщення посіїв уздовж бази для схеми із СЕ (переважно визначається частотними властивостями транзистора); C_K — колекторна ємність транзистора.

Тривалість переднього фронту залежить від тривалості заряджання конденсатора C , тобто визначають за виразом:

$$t_{\phi} \approx 3CR_K.$$

З урахуванням того, що ємність конденсатора, що задає час, зазвичай велика, $t_{\phi} \gg t_{зф}$. Для збільшення крутості фронтів (зменшення тривалості фронтів) колекторних імпульсів слід збільшити швидкість наростання напруг на колекторах транзисторів. Для цього слід зменшити величину опорів R_K , що призводить до збільшення споживаного мультивібратором струму і потужності, що розсіюється. Тому розроблено інші схемні рішення, які буде розглянуто в підрозд. 14.3.

14.3. Регулювання частоти, термостабілізація і поліпшення форми вихідної напруги мультивібратора

Оскільки частота симетричного мультивібратора визначається величиною $f = 1/1,4R_B C$, то її можна регулювати, змінюючи сталу часу розряджання конденсатора C ($\tau_{роз}$). Оскільки опір резистора R_B розраховують із режиму напичення транзистора, то величину опору R_B змінювати не

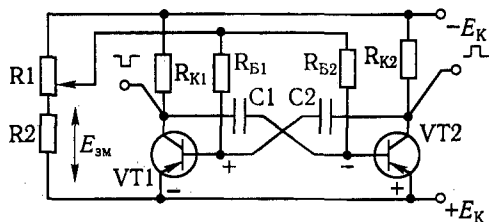
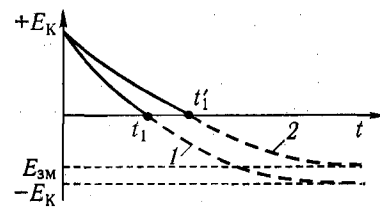


Рис. 14.7. Принципова електрична схема мультивібратора з плавним регулюванням частоти

Рис. 14.8. Перехідні процеси перезаряджання конденсаторів



дозволяється, отже, частоту можна регулювати зміною ємності конденсатора C . Якщо частоту потрібно змінювати дискретно, то розраховують ємності конденсаторів C_i для кожної частоти f_i і комутують їх через перемикач. Спосіб плавного регулювання частоти полягає в тому, що резистор R_B підключають не до джерела живлення $-E_K$, а до змінюваної додаткової джерела напруги $E_{ЗМ}$, напругу якого можна змінювати за допомогою змінного резистора $R1$ (рис. 14.7).

Напруга перезаряджання конденсатора визначається в цьому випадку не величиною $-E_K$, як у розглянутій схемі мультивібратора, а значенням $E_{ЗМ}$.

Процес розряджання конденсатора цього мультивібратора описується тим самим диференціальним рівнянням, що й раніше розглянуте.

Початкова умова у цій схемі аналогічна: за $t = 0$, $U_C = -E_K$.

Перехідний процес перезаряджання конденсатора у класичній схемі 1 визначається напругою $-E_K$, а в схемі 2 — напругою $-E_{ЗМ}$ (рис. 14.8).

Із перехідних процесів випливає, що $t'_1 > t_1$, звідси період коливальності $T'_1 > T_1$ і $f'_1 < f_1$. Отже, що менша напруга $E_{ЗМ}$, то більший період коливальності T і менша частота f мультивібратора. Напругу $U_{ЗМ}$ рекомендується змінювати від $-E_K$ до $-0,5E_K$, при цьому частота змінюється в 1,5 рази.

Термостабілізація частоти мультивібратора. Частота мультивібратора не залежить від напруги E_K . Причиною неста-

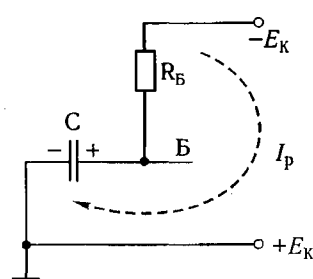


Рис. 14.9. Коло розряджання конденсатора для силіциєвих транзисторів

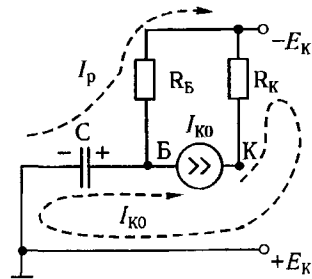


Рис. 14.10. Коло розряджання конденсатора для германієвих транзисторів

більності частоти f мультивібратора є нестабільність елементів схеми від температури. Для германієвих транзисторів температурна нестабільність визначається залежністю $I_{K0}(t^{\circ}\text{C})$. Для силіцієвих (кремнієвих) транзисторів I_{K0} на один-два порядки менший, отже, і нестабільність частоти також менша на один-два порядки, тому нестабільність частоти таких мультивібраторів переважно визначається температурною нестабільністю основних елементів схеми — конденсаторів $C(t^{\circ}\text{C})$ і резисторів $R(t^{\circ}\text{C})$.

Схема розряджання конденсатора C для силіцієвих транзисторів має вигляд, зображений на рис. 14.9, якщо струмом I_{K0} можна знехтувати. Для германієвих транзисторів струмом I_{K0} нехтувати не можна, і схему розряджання наведено на рис. 14.10. При цьому струм через конденсатор $I_C = I_P + I_{K0}(t)$. Слід зазначити, що I_{K0} значною мірою залежить від температури (експонентний закон), тому $I_C = \psi(t^{\circ}\text{C})$ або $U_C = \phi(t^{\circ}\text{C})$.

Оскільки $U_C(t^{\circ}\text{C})$, то період коливань мультивібратора і частота також залежать від температури $T_{\text{кол}} = \xi(t^{\circ}\text{C})$, $f_{\text{кол}} = \Phi(t^{\circ}\text{C})$. Отже, основна причина температурної нестабільності частоти мультивібратора на германієвих транзисторах — вплив проміжку база — колектор закритого транзистора.

Для ліквідації цього недоліку доцільно на час розряджання конденсатора C відключати перехід база — колектор закритого транзистора від резистора R_B , для чого в схему ставлять діоди для відключання, які мають значення I_{K0} на один-два порядки менше, ніж у транзистора. З цією метою застосовують спеціальні ВЧ імпульсні діоди, і принципова схема набуває такого вигляду (рис. 14.11).

Діоди $VD1$ і $VD2$ призначені для відключання від кола розряджання транзисторів $VT1$ і $VT2$, а резистори $R1$ і $R2$ забез-

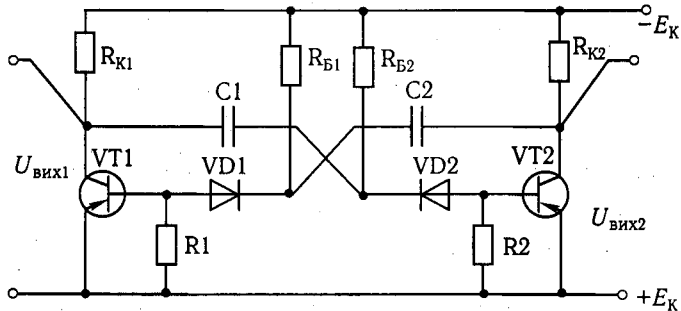
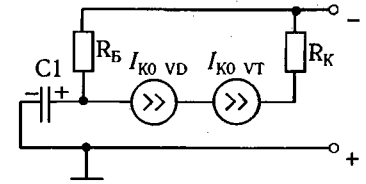


Рис. 14.11. Принципова схема автоколивального мультивібратора з термостабілізацією і діодами відсікання

Рис. 14.12. Модель розряджання конденсатора принципової схеми автоколивального мультивібратора з діодами відсікання



печують нульовий потенціал на базі транзисторів ($R_1 = R_2 \equiv \equiv (3...5)R_{Bx} VT$). Модель розряджання конденсатора зображено на рис. 14.12.

Оскільки $I_{K0} VD \ll I_{K0} VT$, то під час використання височастотних діодів така схема дає змогу отримати нестабільність частоти $\Delta f / f$ порядку десятих часток відсотка. Для схем на германієвих транзисторах без діодів відсікання нестабільність частоти становить близько 10 %, а для схем на силіцієвих транзисторах без діодів відсікання — 1–3 %.

Поліпшення переднього фронту вихідних імпульсів. Для поліпшення переднього фронту вихідних імпульсів заряджання конденсаторів $C1$ і $C2$ відбувається через додаткові резистори $R1$ і $R2$ за допомогою діодів $VD1$ і $VD2$ (рис. 14.13). Заряджання конденсатора C здійснюється у ланці: $+E_K \rightarrow \rightarrow R1 \rightarrow C1 \rightarrow BE_{\text{нас}} VT2 \rightarrow -E_K$, при цьому через резистор R_K струм не протікає.

На коло розряджання конденсатора $C1$ діод $VD1$ не впливає, оскільки він увімкнений у провідному напрямі й забезпечує розряджання конденсатора у ланці: $+U_{C1} \rightarrow VD1 \rightarrow KE \rightarrow \rightarrow VT1 \rightarrow -E_K \rightarrow +E_K \rightarrow R_{B2} \rightarrow -U_{C1}$.

Універсальна схема мультивібратора повинна мати такі елементи:

- термічної стабілізації;
- поліпшення переднього фронту імпульсів;
- плавного регулювання частоти.

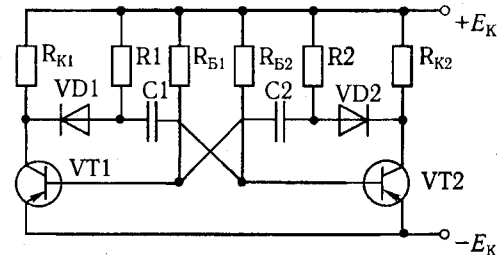


Рис. 14.13. Схема транзисторного мультивібратора з поліпшеною формою вихідної напруги

Мультивібратори випускають в інтегральному виконанні серії 119ГФ2 і 218ГФ2: серія 119 — напівпровідникові (монолітні) ІС, серія 218 — гібридні. Мультивібратори в інтегральному виконанні мають виводи для підключення додаткових конденсаторів і резисторів, що забезпечують регулювання частоти.

14.4. Транзисторний одновібратор. Принцип дії, осцилограми

Мультивібратор у режимі очікування називають *одновібратором*. Виходячи з функціональних ознак, одновібратор часто має й інші назви: загальмований мультивібратор, однотактний релаксатор, кіп-реле тощо. Однак незалежно від назви, одновібратор — це пристрій з позитивним зворотним зв'язком, що має один стійкий та один тимчасово стійкий стан, що формують одиничний прямокутний імпульс.

Формування імпульсу прямокутної форми здійснюється одновібратором після надходження імпульсу запускання, який переводить одновібратор зі стійкого стану в тимчасово стійкий. Момент закінчення тимчасово стійкого стану визначається ланкою, що задає час. Змінюючи сталу часу ланки (плавню чи стрибком), можна регулювати тривалість вихідних імпульсів у широких межах. Тому одновібратори застосовують для формування прямокутних імпульсів заданої тривалості й амплітуди та для затримки імпульсів на певний час.

Одновібратор можна зробити з автоколивального мультивібратора, якщо його примусово замкнути в одному з тимчасово стійких станів, перетворивши його на стійкий. Найбільшого поширення як одновібратор має схема зі зв'язком у колі емітера (рис. 14.14). Схема містить двокаскадний транзисторний підсилювач, в якому один зв'язок між каскадами здійснюється за допомогою конденсатора C , а другий — спільним резистором у колі емітерів R_E .

У вихідному стані стійкої рівноваги транзистор $VT1$ замкнений, а транзистор $VT2$ відкритий і перебуває в режимі насичення, для чого резистор R_B вибирають так ($R_B \leq h_{21E} R_{K2}$), щоб забезпечував базовий струм, достатній для насичення транзистора $VT2$. За рахунок струму емітера транзистора $VT2$ на спільному резисторі R_E створюється спад напруги $U_E = I_{E2} R_E$ із зазначеною на рис. 14.14 полярністю, $VT1$ замкнений і $I_{K1} = 0$. На нижньому плечі подільника напруги $R1 - R2$ відбувається спад напруги U_{R2} .

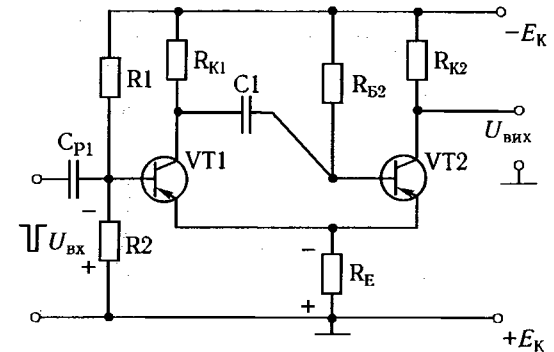


Рис. 14.14. Принципова схема одновібратора

У процесі виконання умови $|U_E| > |U_{R2}|$ на базу транзистора $VT1$ щодо емітера подається позитивна напруга $U_{BE1} \approx (0,3 \dots 0,8) \text{ В}$, що замикає його. Конденсатор C при цьому заряджений до напруги $U_C \equiv E_K - U_E$ (якщо знехтувати напругою U_{BE2}) із зазначеною на рисунку полярністю. Заряджання конденсатора C відбувається по колу: від джерела живлення $+E_K$ через резистор R_E і проміжок емітер—база транзистора $VT2$, C , через резистор R_{K1} і на джерело живлення $-E_K$.

Часові діаграми одновібратора зображено на рис. 14.15. Під час подачі на вхід одновібратора в момент часу t_1 імпульсу запуску негативної полярності з амплітудою, що перевищує напругу запирання транзистора $VT1$, $|U_{вх}| > |U_{BE1}|$, транзистор починає відкриватися і напруга на його колекторі отримує деяке позитивне збільшення. Оскільки напруга на конденсаторі C миттєво змінитися не може, то це збільшення позитивної напруги передається на базу транзистора $VT2$, замикаючи його. При цьому зменшується струм I_{E2} і спад напруги на резисторі R_E відбувається за рахунок зменшеного струму I_E , що сприяє подальшому відмиканню транзистора $VT1$. Цей регенеративний процес лавиноподібного наростання закінчується повним замиканням транзистора $VT2$, напруга на колекторі якого (вихід мультивібратора) зменшується майже до напруги джерела живлення $-E_K$ і насичення транзистора $VT1$. Замкнений стан транзистора $VT2$ підтримується напругою на конденсаторі C , тому що ліва його обкладка приєднана тепер через насичений транзистор $VT1$ до емітера транзистора $VT2$ і $U_{BE2} \approx U_C > 0$.

Такий стан одновібратора є тимчасово стійким, оскільки конденсатор C починає перезаряджатися у ланці: від джерела жив-

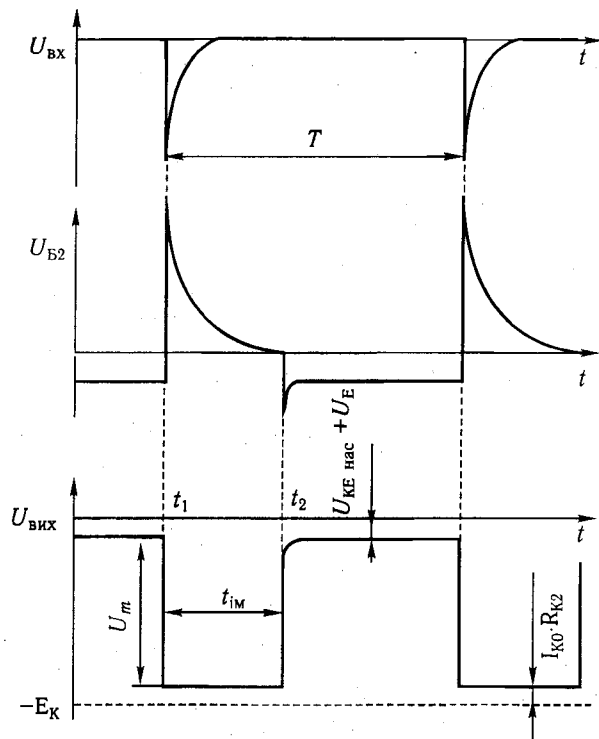


Рис. 14.15. Часові діаграми напруг одновібратора

лення $+E_K$ через резистор R_E та проміжок емітер—колектор до транзистора VT1, С, через резистор $R_{Б2}$ на джерело живлення $-E_K$ і напруга на ньому, а отже, на базі транзистора VT2 знижується. Якщо ця напруга в момент часу t_2 досягає нульового рівня, транзистор VT2 відкривається й у схемі виникає регенеративний процес перекидання, аналогічний описаному вище, внаслідок чого одновібратор повертається у вихідний стійкий стан.

Тривалість імпульсу, сформованого на колекторі транзистора VT2 від моменту подачі імпульсу, що запускає, до закінчення тимчасово стійкого стану, визначається тим самим співвідношенням, що й для автоколивального мультивібратора:

$$t_{\text{им}} = 0,7R_{\text{Б}}C.$$

Тривалість відновлення одновібратора, зумовлена тривалістю заряджання конденсатора С, приблизно становить

$$t_{\text{в}} \approx 3\tau_{\text{зар}} \approx 3C(R_{\text{К1}} + R_E).$$

Для нормальної роботи одновібратора період повторення імпульсів, що запускають, має бути не меншим, ніж повний цикл його роботи:

$$T \geq t_{\text{им}} + t_{\text{в}}.$$

Амплітудне значення імпульсу на виході одновібратора визначається за співвідношенням

$$U = \frac{E_K R_{\text{К2}}}{R_{\text{К2}} + R_E}.$$

Інші різновиди одновібраторів на біполярних транзисторах, що відрізняються за способом замикання транзистора у стійкому стані рівноваги, в принципі, і за суттю механізму роботи аналогічні розглянутому. Оскільки вхід та вихід одновібратора практично не пов'язані з ланкою позитивного зворотного зв'язку, ланки запускання і підключення навантаження не впливають на тривалість перехідних процесів у схемі.

Контрольні запитання

1. Намалюйте кола заряджання і розряджання конденсатора С1 і визначте вплив їх сталих часу на параметри мультивібратора. Наведіть формулу розрахунку періоду коливань мультивібратора та електричну модель мультивібратора для розрахунку.
2. Наведіть схеми східчастого і плавного регулювання частоти мультивібратора. Яка суть плавного регулювання частоти?
3. Які основні причини температурної нестабільності мультивібраторів на германієвих і силіцієвих транзисторах та способи їх усунення?
4. Опишіть методику розрахунку одновібратора за постійним струмом, поясніть, чим визначається мінімальний період проходження імпульсів запускання, встановіть мінімальні значення їхньої амплітуди і тривалості.

15.1. Загальна характеристика і принципи побудови генераторів

Лінійно змінюваною напругою називається напруга, яка впродовж деякого часу змінюється за законом, близьким до лінійного, а потім швидко повертається до початкового рівня. Напруга, що змінюється від меншого рівня до більшого, називається *лінійно зростаючою*, а напруга, що змінюється від більшого рівня до меншого, — *лінійно спадаючою*. Такі напруги називають ще *напругами пилкоподібної форми*. На рис. 15.1 наведено графік напруги, що лінійно змінюється, де $t_{пр}$ — тривалість прямого, або робочого, ходу; $t_{зв}$ — тривалість зворотного ходу; $t_{п}$ — тривалість паузи; T — період коливань; U_m — амплітуда напруги.

Пилкоподібна напруга характеризується також частотою

$$f = 1/T,$$

де $T = t_{пр} + t_{зв} + t_{п}$.

Існує два принципи створення лінійно змінюваної напруги (ЛЗН):

- з використанням RC-ланки (рис. 15.2). Суть принципу — використання початкової лінійної ділянки експоненти $U_C(t)$ під час заряджання конденсатора С від джерела ЕРС E через

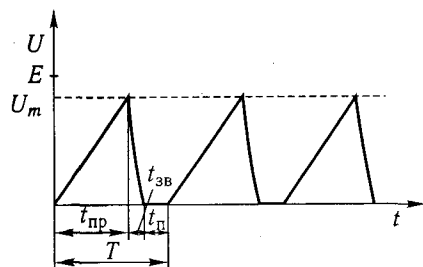


Рис. 15.1. Лінійно змінювана напруга

опір R . Для швидкого розряджання конденсатора С використовується ключ S .

При розімкненому ключі S формується прямий хід ЛЗН, при замкненому — зворотний. Залежно від ступеня нелінійності початкової ділянки експоненти амплітуда U_m може досягати значень 0,3...0,6 від E . Отже, основним не-

доліком схеми є низький коефіцієнт використання напруги E :

- заряджання конденсатора С відбувається через стабілізуювальний струм елемент (ССЕ) (рис. 15.3).

Оскільки напруга на конденсаторі С визначається за виразом

$$U_C = \frac{1}{C} \int_0^t i_C(t) dt,$$

то під час стабілізації струму заряджання конденсатора $i = \text{const}$ отримаємо

$$U_C = \frac{i_C}{C} t.$$

Отже, напруга на конденсаторі С змінюється за лінійним законом у функції часу t . Для стабілізації струму як ССЕ часто використовують біполярний транзистор, підключений за схемою зі спільною базою.

Основними параметрами генераторів лінійно змінюваної напруги (ГЛЗН) є:

- коефіцієнт нелінійності

$$\epsilon = \frac{|U'(t)|_{t=0} - |U'(t)|_{t=t_{пр}}}{|U'(t)|_{t=0}},$$

де $U'(t)$ — похідна вихідної напруги (U_C) у відповідний момент часу, що характеризується тангенсом кута нахилу дотичної до $U_C(t)$. Різниця між тангенсами кутів нахилу α_1 та α_2 визначає похибку (рис. 15.4);

- коефіцієнт використання напруги ξ характеризується відношенням амплітуди пилки пилкоподібної напруги до напруги, що підводиться,

$$\xi = \frac{U_m}{E}.$$

Що більше ξ , то більша похибка ГЛЗН для RC-ланки, оскільки використовується велика ділянка експоненти. Отже, збільшуючи ξ , отримуємо більший коефіцієнт нелінійності ϵ .

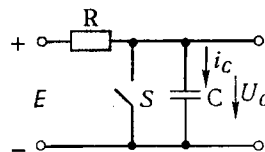


Рис. 15.2. Формування ЛЗН RC-ланкою

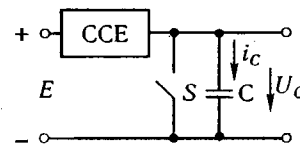


Рис. 15.3. Формування ЛЗН з використанням ССЕ

Для схеми на рис. 15.2 $U_C = E \left(1 - e^{-\frac{t}{RC}}\right)$.

Якщо $t = t_{пр}$, отримаємо

$$U_C = U_m = E \left(1 - e^{-\frac{t_{пр}}{RC}}\right).$$

$$\text{Тоді } \xi = \frac{U_m}{E} = 1 - e^{-\frac{t_{пр}}{RC}}.$$

Якщо значення коефіцієнта використання напруги $\xi = 0,5 \dots 0,7$, похибка досягає 10–20 %. Для зменшення коефіцієнта нелінійності рекомендується застосовувати схему із СЕ.

ГЛЗН можуть працювати у таких режимах:

- автоколивальному;
- очікування;
- синхронізації.

Розрізняють також режим зовнішнього керування як різновид режиму очікування. У цьому режимі тривалість робочого ходу визначається тривалістю керувального імпульсу. У режимі очікування початок прямого ходу визначає короткий керувальний імпульс, а тривалість прямого ходу залежить від параметрів ГЛЗН, що задають час.

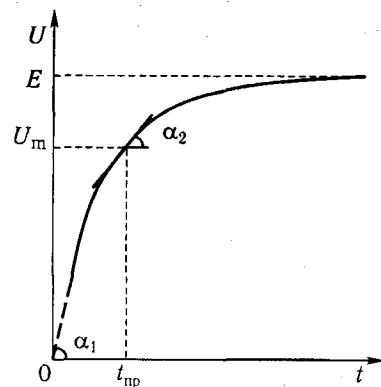


Рис. 15.4. Визначення похибки

У режимі синхронізації частота ГЛЗН кратна частоті зовнішніх синхронізуючих імпульсів. Автоколивальна схема працює без зовнішніх керувальних імпульсів.

15.2. Автоколивальні генератори на транзисторах

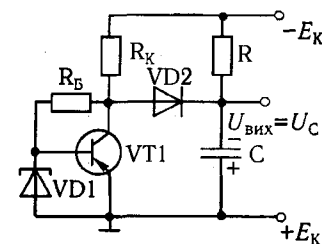
Принципову схему автоколивального генератора напруги, що лінійно змінюється, на транзисторі зображено на рис. 15.5. Схема складається з формувальної RC-ланки, діода VD2 відсікання, транзисторного ключа, зібраного на транзисторі VT1 і тунельному діоді VD1.

На час формування робочого ходу генератора діод VD2 замкнений і схема відключена від RC-ланки. Напруга на кон-

Рис. 15.5. Автоколивальний ГЛЗН на транзисторі

денсаторі С (U_C) змінюється за експоненціальним законом:

$$U_C = \frac{1}{C} \int_0^t i(t) dt.$$



На початковій ділянці експоненти напруга U_C змінюється за лінійним законом. Для забезпечення коефіцієнта нелінійності $\varepsilon \approx 10\%$ коефіцієнт використання напруги вибирають порядку

$$\xi = \frac{U_m}{E_K} \approx 0,5.$$

Максимальне значення напруги на конденсаторі С

$$U_{C\max} \approx 0,5E_K.$$

Режим за постійним струмом вибирають для ключа так, щоб напруга на колекторі була меншою від $U_{C\max}$ на величину напруги відмикання діода ($U_{д.пр}$). У міру заряджання конденсатора, коли U_C стане більш негативною, ніж U_K , діод VD2 відкривається і починається лавиноподібний процес розряджання ємності через діод VD2 і транзисторний ключ. При цьому за рахунок малого опору відкритого діода VD2 паралельно резистору R_K підключено резистор R, що зумовлює більше значення тангенса кута нахилу навантажувальної лінії I' (рис. 15.6, а).

Положення навантажувальної лінії до відмикання діода VD2 (I), а після відмикання змінюється і займає положення I' . Напруга на колекторі зростає по модулю від U_{K1} до U_{K2} , що призводить до збільшення струму бази I_B і струму через тунельний діод VD1. Робоча точка на характеристиці тунельного діода, що займав положення O_1 (до відмикання діода VD2), переходить у положення O_2 за рахунок зростання напруги U_{K2} . Це приводить до того, що на тунельному діоді $U_{д1}$ відбувається стрибок напруги і вона збільшується у 4–6 разів (до $U_{д2}$), що забезпечує надійне насичення транзистора VT1 (див. рис. 15.6, б).

Розряджання конденсатора С переважно відбувається через насичений транзистор VT1 і струм протікає по ланці від $+U_C$ через VT1 (ЕК), VD2 па $-U_C$. Напруга U_C швидко

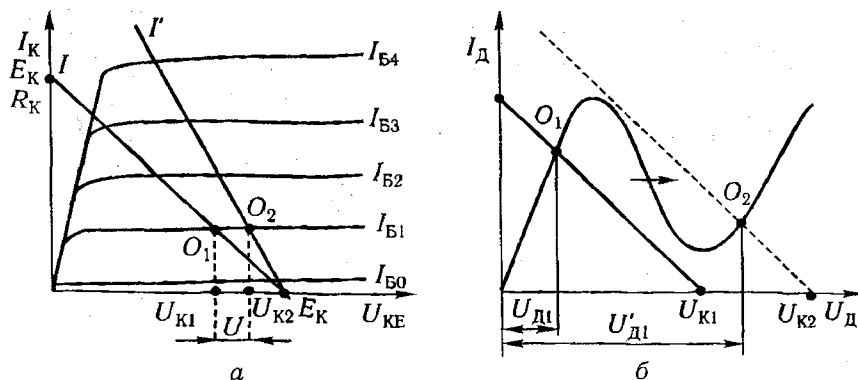


Рис. 15.6. Режими за постійними струмами транзистора (а) і тунельного діода (б)

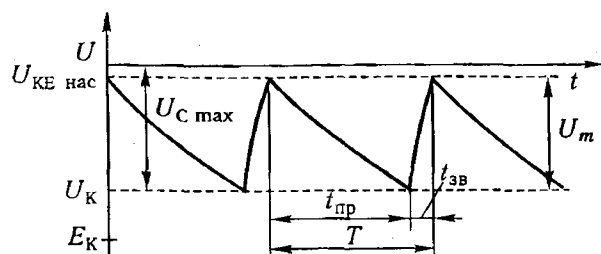


Рис. 15.7. Осцилограма вихідної напруги автоколивального ГЛЗН на транзисторі

спадає до напруги $U_{KE_нас}$, тому VD2 замикається і схема відключається від RC-ланки. Після цього знову починається процес формування прямого ходу. На рис. 15.7 наведено осцилограму вихідної напруги розглянутої схеми.

Тривалості прямого і зворотного ходу ГЛЗН розраховують за такими формулами:

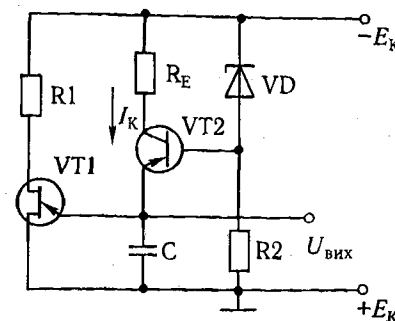
$$t_{пр} = RC \ln \frac{E_K - U_{CO}}{E_K - U_{C_max}};$$

$$t_{зв} = (R_{KE_нас} + R_{пр\ VD2})C \ln \frac{E_K - U_{CO}}{E_K - U_{C_max}},$$

де $R_{KE_нас}$ і $R_{пр\ VD2}$ — відповідно опір транзистора у режимі насичення та діода у замкненому стані.

Подібні схеми генераторів працюють у широкому діапазоні частот, оскільки на частоту переважно впливають лише

Рис. 15.8. ГЛЗН на польовому транзисторі з одним переходом і стабілізуючому елементі



параметри RC-ланки. Співвідношення f_{max}/f_{min} становить порядку тисяч.

Схема ГЛЗН, що використовує принцип заряджання конденсатора через елемент, який стабілізує струм.

Такі схеми забезпечують високу якість лінійності $\epsilon \approx 0,01$ за коефіцієнта використання напруги $\xi \approx 0,8$. У цій схемі використано польовий транзистор з одним переходом (рис. 15.8), що працює в режимі ключа.

У разі використання заряду конденсатора через стабілізуювальний струм елемент дістанемо

$$U_C = \frac{1}{C} \int_0^t i(t) dt, \text{ якщо } iC = I = \text{const}; U_C = \frac{I}{C} t = kt.$$

Транзистор VT2 працює у режимі джерела струму, забезпечуючи заряджання конденсатора C постійним струмом I_K . Режим роботи транзистора за постійним струмом при $I_B = \text{const}$ забезпечує у разі зміни U_{KE} в широких межах постійну величину I_K (рис. 15.9). Стабілізація I_B забезпечується за рахунок стабілізації напруги U_{BE} за допомогою параметричного стабілізатора, зібраного на стабілітроні VD і баластному резисторі R2.

Під час підключення схеми до джерела живлення з напругою E_K конденсатор C заряджається у ланці: від $+E_K$ через

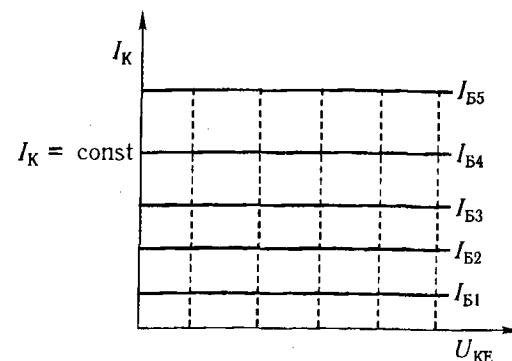


Рис. 15.9. Режим роботи транзистора VT2 за постійним струмом

резистор R_E , ЕК VT2, С до $-E_K$. Заряджання конденсатора С здійснюється незмінним струмом I_K . Після досягнення рівня напруги порядку $U_C = 0,8E_K$, яка визначається напругою підключення польового транзистора VT1 з одним переходом, він вмикається (входить у режим насичення) і забезпечує швидке розрядження конденсатора С через себе. Під час розрядження конденсатора С напруга і струм на ньому зменшуються і в деякий момент часу напруга на затворі досягає напруги запирання транзистора VT1. При замкненому транзисторі VT1 починається формування чергового циклу заряджання конденсатора С.

15.3. Генератори в режимі очікування на транзисторах і операційних підсилювачах

Схему ГЛЗН очікування, який працює в режимі зовнішнього керування, зображено на рис. 15.10. Тривалість прямого ходу генератора пилоподібної напруги визначається тривалістю керувального імпульсу.

Транзистор VT1 — це транзисторний ключ, який у початковому режимі знаходиться в стані насичення, що забезпечується відповідним струмом бази I_B :

$$I_B = \frac{E_K - U_{BE \text{ нас}}}{R_B} \geq I_{B \text{ нас}};$$

$$I_{B \text{ нас}} = \frac{I_{K \text{ нас}}}{\beta} \approx \frac{E_K}{R_K \beta},$$

де $\beta = h_{21E}$, звідки $R_B \leq R_K \beta$.

За відсутності вхідного сигналу $U_{вх}$ транзистор VT1 насичений і $U_{KE} = U_{KE \text{ нас}}$, що зазвичай не перевищує 1 В. Отже, за відсутності вхідного імпульсу напруга на виході схеми близька до нуля ($U_{вих} = U_{KE \text{ нас}}$). Осцилограми роботи схеми очікування зображено на рис. 15.11.

У момент часу t_1 надходить імпульс керування і замикає транзистор VT1 ($U_{вх} = 0,3 - 0,5$ В). Конденсатор С заряджається через R_K від напруги E_K і формує прямий хід «пилки». Що менше потрібне значення ϵ , то менше $U_{C \text{ max}}$.

Після t_2 транзистор VT1 знову перебуває в насиченні та забезпечує розрядження конденсатора С через насичений транзистор VT1. Коли рівень напруги на колекторі досягає

Рис. 15.10. ГЛЗН очікування у режимі зовнішнього керування

$U_{KE \text{ нас}}$ (момент часу t_3), можлива подача чергового замикаючого імпульсу. Для поліпшення лінійності коефіцієнт використання $\xi = 0,25 \dots 0,4$, звідки впливає, що E_K має бути в 3—4 рази більшою, ніж U_m , а це потребує застосування високовольтичних транзисторів.

Для використання в схемі низьковольтичних транзисторів застосовують ланку VD і $E_{пор}$ (див. рис. 15.10). Величину джерела $E_{пор}$ вибирають з умови:

$$E_{пор} > U_m \text{ з невеликим запасом } |U_m| < |E_{пор}| < |E_K|.$$

Якщо $|U_K|$ перевищує $|E_{пор}|$, відкривається діод і U_K не перевищує $E_{пор}$. Це дає змогу застосовувати низьковольтичні транзистори за високовольтного живлення, внаслідок чого отримують значно менше значення коефіцієнта нелінійності прямого ходу ϵ .

Генератори на операційних підсилювачах. Застосування інтеграторів на ОІПС забезпечує отримання вихідної напруги, пропорційної інтегралу від вхідної напруги (див. розд. 9.2). Отже, подавши на вхід інтегратора постійну напругу $U_{вх}$, отримаємо на його виході напругу, що лінійно змінюється. Схему генератора пилоподібної напруги з конденсатором С, підключеним у ланку НЗЗ ОІПС, зображено на рис. 15.12,

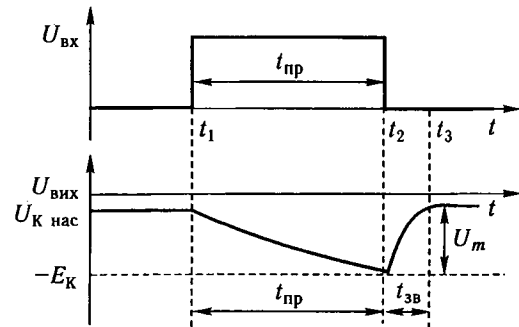


Рис. 15.11. Осцилограми роботи ГЛЗН очікування у режимі зовнішнього керування

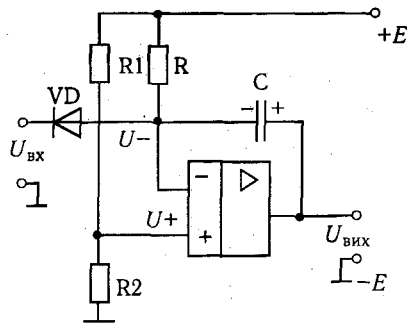


Рис. 15.12. Схема генератора пилоподібної напруги

а часові діаграми вхідної і вихідної напруг генератора зображені на рис. 15.13.

Схема керується імпульсами позитивної полярності, які подають на вхід підсилювача з інвертуванням сигналу через діод VD, що відключає схему (ключ на

діодах відключений) від спільної шини на час тривалості вхідного імпульсу. За період вхідного імпульсу відбувається інтегрування вхідної напруги U^- , причому $U^- > 0$ (див. рис. 15.12).

До подачі керувального імпульсу (відрізок часу $0-t_1$, див. рис. 15.13) діод VD відкритий і напруга на вході, що інвертує U^- , позитивна і незначно підвищує нульовий рівень $U^- \approx 0,3...0,4$ В. Напруга на вході без інвертування U^+ визначається подільниками напруги R1, R2

$$U^+ = \frac{ER_2}{R_1 + R_2} \gg 0.$$

Значення коефіцієнта розподілу за рахунок обраного співвідношення між опорамі резисторів R1 і R2 задається

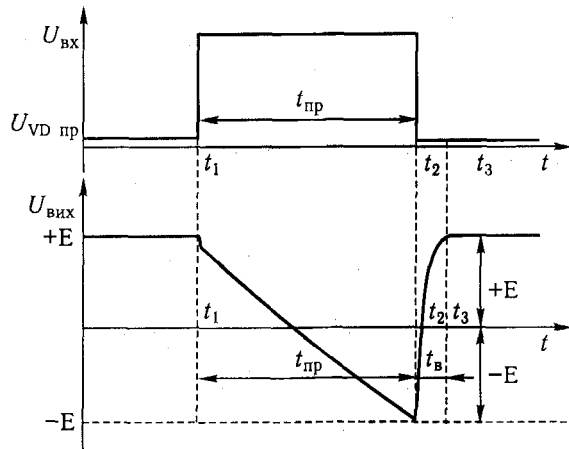


Рис. 15.13. Часові діаграми вхідної і вихідної напруг ГЛЗН на ОППС

так, щоб рівень U^+ забезпечував стан ОППС у режимі обмеження, за якого $U_{\text{вих}} = E$. Конденсатор C інтегратора заряджений до напруги джерела живлення E.

Позитивний імпульс, що впливає на вхід генератора у момент часу t_1 , замикає діод VD, напруга U^- зростає до рівня, що забезпечує перехід підсилювача в активний режим, при цьому напруга на виході стрибком зменшується на певелике значення. Потім конденсатор C починає розряджатися і перезаряджатися через резистори R, $R_{\text{вих}}$ підсилювача і джерело живлення E. Під час розряджання відбувається зменшення струму. Підключення конденсатора C в ланку ЗЗ, було описано в розглянутій раніше схемі, що за великих коефіцієнтів підсилення ОППС дає змогу значно стабілізувати струм розряджання та підвищити лінійність вихідної напруги. Якщо розрахункове співвідношення між сталою часу розряджання конденсатора і тривалістю робочого ходу задовольняє рівність

$$\tau = RC \approx 0,3t_{\text{пр}},$$

то за час тривалості імпульсу конденсатор встигає цілком перезарядитися до напруги $-E$.

Після закінчення в момент часу t_2 керувального імпульсу діод VD відмикається, напруга U^- стрибкоподібно зменшується до нульового рівня ($U^- = 0,3...0,4$ В), підсилювач насичується, його вихідна напруга досягає величини $+E$, а конденсатор C швидко розряджається через відкритий діод VD і $R_{\text{вих}}$ підсилювача. Схема повертається у початковий стан. Тривалість відновлення схеми генератора

$$t_{\text{в}} = 3C(r_{\text{д. пр}} + R_{\text{вих. підс}}).$$

Коефіцієнт нелінійності пилоподібної напруги:

$$\epsilon = 1/K_U.$$

15.4. Автоколивальний блокінг-генератор

Блокінг-генератором називають релаксацийний генератор із трансформаторним позитивним зворотним зв'язком, що дає змогу отримувати потужні короткі імпульси практично прямокутної форми з амплітудою порядку $E_{\text{ж}}$. Для отримання значень вихідної напруги понад $E_{\text{ж}}$ використовують додаткову обмотку трансформатора. Тривалість генерованих імпульсів

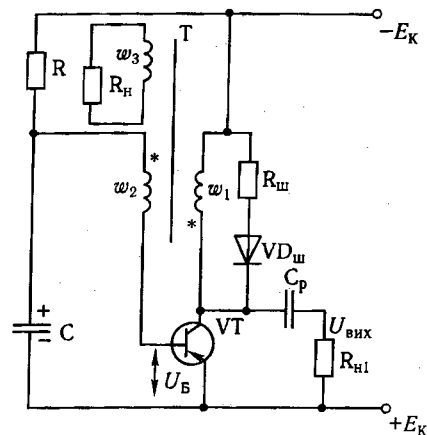


Рис. 15.14. Схема автоколивального блокінг-генератора

блокінг-генераторів становить 1–10 мкс і менше, а у разі шпаруватості Q – десятки – сотні.

Блокінг-генератор, як і інші типи релаксаційних генераторів, працюють у трьох режимах:

- автоколивальному;
- очікування;
- синхронізації.

Блокінг-генератори застосовують як імпульсні

генератори, формувачі потужних коротких імпульсів та елементи пристроїв порівняння.

Схему автоколивального блокінг-генератора зображено на рис. 15.14. Це підсилювач, охоплений позитивним зворотним зв'язком (ПЗЗ) через імпульсний трансформатор. Первинна обмотка з числом витків w_1 підключена в колекторну ланку транзистора VT1, а вторинна обмотка з числом витків w_2 – у базову ланку транзистора VT1. Щоб підвищити вихідну напругу, передбачено третю обмотку з числом витків w_3 . Для забезпечення умови виконання балансу фаз генератора первинна і вторинна обмотки підключені зустрічно.

Режим роботи транзистора VT1 за постійним струмом забезпечується резистором R , який визначає струм бази. RC -Ланка, що задає сталу часу, визначає тривалість паузи (t_{II}) блокінг-генератора. Оскільки шпаруватість імпульсів $Q = 10 \dots 100$, то тривалість імпульсів (t_{im}) у десятки – сотні разів менша за тривалість паузи. Отже, стала часу RC -ланки ($\tau = RC$) практично визначає період коливальності T . Тривалість паузи розраховують за формулою

$$t_{II} = RC \ln \left(1 + \frac{U_{C \max}}{E_K + I_{K0} R} \right),$$

де $U_{C \max} \approx E_K$.

Оцінка величини $I_{K0} R \approx 10 \dots 100$ мВ дає змогу знехтувати другим доданком у знаменнику. Тоді, враховуючи ці припущення, отримаємо тривалість паузи блокінг-генератора (пе-

ріод і частоту):

$$t_{II} \approx RC \ln 2 \approx 0,7 RC; \quad T \approx t_{II}; \quad f \approx \frac{1}{0,7 RC}.$$

Для збудження блокінг-генератора потрібне виконання двох умов – балансу фаз (БФ) і балансу амплітуд (БА):

$$\varphi_K + \varphi_{TP} = 360^\circ k; \quad k = 0, 1, 2 \dots;$$

$$\frac{K_U}{n} \geq 1; \quad n = \frac{w_1}{w_2}.$$

Визначаючи значення коефіцієнта підсилення K_U в активному режимі роботи транзистора VT1 у період перехідного процесу відповідно до схеми заміщення каскаду та з урахуванням БА, маємо

$$\frac{K_U}{n} = \frac{h_{21E} R'_H}{n(R'_{BX} + R'_H)}.$$

Звідси випливає, що для виконання БА:

$$h_{21E} \geq n \left(1 + \frac{R'_{BX}}{R'_H} \right),$$

де $R'_{BX} = R_{BX} n_1^2$ – вхідний опір транзистора VT1, зведений до первинної обмотки; $R'_H = R_H n_1^2$ – навантаження генератора, зведене до первинної обмотки ($n_1 = w_1 / w_3$).

У блокінг-генераторах достатньо використовувати транзистори з коефіцієнтом підсилення за струмом $h_{21E} \geq (20 \dots 30)$.

Осцилограми роботи автоколивального блокінг-генератора наведено на рис. 15.15. Розглянемо осцилограми з моменту часу $t_0 = 0$. Конденсатор C , заряджений у попередньому циклі, розрядився майже до нуля (транзистор VT1 у попередньому циклі був замкнений), за $t > t_0$ транзистор VT1 починає відкриватися, струм колектора I_K зростає, зумовлюючи в колекторній обмотці ЕРС самоіндукції. Це спричиняє викинення ЕРС у базовій обмотці, мінус якої прикладений до бази транзистора VT1, а плюс – до конденсатора C , під дією якої конденсатор C починає заряджатися. Потенціал «–» на базі транзистора VT1 щодо емітера збільшує струм бази, що призводить до подальшого збільшення I_K , забезпечуючи ла-

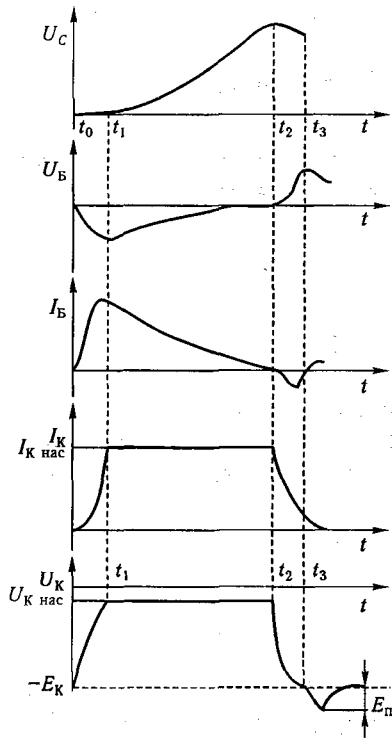


Рис. 15.15. Осцилограми роботи автоколивального блокінг-генератора

виноподібний процес перемикавання транзистора VT1, який закінчується у момент часу t_1 його насиченням.

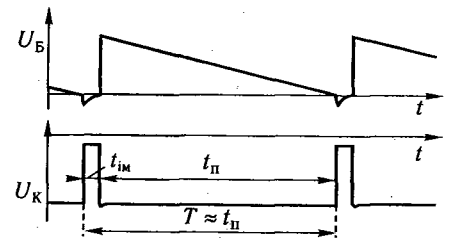
На цьому етапі перемикавання транзистора (від закритого $t \leq t_0$ до насиченого $t = t_1$) формується передній фронт імпульсу. Напруга на конденсаторі С (U_C) змінюється певна, оскільки тривалість переднього фронту невелика. На ділянці $t_0 - t_1$ транзистор VT1 перебуває в активному режимі ($K_U \gg 1$), а на ділянці $t_1 - t_2$ — у режимі насичення, при цьому $K_U < 1$ і транзистор не підсилює сигнали.

Після t_1 , оскільки $K_U < 1$, баланс амплітуд у генераторі не відбувається, тому струм

бази перестає керувати струмом колектора. Зменшується ЕРС, що наводиться у вторинній обмотці. Це призводить до зменшення струму бази I_B і на цьому етапі формується дах імпульсу. Зменшення струму бази I_B зумовлює появу в базовій обмотці ЕРС самоіндукції, яка перешкоджає зменшенню струму бази I_B . Під дією ЕРС відбувається заряджання конденсатора С, через ЕБ насиченого транзистора VT1; R_{EB} малий і заряджання відбувається дуже швидко. При цьому одночасно струм бази I_B і напруга на базі U_B змінюються до нуля, і в момент часу t_2 транзистор виходить зі стапу насичення.

Отже, він знову відновлює свої підсилювальні властивості за наступного переходу в активний режим і в момент часу t_2 закінчується формування даху імпульсу, після чого формується його задній фронт. В інтервалі часу $t_2 - t_3$ струм колектора I_K починає зменшуватися, що призводить до появи у базовій обмотці ЕРС самоіндукції з полярністю, протилежною попередній, тобто сприятливою для відмикання транзистора. При цьому транзистор VT1 закривається і тим самим фор-

Рис. 15.16. Реальні вихідні осцилограми автоколивального блокінг-генератора



мує лавиноподібний процес, який закінчується у момент часу t_3 замиканням транзистора.

У цьому інтервалі напруга на базі транзистора VT1 $U_B > 0$, що зумовлено кінцевим часом розсмоктування дірок у базі після насичення транзистора VT1, і спричинює зворотний струм I_B . Оскільки в момент замикавання транзистора VT1 струм колектора I_K не дорівнює нулю, то він не може миттєво припинитися. За рахунок ЕРС самоіндукції колекторної обмотки (ЕРС підвищується і прагне підтримати струм колектора I_K) напруга на колекторі перевищує напругу живлення на E_H . При цьому U_K може досягати $2E_K$. Для ліквідації цього сплеску в схемі передбачена ланка шунтування $VD_{ш} R_{ш}$.

Після t_3 починається формування паузи і відбувається перезаряджання конденсатора С через резистор R від E_K . Напруга на конденсаторі С (U_C) починає повільно зменшуватися, і, коли напруга U_C досягне нуля, схема повертається до початкового моменту часу t_0 і починається нове довільне перекидання схеми. Реальний вигляд вихідної напруги блокінг-генератора наведено на рис. 15.16.

Тривалість імпульсу блокінг-генератора можна обчислити за формулою

$$t_{im} \approx L_K \left(\frac{nh_{21}E}{R_{BX}} - \frac{n_1^2}{R_H} \right).$$

Тривалість фронту імпульсу визначається за виразом

$$t_{\phi} = 3n\tau_{tr} \left(1 + \frac{R'_{BX}}{R'_H} \right).$$

Якщо $R'_{BX} = R'_H$, отримаємо $t_{\phi} = 6n\tau_{tr}$, де τ_{tr} — стала часу транзистора.

15.5. Блокінг-генератор у режимі очікування. Синхронізація блокінг-генератора

Для переведення розглянутої вище схеми блокінг-генератора у режим очікування транзистор VT1 потрібно замкнути, а для запуску — подати напругу на базу, що відмикає транзистор. На рис. 15.17, а, б зображено схеми блокінг-генераторів очікування. В обох схемах транзистор закривається позитивною напругою $U_{BE} = 0,3 \dots 0,5$ В і блокінг-генератор перебуває в стані рівноваги. Конденсатор С, що задає час, розряджений, $U_C = 0$. Запирання можна забезпечити за допомогою джерела зсуву (див. рис. 15.17, схема а) та подільника напруги (див. рис. 15.17, схема б). Позитивна напруга, що подається на бази щодо емітера, має забезпечити запирання транзисторів. При цьому напруга U_{BE} для схеми а:

$$U_{BE} = U_C = E_B - I_{K0}R > 0;$$

для схеми б: $U_C = -I_{K0}R \approx 0$;

$$U_{BE} = U_{R1} - I_{K0}R > 0.$$

Рекомендується, щоб $U_{BE} \approx + (0,3 \dots 0,5)$ В. Це забезпечується напругою подільника $U_{R1} \approx +0,5$ В. За такої напруги переходу база — емітер транзистор буде цілком закритий. Значення ємності конденсатора C_E визначається за виразом

$$\frac{1}{\omega C_E} (10 \dots 30) = R_1,$$

де $\omega = 2\pi f_{\text{бл.г}}$ ($f_{\text{бл.г}} = 1/T$ — частота блокінг-генератора).

Параметри імпульсу запускання, які забезпечують надійне відмикання транзистора VT1, мають бути негативними за модулем, у 2—2,5 раза більші, ніж напруга замикавання транзисторів, а за тривалістю коротші за формовані імпульси, отже:

- $U_{\text{зап}} \approx -1,5 \dots -2$ В;
- $t_{\text{зап}} < t_{\text{ф.ім}}$.

Після надходження імпульсу запуску починається процес перекидання генератора, формується передній фронт, дах і задній фронт імпульсу щодо раніше розглянутих осцилограм. Після цього схема переходить у режим очікування.

Є два способи запуску загальмованих блокінг-генераторів (рис. 15.18, а, б):

Рис. 15.17. Схеми блокінг-генераторів очікування:
а — з джерелом зсуву; б — з подільником напруги

- послідовний;
- паралельний.

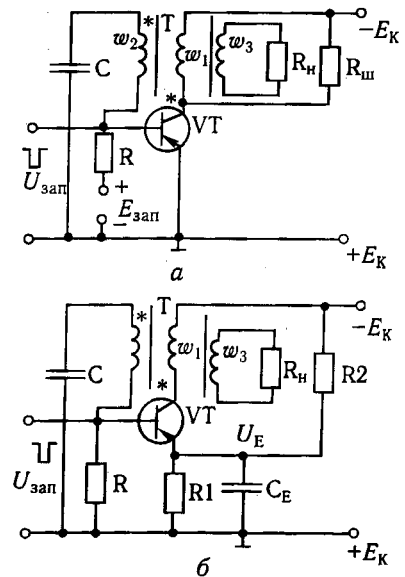
За послідовного способу запуску імпульс запускання підключається послідовно у ланку бази транзистора. При цьому джерело імпульсів запускання повинно мати низький внутрішній опір. Тому схему доповнено емітерним повторювачем на транзисторі VT1, який має низький вихідний опір і підключений у ланку бази транзистора VT2.

Якщо джерело імпульсів запускання має високий внутрішній опір, застосовують схему паралельного запуску. Імпульс запускання має відкрити транзистор і вивести його з відсікання в активну область, тому напруга на колекторі має отримати позитивний приріст порядку 1...2 В. Отже, рекомендується, щоб $U_{\text{зап}} \approx 2$ В.

Режим синхронізації блокінг-генераторів полягає в генерації вихідних імпульсів із частотою синхронізації, яка задається зовнішнім генератором з високою стабільністю. Для цього у базу транзистора VT1 подаються періодичні синхроімпульси потрібної амплітуди. Послідовність цих імпульсів може мати різну форму, однак оптимальшими вважають гострі імпульси. Частота синхронізації зовнішнього генератора має бути більшою, ніж частоти блокінг-генератора:

$$f_{\text{синх}} > f_{\text{бл.г.}}$$

Нехай на базу транзистора блокінг-генератора у режимі синхронізації (рис. 15.19) впливає синхронізувальний імпульс $U_{\text{синх}}$ з періодом проходження $T_{\text{синх}} < T_{\text{бл.г.}}$, де $T_{\text{бл.г.}}$ — період власних коливань блокінг-генератора (за відсутності синхронізувальних імпульсів). У момент вмикання синхронізувального автогенератора тимчасове розміщення синхронізувальних імпульсів щодо власних імпульсів блокінг-генератора



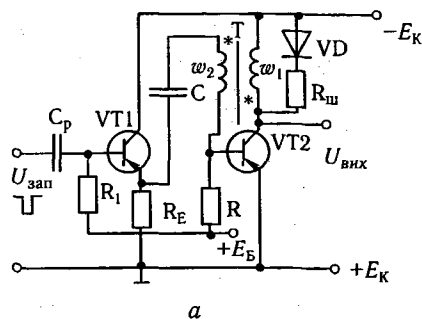


Рис. 15.18. Схеми послідовного (а) і паралельного (б) запускання блокінг-генератора

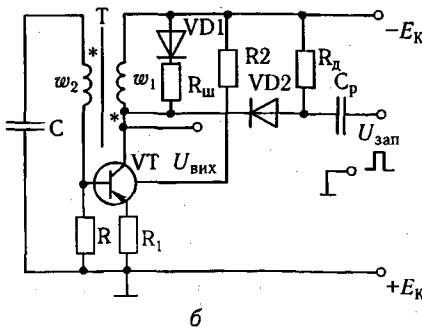


Рис. 15.19. Схема синхронізованого блокінг-генератора

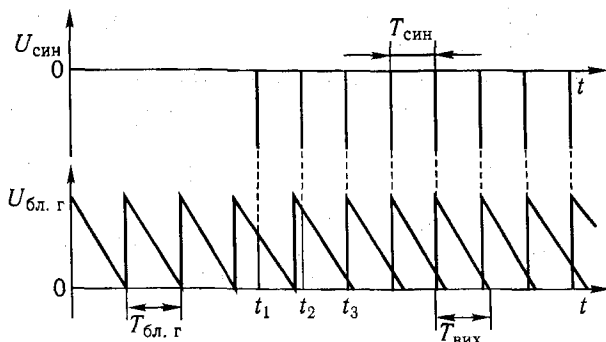
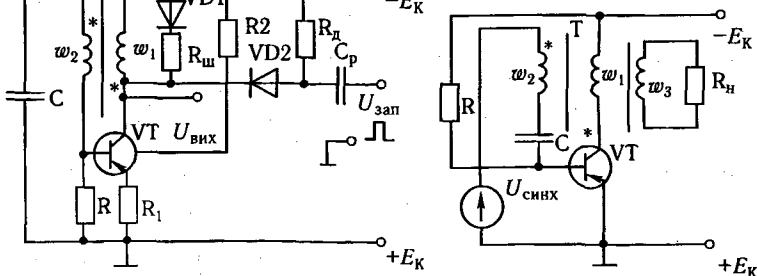


Рис. 15.20. Осцилограми роботи синхронізованого блокінг-генератора

може бути будь-яким (рис. 15.20). Перший синхронізуювальний імпульс (якщо $t = t_1$), що зменшує напругу U_B на базі транзистора VT1 у період розрядження конденсатора C, який задає час, не перекидає блокінг-генератор, оскільки за заданої амплітуди імпульсу залишкова напруга на базі більша за нуль.

Якщо $T_{\text{синх}} < T_{\text{Б.г}}$, то в кожний наступний період імпульси синхронізації зсуваються щодо моментів відмикання транзистора VT1, доки один з імпульсів, у цьому випадку третій імпульс (за $t = t_3$), не зумовить передчасного відмикання транзистора VT1, а отже, примусового розвитку процесу перекидання блокінг-генератора. Наступні синхронізуювальні імпульси будуть зумовлювати перекидання блокінг-генератора щораз раніше, ніж відбудеться розрядження конденсатора C, що задає час, через резистор R. У схемі встановлюється стаціонарний режим, за якого період повторення $T_{\text{ВНХ}}$ вихідних імпульсів блокінг-генератора у режимі синхронізації дорівнює періоду повторення синхронізуювальних імпульсів.

Якщо частота синхронізуювальних імпульсів $f_{\text{синх}} = n f_{\text{Б.г}}$, де n — задане ціле число, яке називають коефіцієнтом розподілу частоти, то блокінг-генератор працює в режимі розподілу частоти, тобто в режимі захоплення зовнішньою синхронізуювальною напругою. Наприклад, якщо $n = 3$, примусове перекидання блокінг-генератора відбувається за впливу кожного третього синхронізуювального імпульсу.

Із рис. 15.20 можна зробити висновок, що кратність розподілу частоти значно залежить від амплітуди U_m синхронізуювальних імпульсів. Задаючи різні значення параметрів $T_{\text{син}}$, $T_{\text{Б.г}}$, U_m , можна отримати будь-який режим розподілу частоти.

Контрольні запитання

1. Назвіть два варіанти побудови генераторів лінійно змінюваної напруги, наведіть формули та осцилограми вихідних напруг, оцініть їхні похибки.
2. Намалуйте схеми загальмованих (у режимі очікування) ГЛЗН на транзисторах та на ОПС.
3. Поясніть призначення і принцип побудови блокінг-генераторів, їхні основні параметри, осцилограми.
4. Як побудувати схеми загальмованих блокінг-генераторів? Наведіть схеми їх реалізації.

16.1. Поненційнi логічні елементи. Типи, характеристики, параметри

Логічні елементи переважно складаються з електронних перемикачів. За типами базових елементів електронних перемикачів найпоширенішими є такі схеми:

- транзисторно-транзисторна логіка (ТТЛ);
- емітерно-зв'язана логіка (ЕЗЛ);
- інжекційна інтегральна логіка (І²Л);
- структури метал—оксид—напівпровідник *p*-типу (*p*-МОН);
- структури метал—оксид—напівпровідник *n*-типу (*n*-МОН);
- комплементарні МОН-структури (КМОН);
- динамічні МОН-структури.

Такі види схемотехніки, як резистивно-транзисторна логіка (РТЛ) і діодно-транзисторна логіка (ДТЛ), у мікропроцесорних системах нині практично не застосовують.

Логічні схеми, які розробляють на різній конструктивно-технологічній основі, значно відрізняються за своїми характеристиками, навіть якщо вони реалізують однакові функції. У кожного з наведених видів схемотехніки є свої переваги. Так, ЕЗЛ відрізняється високою швидкістю, хоча деякі види ТТЛ наближаються до неї за цим параметром. Як *p*-МОН, так і *n*-МОН логіки широко застосовують у мікропроцесорах, а КМОН-схемотехніка має переваги, якщо важливе зменшення споживаної потужності.

Динамічні МОН-структури використовують для побудови різних запам'ятовувальних пристроїв; вони мають просту організацію, в якій логічний стан визначається зарядом ємності, внутрішньо властивій логічному елементу. І²Л застосовують в інтегральних схемах. Найпоширенішими нині є інтегральні схеми (ІС), що реалізують ТТЛ і її різновиди. Інтегральні схеми цього типу мають середню швидкість ($F_{\text{max}} = 20 \dots 50$ МГц) і середню споживану потужність.

Логічний елемент — це пристрій, що реалізує тільки одну булеву функцію. Такі елементи називають однофункціональ-

ними на відміну від функціональних елементів, що реалізують кілька булевих функцій. У функціональному елементі можуть використовуватися кілька логічних елементів. За способом кодування двійкових змінних логічні елементи цифрових пристроїв поділяють на імпульсні, динамічні, потенційні, імпульсно-потенційні та фазові.

В імпульсних елементах «1» показує наявність електричного імпульсу напруги або струму, а «0» — відсутність відповідного імпульсу.

У динамічних елементах «1» показує пачку імпульсів або потенціал, що поновлюється через потрібний інтервал часу, а «0» — відсутність імпульсів (або навпаки).

У потенційних логічних елементах (ПЛЕ) вхідні й вихідні двійкові змінні кодуються різною величиною електричного потенціалу.

В імпульсно-потенційних елементах на входи елементів можуть подаватися як потенційні рівні, так і електричні імпульси, причому вихідні сигнали зазвичай мають імпульсний характер. Розподіл сигналів на імпульсні й потенційні відносний. Тип сигналу визначають через тривалість такту, залежно від частоти тактового генератора цифрового пристрою. Імпульсний сигнал — сигнал з тривалістю, що менша за тривалість такту. Потенційний сигнал — сигнал з тривалістю, яка не менша за тривалість такту.

У фазових елементах застосовують сигнали у вигляді синусоїдальної напруги, а значення «1» і «0» двійкових змінних кодуються фазою синусоїдальної напруги щодо опорної напруги. Фазовий принцип кодування двійкових змінних застосовується, як правило, у пристроях аналогово-цифрового типу.

Графічні позначення і виконувані функції потенційних логічних елементів (ПЛЕ) зображено на рис. 16.1.

Розрізняють елементи з позитивною і негативною логікою. У позитивній логіці значенню логічної «1» ставлять у відповідність більше, а значенню логічного «0» — менше значення напруги або струму. У негативній логіці навпаки — великим значенням електричного сигналу відповідають значення логічного «0», меншим — значення логічної «1». Це визначення справедливе для будь-якої полярності використовуваної напруги або будь-яких напрямів струмів. Слід зазначити, якщо деякий логічний пристрій щодо позитивної логіки реалізує операцію «І», то щодо негативної логіки це буде операція «АБО» і навпаки.

Потенційний спосіб зображення логічного «0» і логічної «1» за позитивної логіки подано на рис. 16.2, а потенційний

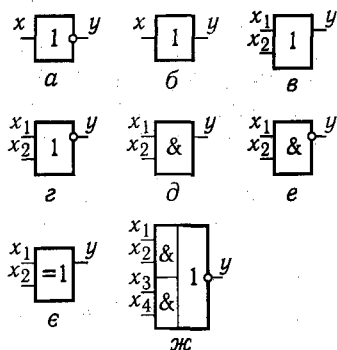


Рис. 16.1. Графічні позначення логічних елементів:
 а - інвертор $y = \bar{x}$;
 б - повторювач $y = x$; в - схема «АБО» $y = x_1 + x_2 = (x_1 \vee x_2)$;
 г - схема «АБО-НІ» $y = \overline{x_1 + x_2} = (\overline{x_1} \wedge \overline{x_2})$;
 д - схема «І» $y = x_1 x_2 = (x_1 \wedge x_2)$;
 е - схема «І-НІ» $y = \overline{x_1 x_2} = (\overline{x_1} \vee \overline{x_2})$;
 ж - суматор по mod 2;
 $y = x_1 x_2 \vee x_3 x_4$

спосіб зображення логічного «0» і логічної «1» за негативної логіки — на рис. 16.3.

Амплітудна передавальна характеристика $U_{\text{вих}} = f(U_{\text{вх}})$ визначає формувальні властивості логічного елемента (ЛЕ), його завадостійкість, амплітуду і рівні стандартного сигналу. Характеристика залежить від типу логічного елемента і може змінюватися в певних межах залежно від розкиду параметрів схем, змін напруги живлення, навантаження, температури навколишнього середовища.

Розглянемо типову амплітудну передавальну характеристику (АПХ) ЛЕ інвертора (рис. 16.4). У статичному стані вихідний сигнал ЛЕ може бути або на верхньому (U^B), або на нижньому (U^H) рівні напруги.

Асимптотичний верхній (точка В) і асимптотичний нижній (точка А) рівні логічних сигналів знаходять як точки перетину АПХ (крива 1) з її дзеркальним відображенням (крива 2) щодо прямої одиничного посилення $U_{\text{вих}} = U_{\text{вх}}$. Різниця $U^B_{\text{вих}} - U^H_{\text{вих}}$ є логічним перепадом U_L вихідних рівнів ЛЕ.

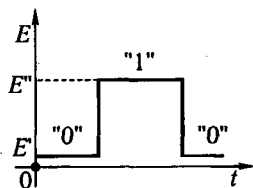


Рис. 16.2. Зображення позитивної логіки:
 E' — рівень логічного «0»; E'' — рівень логічної «1»; $|E'| > |E''|$

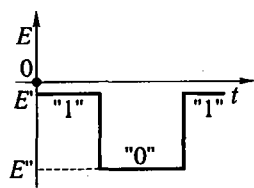


Рис. 16.3. Зображення негативної логіки:
 E' — рівень логічної «1»; E'' — рівень логічного «0»; $|E'| < |E''|$

На практиці через вплив завад і розкид амплітудних передавальних характеристик для кожного типу ЛЕ встановлюється мінімальний логічний перепад:

$$U_{L \min} = U^B_{\text{вих.пор}} - U^H_{\text{вих.пор}},$$

де $U^B_{\text{вих.пор}}$ і $U^H_{\text{вих.пор}}$ — відповідно верхній і нижній рівні вихідної порогової напруги. Вихідні порогові напруги визначають за допомогою точок порогу b і a на характеристиці, в яких диференціальний коефіцієнт посилення за напругою $K_U = -1$.

Зони статичної завадостійкості ЛЕ за нижнім ($U^H_{3в}$) і верхнім ($U^B_{3в}$) рівнями напруги в комбінаційних логічних колах обчислюють так:

$$(U^H_{3в})' = U_{\text{кв}} - U^H_{\text{вих.пор}};$$

$$(U^B_{3в})' = U^B_{\text{вих.3в}} - U_{\text{кв}},$$

де $(U^H_{3в})'$, $(U^B_{3в})'$ — максимально допустимі рівні статичної завади на вході ЛЕ в комбінаційних логічних колах; $U^H_{\text{вих.пор}}$ — поріг вихідної напруги нижнього рівня; $U^B_{\text{вих.пор}}$ — поріг вихідної напруги верхнього рівня; $U_{\text{кв}}$ — поріг квантуван-

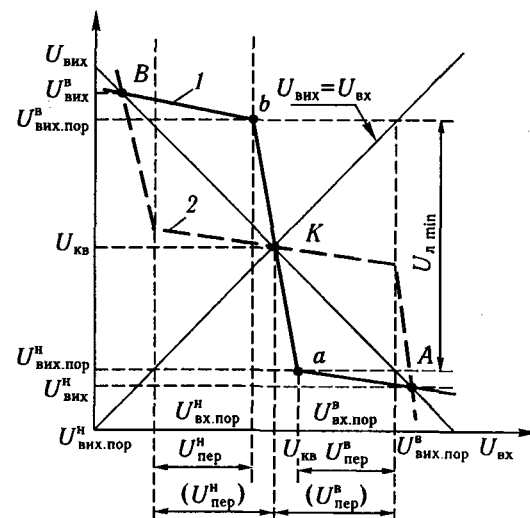


Рис. 16.4. Амплітудна передавальна характеристика ЛЕ інвертора

ня. Однак унаслідок наявності схем з позитивним зворотним зв'язком у технічній документації на всі ІС зони статичної завадостійкості на вході обмежуються вхідними пороговими напругами: $U_{\text{вх.пор}}^{\text{Н}}$ — за нижнім рівнем і $U_{\text{вх.пор}}^{\text{В}}$ — за верхнім. Ці порогові напруги називають відповідно *пороговою напругою зони перемикавання (поріг зони перемикавання) нижнього рівня і пороговою напругою зони перемикавання верхнього рівня*. У зоні перемикавання між пороговими напругами роботи ЛЕ в статичному режимі заборонена.

Отже, статичну завадостійкість ЛЕ за нижнім рівнем вхідного сигналу визначають за формулою

$$U_{\text{зв}}^{\text{Н}} = U_{\text{вх.пор}}^{\text{Н}} - U_{\text{вих.пор}}^{\text{Н}},$$

а за верхнім рівнем вхідного сигналу —

$$U_{\text{зв}}^{\text{В}} = U_{\text{вх.пор}}^{\text{В}} - U_{\text{вих.пор}}^{\text{В}}.$$

Статичну завадостійкість розглядають як стійку роботу елемента за тривалого впливу потенціалу завади.

Максимальна завадостійкість ЛЕ за нижнім і верхнім рівнями досягається за ідеальної амплітудної передавальної характеристики, для якої

$$U_{\text{вх.пор}}^{\text{Н}} = U_{\text{вх.пор}}^{\text{В}} = U_{\text{кв}}.$$

Реалізація характеристик, близьких до ідеальних, пов'язана з відомими труднощами внаслідок технологічного розкиду параметрів мікросхем під час виготовлення, зміни порогових напруг залежно від зміни напруги живлення і температури навколишнього середовища в процесі експлуатації. Тому реально зони статичної завадостійкості для кожного типу ЛЕ встановлюють на основі статистичного аналізу амплітудних передавальних характеристик. Напруги статичної завади вказують у паспорті на логічний елемент і гарантують для найгіршого випадку роботи певного елемента.

При зіставленні амплітудних передавальних характеристик ЛЕ різних типів часто використовують не абсолютні значення статичної завадостійкості, а їх відношення до мінімального логічного перепаду:

$$K_{\text{зв}}^{\text{Н}} = U_{\text{зв}}^{\text{Н}} / U_{\text{л min}}, \quad K_{\text{зв}}^{\text{В}} = U_{\text{зв}}^{\text{В}} / U_{\text{л min}}.$$

Що ближча амплітудна передавальна характеристика до ідеальної, то ближче значення цих коефіцієнтів до 0,5.

Статичні параметри визначають умови формування і значення напруг високого й низького рівнів на виході ЛЕ, його навантажувальну спроможність, споживану потужність за заданими параметрами напруги живлення, навантаження і температури навколишнього середовища.

До статичних параметрів ЛЕ належать:

- вихідні й вхідні напруги логічних «0» і «1» ($U_{\text{вих}}^0, U_{\text{вих}}^1, U_{\text{вх}}^0, U_{\text{вх}}^1$);
- вхідні й вихідні порогові напруги логічних «0» і «1» ($U_{\text{вх.пор}}^0, U_{\text{вх.пор}}^1, U_{\text{вих.пор}}^0, U_{\text{вих.пор}}^1$);
- вхідні й вихідні струми логічних «0» і «1» ($I_{\text{вих}}^0, I_{\text{вих}}^1, I_{\text{вх}}^0, I_{\text{вх}}^1$);
- струми споживання в стані логічних «0» і «1» ($I_{\text{сп}}^0, I_{\text{сп}}^1$);
- споживана потужність ($P_{\text{сп}}$).

Порогова напруга логічного елемента $U_{\text{пор}}$ — вхідна напруга, малі відхилення від якої в той або інший бік приводять до переходу логічного елемента на його виході зі стану «1» у стан «0» або навпаки.

Вихідна порогова напруга логічного «0» є максимальною або мінімальною (залежно від типу логіки) вихідною напругою логічного «0», що визначається точкою порогу амплітудної передавальної характеристики в області логічного «0», в якій диференціальний коефіцієнт посилення за напругою $K_U = 1$ для ЛЕ без інвертування та $K_U = -1$ для ЛЕ з інвертуванням (див. рис. 16.4, точка *a*).

Вихідна порогова напруга логічної «1» є мінімальною або максимальною (залежно від типу логіки) вихідною напругою логічної «1», що визначається пороговою точкою амплітудної передавальної характеристики в області логічної «1», в якій $K_U = 1$ для ЛЕ без інвертування, $K_U = -1$ для ЛЕ з інвертуванням. Поріг зони перемикавання логічного «0» є пороговою напругою логічного «0», що визначається пороговою точкою амплітудної передавальної характеристики в області логічного «0», в якій $K_U = 1$ для ЛЕ без інвертування та $K_U = -1$ для ЛЕ з інвертуванням (див. рис. 16.4, точка *b*).

Поріг зони перемикавання логічної «1» є пороговою напругою логічної «1», що визначається пороговою точкою амплітудної передавальної характеристики в області логічної «1», в якій $K_U = 1$ для ЛЕ без інвертування та $K_U = -1$ для ЛЕ з інвертуванням.

Вхідний струм ЛЕ задається для несприятливого режиму роботи в межах допустимих температур навколишнього середовища та напруги живлення як для рівня логічного «0»

($I_{\text{вх}}^0$), так і для рівня логічної «1» ($I_{\text{вх}}^1$). Вихідні струми $I_{\text{вих}}^0$, $I_{\text{вих}}^1$ характеризують навантажувальну здатність ЛЕ, (вхідні струми мають додатний знак, а вихідні струми — від'ємний). Завадостійкість визначають щодо цих струмів. Тому збільшення коефіцієнта розгалуження призводить до зниження завадостійкості.

Вхідний струм логічної «1» $I_{\text{вх}}^1$ визначають як вхідний струм для напруги логічної «1» на вході ЛЕ, а вхідний струм логічного «0» $I_{\text{вх}}^0$ — як вхідний струм для напруги логічного «0» на вході ЛЕ.

Вихідний струм логічної «1» $I_{\text{вих}}^1$ — як вихідний струм для напруги логічної «1» на виході ЛЕ, а вихідний струм логічного «0» $I_{\text{вих}}^0$ — як вихідний струм для напруги логічного «0» на виході ЛЕ.

Струм, споживаний від джерела (джерел) живлення ЛЕ ($I_{\text{сп}}$), залежить від типу ЛЕ. Для ЛЕ ЕЗЛ він майже постійний (якщо не брати до уваги навантаження) і не залежить від його логічного стану, для ЛЕ ТТЛ струм має різні значення для станів «0» і «1». Крім того, ЛЕ ТТЛ мають викиди струму під час перехідних процесів у разі перемикання ЛЕ, що призводить до істотного збільшення струму споживання на високих частотах. Амплітуда і тривалість викиду залежать від характеру та величини навантаження, схемотехніки вихідного каскаду ЛЕ ТТЛ, довжини лінії зв'язку та ін.

Вхідний опір логічного елемента $R_{\text{вх}}$ — відношення приросту вхідної напруги до приросту вхідного струму (визначають для двох значень вхідного сигналу: $R_{\text{вх}}^0$ та $R_{\text{вх}}^1$).

Вихідний опір логічного елемента $R_{\text{вих}}$ — відношення приросту вихідної напруги до його приросту вихідного струму (визначають для двох значень вихідного сигналу: $R_{\text{вих}}^0$ та $R_{\text{вих}}^1$).

Динамічні параметри. Швидкодія ЛЕ при перемиканні визначається електричною схемою, технологією виготовлення і характером навантаження. Для ідентифікації вимірювань динамічних параметрів у технічній документації на ІС наведено параметри еквівалентного навантаження, встановлено вимоги до амплітуди і тривалості фронту вхідного сигналу.

Часову діаграму, що пояснює зміну характеристик вихідного імпульсу залежно від параметрів вхідного імпульсу і властивостей елемента, зображено на рис. 16.5.

Рівні відліку напруг для визначення динамічних параметрів встановлено відносно вихідних порогових напруг логічних «1» та «0».

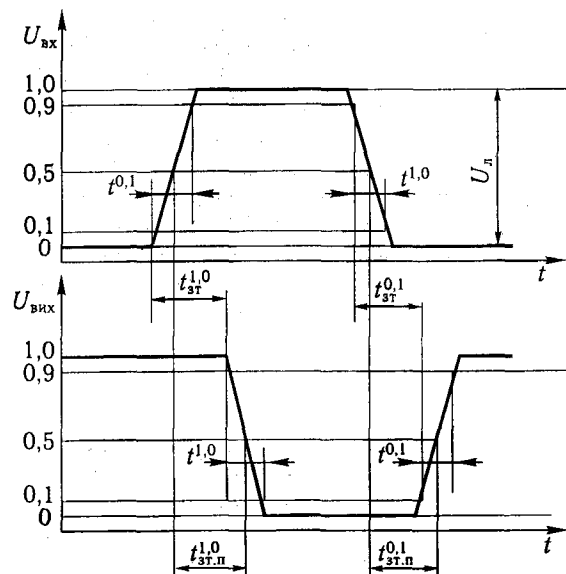


Рис. 16.5. Основні динамічні параметри

Основними динамічними параметрами ЛЕ є затримка поширення сигналу $t_{\text{зт.п}}$ під час перемикання і тривалість позитивного (наростаючого) і негативного (спадного) фронтів вихідних сигналів.

Затримку поширення сигналу під час переходу вихідної напруги від «1» до «0» $t_{\text{зт.п}}^{1,0}$ (для позитивної логіки це відповідає негативному фронту, для негативної — позитивному фронту вихідного сигналу) визначають як інтервал часу між вхідним і вихідним сигналами ЛЕ, виміряний на рівні 0,5 логічного перепаду вхідного і вихідного сигналів.

Затримку поширення сигналу під час переходу вихідної напруги від «0» до «1» $t_{\text{зт.п}}^{0,1}$ (для позитивної логіки це відповідає позитивному фронту, для негативної — негативному фронту вихідного сигналу) визначають як інтервал часу між вхідним і вихідним сигналами ЛЕ, виміряний на рівні 0,5 логічного перепаду вхідного і вихідного сигналів.

Під час розрахунку часової затримки сигналу послідовно увімкнених ЛЕ використовують середню затримку поширення сигналу ЛЕ:

$$\tau_{\text{зт.п.ср}} = (t_{\text{зт.п}}^{0,1} - t_{\text{зт.п}}^{1,0}) / 2.$$

Тривалість переходу $t^{1,0}$ зі стану «1» у стан «0» — інтервал часу, протягом якого напруга на виході логічного елемента переходить від рівня «1» до рівня «0», виміряний при значеннях 0,9 і 0,1 логічного перепаду.

Тривалість переходу $t^{0,1}$ на виході логічного елемента зі стану «0» у стан «1» — інтервал часу, протягом якого напруга на виході логічного елемента переходить від рівня «0» до «1», виміряний при значеннях 0,1 і 0,9 логічного перепаду.

Тривалість затримки $t_{зт}^{1,0}$ вмикання логічного елемента — інтервал часу між входним і вихідним сигналами під час переходу напруги на виході логічного елемента від напруги «1» до напруги «0», виміряний на рівні 0,1 логічного перепаду вхідного сигналу і на рівні 0,9 вихідного сигналу.

Тривалість затримки $t_{зт}^{0,1}$ вимкнення логічного елемента — інтервал часу між входним і вихідним сигналами під час переходу напруги на виході логічного елемента від напруги «0» до напруги «1», виміряний на рівні 0,9 логічного перепаду вхідного сигналу і на рівні 0,1 вихідного сигналу.

Гранична робоча частота елемента задає діапазон робочих частот сигналів, переданих елементом без спотворення так, щоб за час одного такту в схемі встигали завершитися перехідні процеси.

Частота перемикання — максимальна частота, на якій у найгірших умовах гарантується спрацьовування лічильного тригера, складеного з логічних елементів певної серії.

Навантажувальну здатність ЛЕ виражають коефіцієнтом об'єднання на вході і коефіцієнтом розгалуження на виході.

Коефіцієнт об'єднання на вході $K_{об}$ логічного елемента — число входів логічного елемента, за яким реалізується логічна функція, у тому числі з урахуванням входів логічного розширювача.

Коефіцієнт розгалуження на виході $K_{роз}$ логічного елемента — число одиничних навантажень, які можна одночасно підключити до виходу логічного елемента. Одиничним навантаженням є один вхід базового логічного елемента певної серії. Кожен ЛЕ з боку входу є нелінійним навантаженням, характер і значення якого визначаються комбінацією і значенням сигналів на інших входах цього самого елемента і розкидом параметрів схеми ЛЕ. Слід пам'ятати, що для деяких елементів певної серії один вхід еквівалентний кільком одиничним навантаженням.

16.2. Діодна та діод-транзисторна логіка

Логіка «І». Принципова схема найпростішого логічного елемента «І» і таблиця істинності зображені на рис. 16.6. Якщо хоча б на одному вході схеми є низький рівень позитивної напруги, прийнятий за умовний нуль, то діод, зв'язаний через катод із цим входом, відкритий і напруга на його аноді, а отже, і на виході пристрою дорівнює нулю. Якщо на всіх входах схеми присутній високий (одиничний) рівень напруги, то вихідний сигнал дорівнює одиниці.

Логіка «АБО». Найпростіший логічний пристрій з таблицею істинності, що виконує операцію диз'юнкції над логічними змінними x_1 і x_2 , вираженими у формі електричних напруг, зображений на рис. 16.7. Під одиничним рівнем розуміють високий позитивний потенціал. Якщо одиничний рівень присутній хоча б на одному вході, то через відкритий діод VD1 (VD2) ця напруга передається на вихід, створюючи одиничний рівень напруги.

Таблиця 16.1

Vx_1	Vx_2	Вих
1	1	1
1	0	0
0	1	0
0	0	0

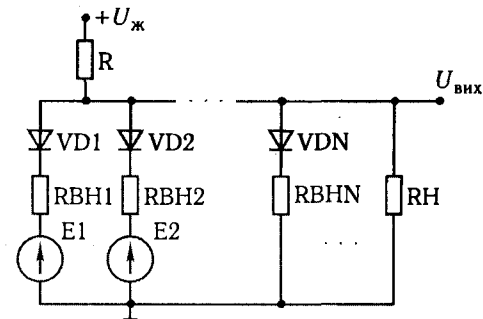


Рис. 16.6. ДЛ типу «І» з таблицею істинності

Таблиця 16.2

Vx_1	Vx_2	Вих
1	1	1
1	0	1
1	1	1
0	0	0

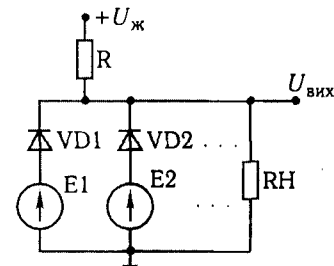


Рис. 16.7. ДЛ типу «АБО» з таблицею істинності

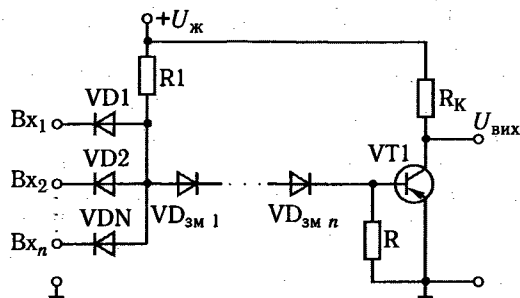


Рис. 16.8. Принципова схема елемента ДТЛ

Недоліки діодної логіки: схеми критичні до внутрішнього опору джерел ЕРС ($R_{вн}$), мають нестабільні рівні логічних «0» і «1». Тривалість затримки $t_3 \approx 10$ нс. Для ліквідації зазначених недоліків було розроблено схеми ДТЛ (діод-транзисторна логіка).

Принципову схему такого пристрою зображено на рис. 16.8. У такому пристрої діоди VD_1, VD_2, VD_n (разом з резистором R_1) виконують логічну операцію «І», транзистор VT_1 працює в схемі інвертора і виконує операцію «НІ», діоди VD_{3m1} і VD_{3m2} слугують для збільшення порогу відкривання ключа, зібраного на транзисторі VT_1 .

Переваги схеми:

- схема характеризується високою стабільністю логічного «0» і логічної «1»;
- схема не критична до внутрішнього опору джерела;
- вихідний опір елемента «І–НІ» за логічного «0» на виході визначається опором насиченого транзистора VT $r_{кнас}$, тобто малий, а за логічної «1» на виході дорівнює опору R_k .

Розглянуті елементи «І–НІ» можуть бути виконані й у інтегральному виконанні. Їхніми перевагами є мале значення вхідних струмів:

$$U_{ж} = 5 \text{ В}; P_{сп} = 20 \dots 50 \text{ мВт}; t_3 = 10 \text{ нс}; U_n = 1,5 \text{ В},$$

де $P_{сп}$ – потужність споживання; U_n – порогова напруга.

16.3. Транзисторно-транзисторна логіка

Цей вид схемотехніки має, мабуть, найбільшу кількість різновидів, тому що тривалість його використання дала змогу виявити багато властивих йому обмежень та способи їх подолання. Більшість ІС, які входять до складу серій транзисторно-

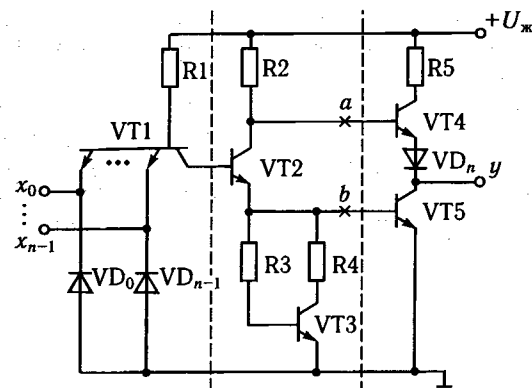


Рис. 16.9. Принципова електрична схема ЛЕ І–НЕ ТТЛ (штрих Шеффера)

транзисторної логіки (ТТЛ), виконано на основі комбінації двох базових схем: елемента І–НЕ (штрих Шеффера) і розширника за АБО.

Елемент І–НЕ (рис. 16.9) можна зобразити послідовним з'єднанням трьох каскадів:

- вхідного багатомірного транзистора VT_1 з резистором R_1 і діодами $VD_0 - VD_{n-1}$, що реалізують логічну операцію «І»;
- подільника фаз на транзисторі VT_2 , резисторі R_2 і кола нелінійної корекції R_3, R_4 та VT_3 ;
- двотактного вихідного підсилювача на транзисторах VT_4 і VT_5 , резисторі R_5 та діоді VD_n .

Розширник за АБО (рис. 16.10) фактично повторює перші два каскади елемента І–НЕ і містить вхідний багатомісний транзистор VT_1 з резистором R_1 і транзистор VT_2 подільника фаз.

Об'єднання елементів І–НЕ і розширника за АБО внаслідок з'єднання точок a і b дає змогу отримати ЛЕ, що реалізує послідовність операцій І–АБО–НЕ.

Розглянемо роботу елемента І–НЕ (див. рис. 16.9). Припустимо, що хоча б один вхід елемента x_0, \dots, x_{n-1} безпосередньо ввімкнений до спільної шини, тобто на нього подає напруга логічного «0». У цьому випадку багатомісний транзистор VT_1 виявляється насиченим струмом, що проходить від джерела

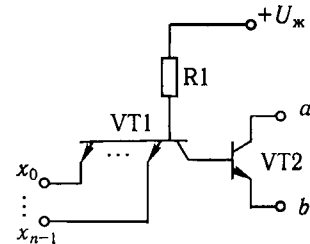


Рис. 16.10. Принципова електрична схема розширника за АБО серії ТТЛ

живлення через резистор R1. Напруга на його колекторі мало відрізнятиметься від нульової, тому транзистор VT2 подільник фаз замкнений.

Оскільки струм емітера транзистора VT2 практично дорівнює нулю, буде замкнений і транзистор VT5. Струм, що проходить через резистор R2, входить у базу транзистора VT4, насичує його. Тому напруга, наявна на виході у ЛЕ, близька до напруги живлення і визначається за виразом

$$U_{\text{вих}}^1 = U_{\text{ж}} - I_{\text{вих}} R_5 - U_{\text{KE VT4}} - U_{\text{VD}_n},$$

де $U_{\text{ж}}$ — напруга джерела живлення; $I_{\text{вих}}$ — вихідний струм; $U_{\text{KE VT4}}$ — напруга на колекторі — емітері транзистора VT4; U_{VD_n} — спад напруги на діоді VD_n .

Отже, за наявності на кожному із входів схеми напруги низького рівня напруга на його виході матиме високий рівень. Припустимо тепер, що на всі входи ЛЕ подано високий рівень напруги. У цьому випадку всі переходи багатоємітерного VT1 замкнені. При цьому його колекторний перехід зміщується в прямому напрямку і по колу (резистор R1, колекторний перехід транзистора VT1 та послідовно з'єднаний емітерний перехід транзисторів VT2 і VT5) проходить струм. Цей струм наситить транзистори VT2 і VT5, і на виході у ЛЕ встановиться низька напруга, яка чисельно дорівнює напрузі насичення транзистора VT5:

$$U_{\text{вих}}^0 = U_{\text{KE VT5}} = I_{\text{вих}} r_{\text{вих VT5}},$$

де $U_{\text{KE VT5}}$ — напруга на колекторі — емітері транзистора VT5; $r_{\text{вих VT5}}$ — вихідний опір транзистора VT5.

Оскільки транзистор VT2 насичений, наявна на його колекторі напруга недостатня для прямого зміщення двох послідовно зв'язаних $p-n$ -переходів (перехід емітера VT4 і діода VD_n). Транзистор VT4 буде замкнений.

Отже, якщо на всіх входах схеми наявна висока напруга, на виході БЛЕ буде напруга низького рівня.

Для позитивної логіки наведений алгоритм роботи відповідає визначенню операції І—НЕ:

$$y = x_0 x_1 \dots x_{n-1}.$$

Виконання вихідного каскаду елемента за двотактною схемою дає змогу одночасно вирішити два завдання.

1. Підвищити швидкодію елемента. Навантаження БЛЕ зазвичай має ємнісний характер, і застосування двотактного вихідного каскаду дає змогу збільшити струм заряду ємності навантаження.

Таблиця 16.3. Параметри БЛЕ серій ТТЛ

Серія ІС	$t_{\text{зр. порівн.}}$, нс	$P_{\text{сп.}}$, мВт	$U_{\text{вих}}^1$, В	$U_{\text{вих}}^0$, В	$I_{\text{вих}}^1$, мА	$I_{\text{вих}}^0$, мА
K155	10	10	2,4	0,4	−0,4	16
K531	3	20	2,7	0,5	−1,0	20
K555	10	2,0	2,7	0,5	−0,4	8,1

2. Знизити споживання. У сталому режимі логічного «0» через вихідний каскад проходить лише струм навантаження.

У вхідному колі багатоємітерного транзистора VT1 увімкнені додаткові діоди $\text{VD}_0 - \text{VD}_{n-1}$, що захищають елемент від появи на його вході недопустимих напруг зворотної полярності.

Усі ІС ТТЛ, що виробляє вітчизняна промисловість нині, можна поділити на такі групи: стандартні; швидкодіючі з діодами Шотткі; малопотужні з діодами Шотткі.

Елементи всіх цих серій практично викопані за єдиною схемою. Існуючі невеликі схемотехнічні відмінності докладно розглянуто раніше. Основне розходження цих серій полягає в їхній швидкодії і споживаній потужності. Типові параметри БЛЕ різних серій ТТЛ наведено в табл. 16.3.

Напруга живлення всіх БЛЕ серій ТТЛ дорівнює $+5 \text{ В} \pm 5\%$ або $+5 \text{ В} \pm 10\%$ залежно від типу викопання.

16.4. Логічні елементи на МДН-транзисторах

Поширенню МДН-схемотехніки сприяли такі її особливості:

- більш проста технологія виготовлення (коротший технологічний цикл виготовлення), що зумовлює підвищення відсотка виходу роботоздатних виробів;

- менші геометричні розміри приладу і простіші схемотехнічні рішення, що при однаковій з біполярною ІС площі кристала дає змогу розмістити на ньому складнішу за виконуваними функціями схему чи при однаковій функціональній складності отримати меншу площу кристала, що також підвищує вихід роботоздатних виробів (менший вплив дефектів вихідного напівпровідника).

Крім того, під час розроблення ІС МДН ураховують такі особливості цього класу приладів:

1) МДН-транзистор має гірші перемикальні властивості порівняно з біполярним транзистором. Це виявляється в біль-

шому вихідному опорі, отже, у більшій залишковій напрузі у ввімкненому стані;

2) залишкова напруга на ввімкненому МДН-транзисторі значно залежить від керуючої напруги. Щодо логічних схем це означає значну залежність напруги логічного «0» від напруги логічної «1». Послабити цю залежність можна зменшенням абсолютного струму стоку у ввімкненому стані, що потребує використання в перемикачі на МДН-транзисторі високого навантаження;

3) потреба застосування власного навантаження з високим опором за фіксованої ємності (вхідної ємності аналогічного елемента) збільшує постійну часу, що визначає тривалість фронту і спад вихідної напруги ЛЕ. Це призводить до спаду його швидкодії;

4) через особливості, розглянуті вище (нестабільність вихідних логічних рівнів), для забезпечення достатньої завадостійкості ЛЕ на МДН-транзисторах мають працювати за великих значень логічного перепаду. Це також сприяє спаду швидкодії елемента.

Слід зазначити, що потреба застосування навантаження з високим опором має і позитивну властивість, що виявляється в зменшенні потужності, яка розсіюється в перемикачі на МДН-транзисторі.

Схемотехнічні рішення, використовувані під час побудови ІС МДН, спрямовані на усунення розглянутих вище недоліків елементарного перемикача. Тому під час побудови ІС схема перемикача з навантажувальним резистором не використовується. Широкого поширення набула схема перемикача з навантажувальним МДН-транзистором, що забезпечує збільшення струму перезаряджання ємності навантаження, а отже, і швидкодії перемикача. Це додатково дає змогу спростити технологію виготовлення ІС, оскільки зі схеми вилучають усі пасивні елементи (резистори) і її будують лише на однотипних елементах — МДН-транзисторах.

Залежно від типу використовуваного транзистора розрізняють ІС *n*-МОН- і *p*-МОН-типів. Розглянемо побудову БЛЕ з використанням *n*-МОН-транзисторів. На рис. 16.11, а, б зображено принципові електричні схеми БЛЕ з двома входами, що реалізують операції 2І–НЕ та 2АБО–НЕ.

Обидві схеми містять по три транзистори, з яких VT1 виконує роль активного навантаження, а VT2 і VT3 є власне транзисторними перемикачами, що реалізують логічні операції. На рис. 16.11, а транзистори VT2 і VT3 ввімкнені послідовно. Тому для появи на виході схеми низької напруги на затворі обох транзисторів слід подати високу напругу, достат-

ню для проходження струму активного навантаження. На рис. 16.11, б транзистори VT2 і VT3 ввімкнені паралельно. Тому після подавання на затвор кожного з них високої напруги на виході формується напруга низького рівня.

Збільшення числа початкових змінних елемента потребує збільшення кількості послідовно або паралельно ввімкнених транзисторів.

Тому, використовуючи наведений принцип з мінімальними схемотехнічними витратами, можна легко побудувати логічний елемент із потрібним числом входів.

Збільшення швидкодії ІС МДН потребує збільшення струмів перезаряджання ємності навантаження. Однак це обмежується зростанням споживаної потужності і збільшенням нестабільності вихідних логічних рівнів. Подолати зазначене протиріччя можна або технологічно, створюючи транзистори з меншою вхідною ємністю, або схемотехнічно, застосовуючи схему перемикача на транзисторах з каналами різного типу (комплементарні транзистори). Ці перемикачі, з одного боку, дають змогу значно збільшити струми перезаряджання ємності навантаження, а з другого — максимально зменшити потужність, що розсіюється в елементі. Нагадаємо, що перемикач на комплементарних транзисторах у разі правильного вибору параметрів вхідних у нього елементів у статичному режимі роботи споживає незначну потужність від джерела живлення.

Споживана елементом потужність у статичному режимі тождна потужності, що віддається ним у навантаження. У зв'язку з тим, що навантаженням елемента є вхідні кола аналогічних елементів, які мають суто емісійний характер, то потужність

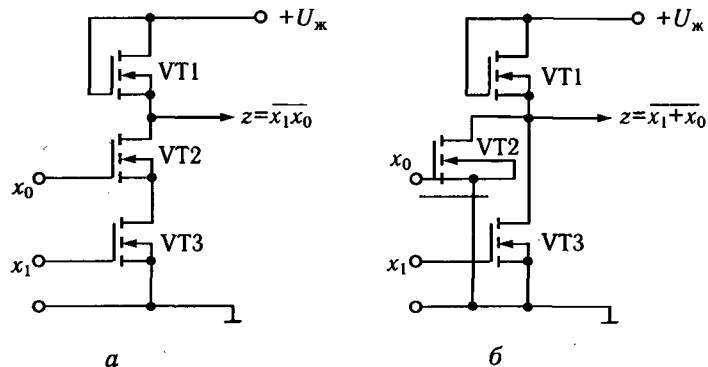


Рис. 16.11. Принципові електричні схеми БЛЕ на МДН-транзисторах: а — 2І–НЕ; б — 2АБО–НЕ

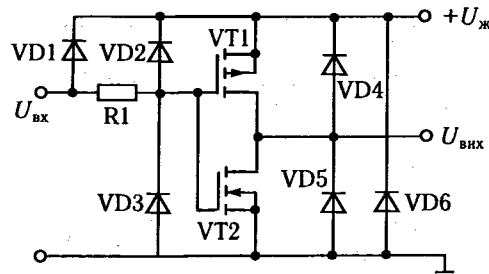


Рис. 16.12. Принципова електрична схема транзисторного перемикача ІС КМОН

від джерела живлення витрачається тільки в динамічному режимі на перезарядження цієї ємності.

Принципову електричну схему транзисторного перемикача, використовуюваного в ІС КМОН, наведено на рис. 16.12. Її можна поділити на три частини: вхідний діодно-резисторний обмежувач напруги; власне перемикач на КМОН-транзисторах; вихідне діодне коло. Вхідний опір транзисторів, використовуваних у схемі перемикача, досягає значень до 10 ТОм. За товщини ізоляції між затвором і напівпровідником 50...70 мкм його власна пробивна напруга становить 150...200 В. Це потребує введення в ЛЕ спеціальної схеми захисту від статичної електрики, що може потрапити на його вхід у процесі збереження чи монтажу. Роль цієї схеми виконує вхідний діодно-резисторний обмежувач на елементах VD1, VD2, VD3 і R1. Ця схема обмежує напругу живлення на вході транзисторного перемикача в діапазоні від -0,7 В до +0,7 В.

Елементи вихідного діодного кола VD4, VD5, VD6, утворені відповідними областями самого транзисторного перемикача, не є обов'язковими. Наявність цих діодів накладає додаткові обмеження на використання ЛЕ. Тому завжди має

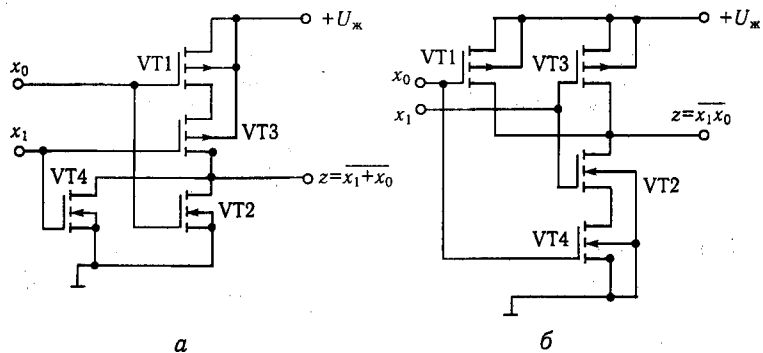


Рис. 16.13. Принципові електричні схеми БЛЕ КМОН-типу:
а – 2І-НЕ; б – 2АБО-НЕ

Таблиця 16.4. Основні параметри БЛЕ КМОН

$U_{\text{вих min}}^1$, В	$U_{\text{вих min}}^0$, В	$t_{\text{зт порівн}}'$, нс	F_{max}' , МГц	$I_{\text{сп}}'$, мкА	$U_{\text{ж}}'$, В	$K_{\text{роз}}$	$C_{\text{вх}}'$, пФ
8	0,3	30($C_{\text{н}}=15$ пФ) 100($C_{\text{н}}=100$ пФ)	1	0,1	3...15 (9)	50	5

виконуватися нерівність

$$|U_{\text{вх}} - U_{\text{вих}}| < U_{\text{ж}},$$

інакше діоди вхідного обмежувача і вихідного кола можуть відкриватися, що спричинює шунтування кола живлення елемента. Останнє може бути причиною його пробою. Тому напруга живлення на КМОН-схемі завжди має подаватися до вмикання і зніматися після вимкнення вхідного інформаційного сигналу.

Схемотехнічно БЛЕ КМОН-типу повторюють схеми елементів *n*-МОН- і *p*-МОН-типів. Відмінність полягає в тому, що при цьому використовують пари транзисторів, тобто, якщо для реалізації заданої логічної функції транзистори з каналом *n*-типу вмикають послідовно, то парні їм транзистори *p*-типу – паралельно, і навпаки. Принципові електричні схеми, що реалізують логічні операції 2І – НЕ і 2АБО – НЕ зображено на рис. 16.13. Для спрощення на схемах не показані елементи вхідних і вихідних кіл перемикача.

До особливостей схем БЛЕ належить також відсутність додаткового навантажувального транзистора. Його роль виконує один із транзисторів перемикача.

Аналіз схем дає змогу дійти важливого практичного висновку про те, що аналогічно БЛЕ ТТЛ для БЛЕ КМОН паралельне вмикання кількох їхніх виходів заборонено.

Найважливіші параметри БЛЕ КМОН наведено у табл. 16.4.

Слід також зазначити, що КМОН-елементи мають високу завадостійкість – до 40 % напруги живлення.

16.5. Логічні елементи інтегрально-інжекційної логіки

Для підвищення технологічності виготовлення під час розроблення ІС потрібно застосовувати схемотехнічні рішення, що використовують тільки однотипні елементи, наприклад транзистори. Цей шлях, як уже зазначалося, реалізований у ІС МДП, що поряд з іншими перевагами зумовлює їх по-

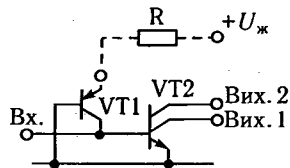


Рис. 16.14. Принципова електрична схема БЛЕ I^2L

lips» і «IBM». Відповідну припципову електричну схему БЛЕ I^2L наведено на рис. 16.14.

Особливостями елементів I^2L є такі:

- відсутність резисторів, що значно спрощує технологію виробництва ІС;
- використання принципу живлення за струмом, за яким в ІС задається не напруга, а струм, безпосередньо інжектований в область напівпровідника, що утворює структуру одного з транзисторів;

- просторове сполучення в кристалі напівпровідника областей, що функціонально належать різним транзисторам. При цьому структура розміщується як по горизонталі, так і по вертикалі. Це дає змогу відмовитися від застосування спеціальних рішень для вилучення областей, що належать різним елементам, як потрібно робити в елементах ТТЛ і ЕЗЛ;

- мале значення логічного перепаду, що дає змогу максимально збільшити швидкість елемента.

У наведеній схемі (див. рис. 16.14) багатоклекторний транзистор VT2 виконує функцію інвертування вхідного сигналу, а транзистор VT1 — генератора (інжектора) базового струму транзистора VT2. До особливостей елемента належить і постійність струму інжектора в усіх режимах роботи елемента. Струм інжектора задає резистор R, який виконують загальним для групи елементів.

Особливістю елемента I^2L є можливість змінювати струм інжектора в значних межах, а також його швидкість. Реально струм інжектора може змінюватися від 1 нА до 1 мА, тобто на 6 порядків. Оскільки для заданої схемотехніки енергія перемикавання елемента — величина постійна, у таких самих межах може змінюватися і швидкість елемента.

Принцип дії схеми I^2L такий. Припустімо, зовнішнього сигналу, що відповідає сигналу логічної «1», на вході елемента (база транзистора VT2) немає. У цьому випадку струм інжектора, проходячи в базу транзистора VT2, насичує його. На його колекторах, а отже, і на вихідних виводах елемента

ширення. Проте, як уже зазначалося, перемикач на біполярних транзисторах має кращі як перемикальні, так і частотні властивості. Це є передумовою до постійного пошуку нових схемотехнічних рішень для реалізації біполярних ІС. Так, майже одночасно розробили елементи інтегральної інжекційної логіки (I^2L) фірми «Phi-

паявна напруга пилького рівня, яка дорівнює напрузі насичення транзистора VT2, тобто це 0,1...0,2 В.

Якщо база транзистора VT2 безпосередньо чи через насичений транзистор підключена до загальної шини, то транзистор VT2 вимкнений, оскільки струм інжектора замикається на загальну шину, минаючи його емітерний перехід. У цьому випадку напруга на його колекторах визначається зовнішніми колами. За послідовного вмикання кількох інверторів ця напруга дорівнює напрузі емітерного переходу наступного транзистора. Отже, для БЛЕ I^2L справедливі такі співвідношення: $U^0 = 0,1...0,2$ В, $U^1 = 0,6...0,7$ В. Із цих співвідношень випливає, що логічний перепад для БЛЕ I^2L становить 0,4...0,6 В.

У разі використання наведеної схеми можна реалізувати основні логічні операції І — НЕ і АБО — НЕ. Логічну схему, побудовану на трьох інверторах I^2L , зображено на рис. 16.15.

Особливістю елементів I^2L є можливість паралельного вмикання кількох їхніх виходів. Із наведеної схеми випливає, що у разі паралельного вмикання кількох виходів у загальній точці щодо початкових змінних реалізується логічна операція АБО — НЕ. Щодо вихідних сигналів елементів реалізується логічна операція І. Отже, якщо гальванічний поділ між вхідними й вихідними сигналами непотрібний, то логічна операція І виконується без будь-яких додаткових схемотехнічних витрат простим об'єднанням відповідних виходів БЛЕ. Після інвертування результату виконаної операції АБО — НЕ додатковим елементом щодо початкових змінних реалізується логічна операція АБО, а щодо вихідних сигналів перших елементів — операція І — НЕ.

БЛЕ I^2L дає змогу максимально уніфікувати структуру ІС, знизивши площу її кристала, або зменшити її споживання,

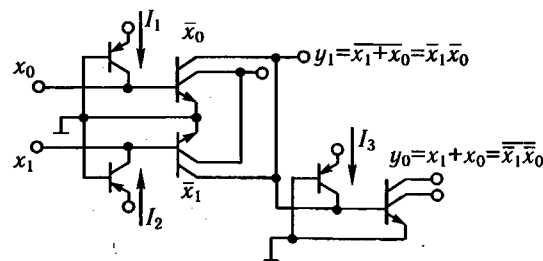


Рис. 16.15. Реалізація логічних операцій 2І — НЕ і 2АБО — НЕ на БЛЕ I^2L

або підвищити швидкодію. Зазвичай тривалість затримки поширення БЛЕ I^2L за струму інжектора 0,1мкА становить 10 нс. При цьому енергія перемикання для цього елемента на кілька порядків менша, ніж для елемента ТТЛ.

У зв'язку з невеликою завадостійкістю, зумовленою малим логічним перепадом, БЛЕ I^2L використовують лише у складі ВІС і СВІС; як окремі ІС малого ступеня інтеграції їх не розробляють. При цьому вхідні і вихідні кола ІС, виготовлених за технологією I^2L , виконують сумісними за логічними рівнями із сигналами ТТЛ.

16.6. Мультивібратори на потенційних логічних елементах

Перехідні процеси, що визначають частоту і період коливань у мультивібраторах на транзисторах, операційних підсилювачах, логічних елементах, аналогічні. Структурно вони також будуються за схемами: 2 транзистори за схемою СЕ або 2ЛЕ із запереченням типів І—НІ, АБО—НІ, включених послідовно. Мультивібратор має два тимчасово стійких стани: один ЛЕ (мікросхема) закритий, інший — відкритий і навпаки. Параметри RC-ланцюгів, що задають час, визначають частоту мультивібратора.

Мультивібратори можуть працювати в таких режимах:

- автогенераторний;
- режим чекання;
- режим синхронізації (робота мультивібратора синхронізована зовнішнім генератором, що задає).

Для побудови мультивібраторів на потенційно логічних елементах можуть використовуватися елементи АБО—НІ, І—НІ. Для багатовходових елементів невикористовувані входи поєднують, однак при цьому зростає вхідна ємність і зменшується вхідний опір, або підключають їх до елемента І—НІ на $+E_{ж}$, для елемента АБО—НІ — на $-E_{ж}$ (загальну шину).

Принципову схему мультивібратора на елементах І—НІ зображено на рис. 16.16. Тривалість формування імпульсу і паузи визначається сталими часу заряджання конденсаторів $\tau_{зар1} = C1R1$ ($\tau_{зар2} = C2R2$). Розрядження від-

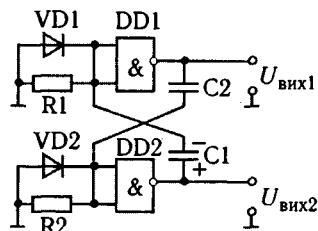


Рис. 16.16. Принципова схема мультивібратора на ПЛЕ «І—НІ»

бувається через діоди, що прискорюють $\tau_{роз1} = C1r_{VD1}$ ($\tau_{роз2} = C2r_{VD2}$).

Розглянемо коло заряджання конденсатора C1: C1 заряджається, коли елемент DD2 знаходиться в стані логічної «1», при цьому елемент DD1 — у стані логічного «0». Між вихідним затиском DD2 і його загальною шиною елемент можна подати електричною моделлю у вигляді джерела ЕРС (рис. 16.17), де $R'_{вих}$ — вихідний опір елемента в стані логічної «1», E' — ЕРС джерела (для серії K155 $E' \approx 3,5$ В, $R'_{вих} \approx 500 \dots 600$ Ом).

Коло заряджання конденсатора C1: від $+E'_{ж}$ джерела ЕРС через вихідний опір елемента DD2 $R'_{вих}$, конденсатор C1 і резистор R1 на живлення ЕРС E' . У момент перемикання елемента DD2 у стан логічної «1», його вихідну напругу $U_{вих} DD2 = 3,5$ В (для серії K155) буде прикладено до входу DD1, оскільки в момент комутації $U_{C1} = 0$, при цьому вихідна напруга елемента DD2 $U_{вих} DD1$ зменшується до 0 В. У мультивібраторі має місце 1-й тимчасово стійкий стан (DD2 у стані логічної «1», DD1 у стані логічного «0»). У міру заряджання конденсатора C1 напруга на вході DD1 зменшується й у визначений момент часу досягає граничного рівня $U_{пор}$ ($U_{пор} \approx 1,5$ В для серії K155), за якого відбувається перемикання DD1 у стан логічної «1», що відповідно переводить елемент DD2 у стан логічного «0». При цьому відбувається перехід схеми в 2-й тимчасово стійкий стан. У цьому стані конденсатор C1 розряджається, а конденсатор C2 заряджається. Для кола розряджання C1 елемент DD2 знаходиться в стані логічного «0».

Між вихідним затиском і загальною шиною DD2 можна подати такою електричною моделлю (рис. 16.18), де $R'_{вих}$ — вихідний опір елемента в стані логічного «0»; E' — ЕРС джерела (для серії K155 $E' \approx 0,2 \dots 0,3$ В, $R'_{вих} \approx 100$ Ом).

У разі розряджання конденсатора C1 джерелом ЕРС у колі є U_{C1} ($U_{C1} \approx E' = 3,5$ В). Коло розряджання конденсатора від $+U_{C1}$ через $R'_{вих}$, проти ЕРС E' і прямий опір діода ($R1 \gg r_{VD1}$ і вони ввімкнені паралельно) на $-U_{C1}$. Розряджання конденсатора відбувається швидко внаслідок малої постійної часу розряджання C1, тому момент наступного перемикання визначається досягненням $U_{вих} DD2 = U_{пор}$. Схема знову переходить у 1-й тимчасово стійкий стан.

Осцилограми роботи мультивібратора зображені на рис. 16.19.

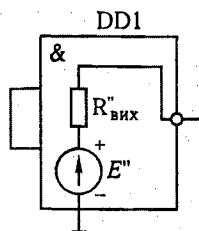


Рис. 16.17. Модель елемента DD2 у стані логічної «1»

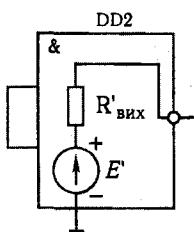


Рис. 16.18. Модель елемента DD2 у стані логічного «0»

Розрахунок тривалості імпульсу і паузи мультивібратора. Тривалість імпульсу мультивібратора на ПЛЕ розраховують за формулою

$$t_i = (R1 + R_{вих}^1) C1 \ln \frac{U_{вих}^1 - U_{вих}^0 + U_{R1}}{U_{пор}}$$

Тривалість паузи мультивібратора розраховують за формулою

$$t_{п} = (R2 + R_{вих}^1) C2 \ln \frac{U_{вих}^1 - U_{вих}^0 + U_{R2}}{U_{пор}}$$

Для симетричної схеми $R1 = R2$, $C1 = C2$ і $R \gg R_{вих}^1$, тоді

$$t_i = t_{п} = RC \ln \frac{U_{вих}^1 - U_{вих}^0 + U_R}{U_{пор}},$$

де $U_R = I_{вих}^0 R$; $I_{вих}^0 = I_{вих}$, якщо $U_{вих} = 0$; $I_{вих}^0 \approx 0,3 \dots 0,5$ мА.

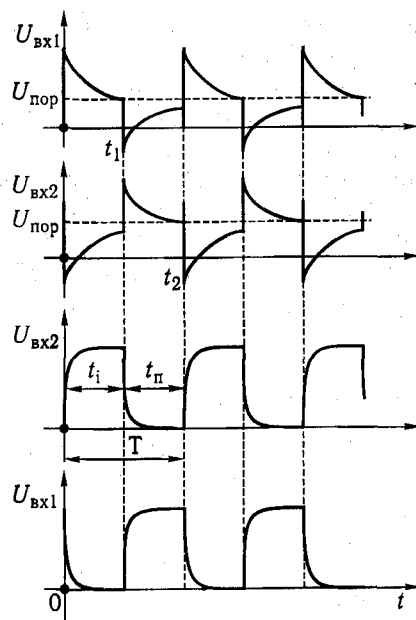


Рис. 16.19. Осцилограми роботи мультивібратора на ПЛЕ

Для забезпечення нормальної роботи мультивібратора потрібно виконати умову $U_R < U_{пор}$, що зумовлює обмеження на верхній рівень величини резистора R. Якщо $I_{вих}^0 \approx 0,5$ мА (для серії К155) значення R не має перевищувати величини $2 \dots 2,5$ кОм.

Нині існують мультивібратори в інтегральному виконанні: 218ГФ1(2) — вимагає узгодження рівня сигналів; К218ГФ1 має елемент нелінійного ЗЗ, що забезпечує м'яке збудження.

16.7. Одновібратори на потенційних логічних елементах

Одновібратор — генератор одиничних імпульсів, загальмований мультивібратор. Якщо подавати серію одиничних імпульсів на вхід, то одновібратор буде видавати серію імпульсів на виході. Схему одновібратора на логічних елементах І—НІ (рис. 16.20) можна отримати зі схеми автоколебального мультивібратора на тих самих елементах (див. рис. 16.22), виключивши з останньої одне коло, що задає час, R2, C2 з діодом VD2. Процеси генерування імпульсів в одновібраторі аналогічні процесам в автоколебальному мультивібраторі.

Осцилограми роботи одновібратора зображені на рис. 16.21.

Одновібратор має один стійкий та один тимчасово стійкий стан. У вихідному стані стійкої рівноваги (до надходження імпульсу, що запускає) логічний елемент DD1 закритий і $U_{вих1}$ дорівнює рівню логічної «1» (див. рис. 16.21). Такий стан елемента DD1 забезпечується підключенням до його входу резистора R1 невеликого опору. Логічний елемент DD2 відкритий високим рівнем вхідної напруги, яка надходить на один із його входів. При цьому конденсатор C1 розряджений.

У разі подачі на вхід схеми в момент часу t_1 негативного імпульсу запуску (рівень логічного «0») елемент DD2 переходить у закритий стан і напруга на його виході досягає рівня логічної «1». Цей пози-

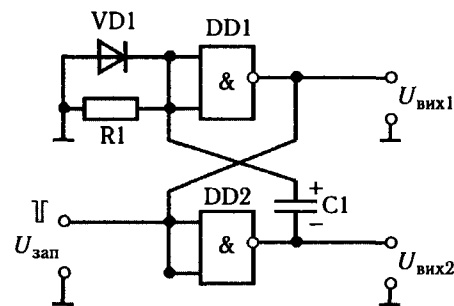


Рис. 16.20. Принципова схема одновібратора на ПЛЕ «І—НІ»

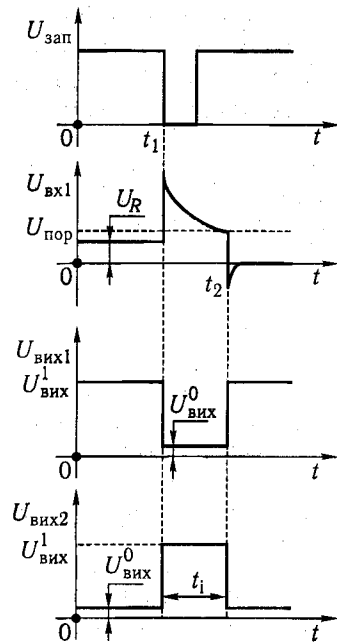


Рис. 16.21. Осцилограми роботи одно-
вібратора на ПЛЕ

тивний стрибок напруги $U_{\text{вих}2}$ передається через конденсатор $C1$ на вхід елемента $DD1$, закриваючи його. Напруга $U_{\text{вих}1}$ знижується до рівня логічного «0». Конденсатор $C1$ при цьому заряджається, напруга на його обкладках збільшується, а $U_{\text{вих}1}$ на резисторі $R1$ зменшується. Якщо $U_{\text{вих}1} = U_{\text{пор}}$ (якщо $t = t_2$), відбувається перекидання одновібратора, як і в автоколивальному мультивібраторі (див. часові діаграми на рис. 16.21 і рис. 16.19). На цьому закінчується формування імпульсу й одновібратор переходить у вихідний стійкий стан рівноваги.

Тривалість перебування схеми в тимчасово стійкому стані визначається сталою часу заряджання конденсатора $\tau_{\text{зар}} = RC$. Регулювання тривалості імпульсу здійснюється сталою часу заряджання конденсатора $\tau_{\text{зар}}$. Стала часу може бути від сотень наносекунд до одиниць секунд.

Імпульс, що запускає, повинен мати низький рівень (або коротке замикання на загальну шину); $t_{\text{зап min}} \leq t_{\text{ім}}$, крім того, $t_{\text{зап min}} > 2\tau_{\text{зад ПЛЕ}}$ цієї серії, щоб у $DD1$ і $DD2$ відбулося перемикання).

Розрахунок тривалості імпульсу одновібратора. Тривалість імпульсу одновібратора на ПЛЕ розраховують, як і для мультивібратора, за формулою

$$t_i = (R + R_{\text{вих IMC}}^1) C1 \ln \frac{U_{\text{вих}}^1 - U_{\text{вих}}^0 + U_R}{U_{\text{пор}}},$$

де $U_R = I_{\text{вх}}^0 R$; $I_{\text{вх}}^0 = I_{\text{вх}}$, якщо $U_{\text{вх}} = 0$; $I_{\text{вх}}^0 \approx 0,5$ мА.

Для забезпечення нормальної роботи мультивібратора потрібно виконати умову $U_R < U_{\text{пор}}$, що зумовлює обмеження

на верхній рівень величини резистора R . Якщо $I_{\text{вх}}^0 \approx 0,5$ мА (для серії К155 значення R не має перевищувати величини 2...2,5 кОм).

Контрольні запитання і завдання

1. Дайте поняття позитивної і негативної логіки.
2. Перелічіть основні статистичні й динамічні параметри цифрових елементів.
3. Які логічні функції можна реалізувати на ДТЛ-схемах?
4. Перелічіть варіанти модифікацій елементів ТТЛ-типу і мету, для рішення якої вони були розроблені.
5. Чим пояснюється поширення елементів ТТЛ-типу?
6. У чому перевага елементів МДН-типу?
7. Яка схема є базовою для логічних елементів МДН-типу?
8. Які особливості логічних елементів I^2L -типу?
9. Поясніть принцип роботи логічних елементів I^2L -типу.
10. Проведіть порівняльний аналіз логічних елементів за основними класифікаційними ознаками.
11. Покажіть коло заряджання конденсатора $C1$ і стани логічних елементів, що забезпечують його заряджання.
12. Покажіть коло розряджання конденсатора $C1$ і відповідні стани логічних елементів.
13. Чому напруга U_R має бути менша за граничну $U_{\text{пор}}$? Поясніть фізичну суть $U_{\text{пор}}$.

Під час цифрової обробки інформації всі досліджувані величини подаються у дискретній формі або у вигляді цифрового коду. Якщо досліджувана величина задана неперервною функцією (у вигляді аналогового сигналу), то перед обробкою її слід перетворити на цифрову форму. Таке перетворення можна здійснити лише у дискретні моменти часу, отже, треба задати інтервал дискретизації за часом (T_0), а потім визначити значення функції у ці моменти часу (рис. 17.1). Ці значення функції називають *вибірками*. Потім значення цих вибірок перетворюють на цифровий код. Такий метод дискретизації називають *дискретизацією за часом*. Що менший інтервал дискретизації, то точніше передається функція. Однак за малих T_0 потрібний великий обсяг пам'яті та висока швидкість контролера; T_0 часто визначають, використовуючи теорему Котельникова та погоджуючи період дискретизації зі спектральною характеристикою досліджуваного процесу $f(t)$:

$$T_0 = \frac{1}{2f_v},$$

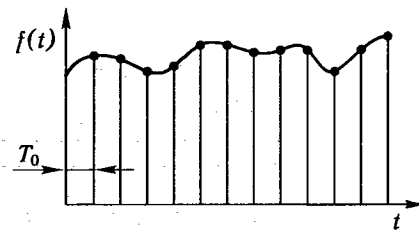
де f_v — верхня частота спектра функції $f(t)$.

У загальному випадку перетворювана функція може бути подана поточним значенням тривалості часових інтервалів або поточним значенням величини напруги чи струмів. Розрізняють кодування часових інтервалів і напруг.

17.1. Кодування часових інтервалів і напруг

Нехай розглянута функція відображає будь-який часовий інтервал. Як приклад можна визначити інтервал часу між посланим і відбитим від цілі сигналом радіолокатора з метою визначення відстані до неї. Пристрій, за допомогою якого можна

Рис. 17.1. Неперервна функція з вибірками



виміряти часовий інтервал, зображено на рис. 17.2, а часові діаграми його роботи — на рис. 17.3.

Початковий імпульс U_{Π} (посилання імпульсу радіолокатором) надходить на вхід S тригера T1 і встановлює його в стан логічної «1», а імпульс кінця U_K (прихід відбитого сигналу) надходить на вхід R тригера T1, встановлюючи його в стан логічного «0». На перший вхід схеми збігу C1 надходить сигнал U_{T1} від тригера T1, а на другий вхід — тактові імпульси U_T . На виході схеми збігу C1 наявні лише ті тактові імпульси, що потрапляють в інтервал часу між надходженнями імпульсів U_{Π} і U_K — t_K . Що вища тактова частота сигналу U_T , то точніше вимірюється інтервал t_K (див. рис. 17.3).

Кількість імпульсів відлічується лічильником, зібраним на тригерах T2, T3, T4, і за сигналом зчитування через схеми збігу C2, C3, C4 цей код виставляється на виході схеми. Число розрядів лічильника вибирається за умови:

$$2^N T_T \geq t_{K \max},$$

звідки випливає, що число розрядів лічильника N

$$N \geq \ln \frac{t_K}{T_T} / \ln 2.$$

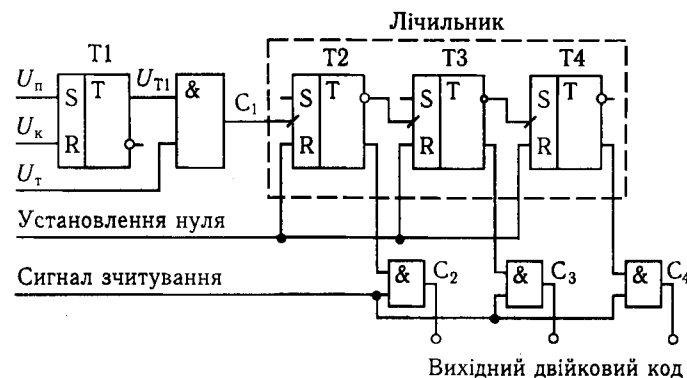


Рис. 17.2. Пристрій перетворення часового інтервалу на цифровий код

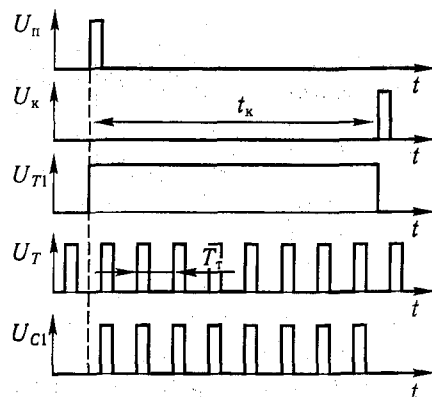


Рис. 17.3. Часові діаграми роботи пристрою кодування часового інтервалу

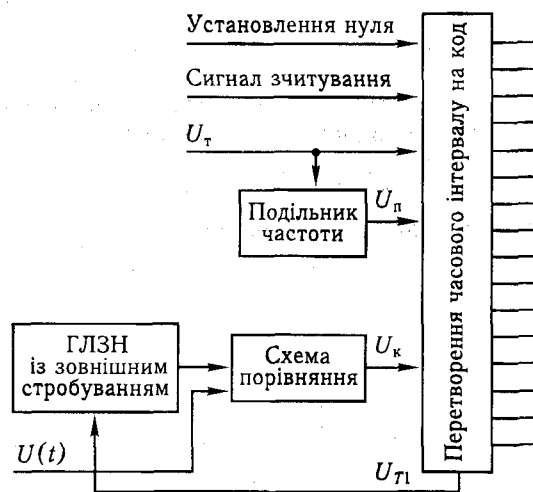


Рис. 17.4. Схема кодування напруги

За дійсного значення числа N слід застосувати більше ціле число.

Схему перетворення аналогової напруги $U(t)$ на цифровий код зображено на рис. 17.4. Вона складається з двох частин:

- схеми перетворення напруги $U(t)$ на пропорційний йому часовий інтервал t_k ;

- схеми перетворення часового інтервалу на цифровий код (роботу цієї схеми розглянуто вище).

Тактовий сигнал U_T надходить на подільник частоти, який формує сигнал початку перетворення U_n , що надходить на схему перетворення часового інтервалу на цифровий код. Під дією цього сигналу тригер Т1 (див. рис. 17.2) встановлюється в стан логічної «1» і сигнал стробування U_{T1} надходить додатково на генератор лінійно змінюваної напруги (ГЛЗН) (див. рис. 17.4). Після цього сигналу ГЛЗН починає формувати пилоподібну лінійно зростаючу напругу, що надходить на вхід схеми порівняння (компаратор). На другий вхід компаратора надходить вхідний сигнал $U(t)$.

Якщо вхідна напруга ГЛЗН досягає значення ($U_{\text{ГЛЗН}} \geq U_{\text{вх}}(t)$), спрацьовує компаратор та формує імпульс кінця U_k , що перемикає тригер Т1 у стан логічного «0». За лінійної залежності $U_{\text{ГЛЗН}}(t)$ тривалість t між імпульсами U_n і U_k пропорційна $U_{\text{вх}}$. Отже, цифровий код схеми перетворення часового інтервалу на код буде пропорційний (чи дорівнюватиме у відповідному масштабі) вимірюваному вхідному сигналу. Сигнал логічного «0» на виході U_{T1} формує зворотний хід ГЛЗН, система повертається у початковий стан і чекає чергового імпульсу (U_n), зумовленого тактовими імпульсами.

Часові діаграми роботи схеми кодування напруги наведено на рис. 17.5.

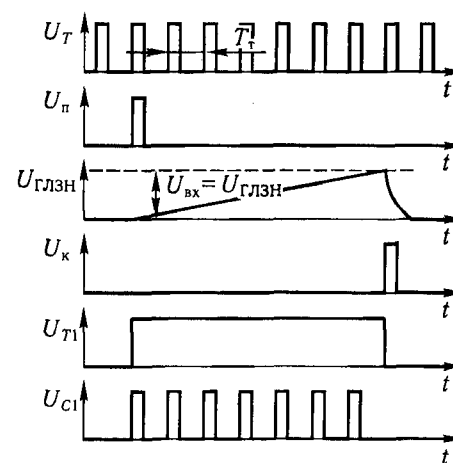


Рис. 17.5. Часові діаграми роботи схеми кодування напруги

17.2. Аналого-цифрові перетворювачі. Основні характеристики і параметри

Аналого-цифровий перетворювач (АЦП) — пристрій перетворення аналогового сигналу на цифрову форму (цифровий код). Цифровий сигнал на виході АЦП подається у вигляді двійкового слова або послідовності імпульсів, тобто у формі, загальній із шиною даних певного персонального комп'ютера або мікропроцесорної системи. Існує безліч способів перетворення аналогового сигналу на цифровий код. Часто аналоговий сигнал перетворюється на проміжну форму (тривалість часового сигналу або частоту), доступнішу для вимірювання у цифровій формі. Потім проміжна форма порівнюється з еталонною, у розглянутому випадку це частота тактового генератора U_T , число імпульсів якого за вимірюваний інтервал часу t_K відлічує лічильник. Однак не в усіх типах АЦП сигнал перетворюється на проміжну форму, але в усіх АЦП аналоговий сигнал порівнюється з еталонним (тактовим інтервалом або стабілізованою напругою).

Основними характеристиками АЦП є:

- точність (похибка);
- тривалість перетворення (швидкодія);
- динамічний діапазон вхідного сигналу;
- вхідний опір $R_{вх}$;
- вихідний опір $R_{вих}$.

Точність визначається кількістю розрядів вихідного слова. Десятирозрядні АЦП мають відносну похибку близько 0,1 %, дванадцятирозрядні АЦП — 0,01 %. Тривалість перетворення (швидкодія) — це час, потрібний для отримання вихідного двійкового слова (коду) після подачі на вхід вимірюваної напруги U_i . Причому тривалість перетворення різних типів АЦП становить від десятків часток до сотень мікросекунд. Динамічний діапазон вхідного сигналу визначається значеннями мінімального і максимального вхідних сигналів щодо виразу

$$D_c = \frac{U_{вх\max}}{U_{вх\min}},$$

де $U_{вх\max}$ — відповідає максимальному значенню вихідного коду АЦП; $U_{вх\min}$ — відповідає рівню молодшого розряду вихідного коду.

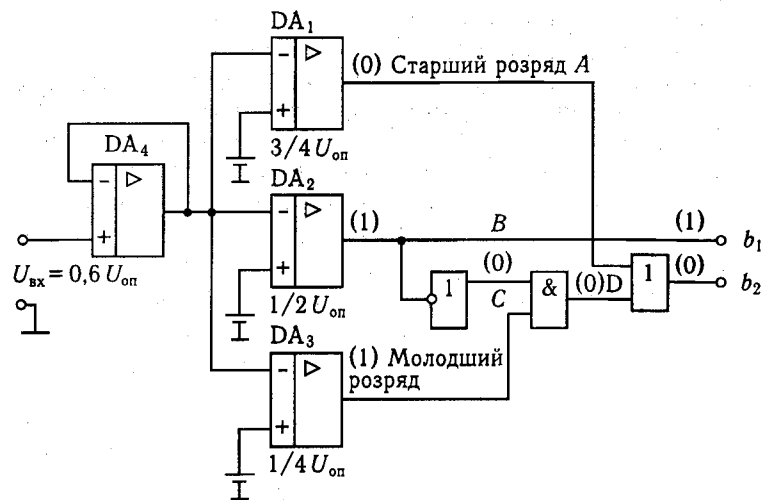


Рис. 17.6. АЦП на паралельних компараторах

Опір АЦП із боку вхідних і вихідних затискачів (для кожного розряду) характеризується відповідно значеннями $R_{вх}$ і $R_{вих}$.

Схему АЦП на паралельних компараторах зображено на рис. 17.6. Для збільшення вхідного опору АЦП і розв'язки компараторів від джерела вхідного сигналу використовують буферний підсилювач, зібраний на ОППС у режимі повторювача з 100 %-м зворотним зв'язком. При цьому спостерігається дуже високий $R_{вх}$ і дуже низький $R_{вих}$.

Таблиця 17.1. Стан ліній АЦП і його вихідного коду залежно від рівнів вхідного сигналу

Вхідні сигнали	A	B	C	D	b1	b2
$\frac{3}{4}U_{оп} < U_{вх}$	1	0	1	0	1	1
$\frac{1}{2}U_{оп} < U_{вх} < \frac{3}{4}U_{оп}$	0	0	1	0	1	0
$\frac{1}{4}U_{оп} < U_{вх} < \frac{1}{2}U_{оп}$	0	1	1	1	0	1
$U_{вх} < \frac{1}{4}U_{оп}$	0	1	0	0	0	0

Джерела опорної напруги, отримані за допомогою подільників на прецизійних резисторах, що використовують параметричний або електронний стабілізатори, напруга яких надходить на входи компараторів без інвертування DA_1 , DA_2 , DA_3 . На входи компараторів з інвертуванням подається вхідний сигнал з буферного підсилювача.

Якщо на входах компаратора: $U_{вх} > U_{оп}$ — на виході компаратора формується сигнал логічної «1»; $U_{вх} \leq U_{оп}$ — на виході компаратора формується сигнал логічного «0».

Для вхідного сигналу $U_{вх} = 0,6U_{оп}$ на схемі зазначено логічні стани ліній і вихідний код. Стани компараторів за допомогою логічних схем перетворюються на двійковий цифровий код, значення яких пропорційне вхідному сигналу (табл. 17.1).

17.3. Цифроаналогові перетворювачі. Структура, основні характеристики і параметри

Підсистема виводу інформації, що зв'язує ЕОМ чи МП систему з апаратурою керування технологічним процесом, обов'язково має цифроаналогові перетворювачі (ЦАП). Це зумовлюється тим, що основні виконавчі механізми керування технологічним процесом розраховані на аналогові сигнали, тому вони повинні мати пристрій, який перетворить цифрові коди на аналогові сигнали.

Пристрій перетворення цифрового коду на пропорційне йому значення аналогової величини (напруги U або струму I) називають *цифроаналоговим перетворювачем* (ЦАП). Більшість ЦАП складаються з п'яти функціональних елементів або модулів (рис. 17.7):

- регістра і схеми керування;
- аналогового ключа;
- джерела опорної напруги (еталонне джерело);
- декодувальної схеми;
- підсумовувального підсилювача.

Основні розходження ЦАП стосуються способів з'єднання та виготовлення модулів. До характеристик ЦАП належать:

- точність (похибка);
- розділювальна здатність;
- тривалість перетворення;
- діапазон зміни вихідної величини;

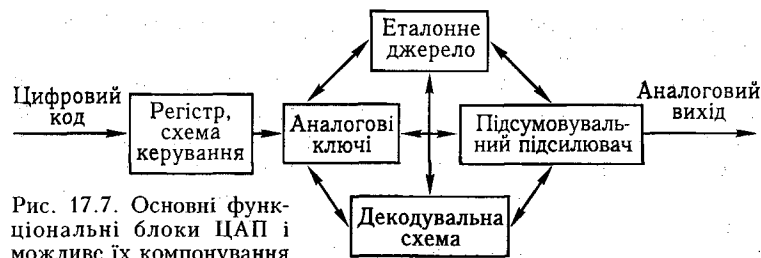


Рис. 17.7. Основні функціональні блоки ЦАП і можливе їх компонування

- повний вихідний опір ($Z_{вих}$);
- температурний коефіцієнт нестабільності.

Точність — відхилення дійсної вихідної аналогової величини від її теоретичного значення. На точність ЦАП впливають значення основних параметрів і температурні дрейфи: еталонного джерела, підсумовувального підсилювача, декодувальної схеми й аналогових ключів.

Розділювальна здатність — мінімальне значення вхідної величини, яке визначає відповідну зміну вихідної величини

$$\Delta = 1/2^n,$$

де n — розрядність коду.

Що більша розрядність цифрового коду на вході ЦАП, то вища його розділювальна здатність.

Тривалість перетворення — інтервал часу між надходженням цифрового коду на вхід ЦАП та часом установлення відповідного йому значення напруги або струму на виході. Воно переважно визначається швидкістю ключів і декодувальної схеми.

Діапазон зміни напруги (U) або струму (I) — повна шкала зміни напруги від 0 до $U_{вих\max}$ або струму від 0 до $I_{вих\max}$.

Повний вихідний опір ЦАП ($Z_{вих}$) — визначається з боку вихідних затисків. Він здебільшого залежить від вихідного опору підсумовувального підсилювача і має десятки—сотні омів.

Температурний коефіцієнт нестабільності (ТКН) ЦАП — визначається ступенем зміни вихідної напруги (U) або струму (I) від температури ($\% / ^\circ\text{C}$) у робочому діапазоні температур. У робочому діапазоні температур $t = 0 \dots 40^\circ\text{C}$ (до $\pm 20^\circ\text{C}$) за $\text{ТКН} = 0,01\% / ^\circ\text{C}$ отримаємо значення відносної похибки ЦАП від температури в межах діапазону $\delta = \pm 0,2\%$.

Розглянемо специфічні для ЦАП декодувальні схеми, оскільки побудову схем, аналогових ключів, джерел опорної напруги

Декодувальна схема призначена для забезпечення на її виході аналогового значення напруги або струму, значення яких мають бути пропорційні вхідному цифровому коду. Процес декодування припускає підключення напруги або струму визначеної величини за допомогою аналогових ключів та підсумовування результируючих напруг або струмів відповідним чином. Кожна цифра декодованого числа керує окремим аналоговим ключем, і величина сигналу від еталонного джерела зважується відповідно до значення позиції коду числа. Розрізняють схеми зі зваженими резисторами і багатоланкові схеми на резисторах.

Вихідна напруга ЦАП для будь-якого коду

$$U_0 = \sum_{k=1}^n U_{0k} = \frac{E_{OH}}{2^n - 1 + \frac{G_S}{G}} \sum_{k=1}^n A_k 2^{n-k},$$

Вихідна провідність усієї системи постійна і визначається за виразом

$$G_0 = G_a + G_k + G_S = G(2^n - 1) + G_S,$$

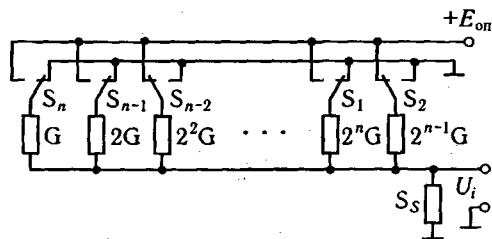


Рис. 17.8. Зважена схема керування напругою

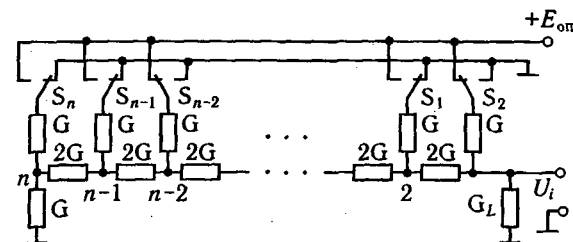


Рис. 17.9. Ланкова схема керування напругою

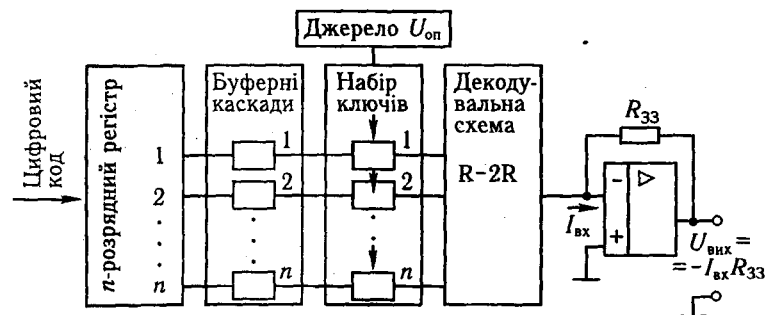


Рис. 17.10. Загальна конфігурація ЦАП з декодувальною схемою

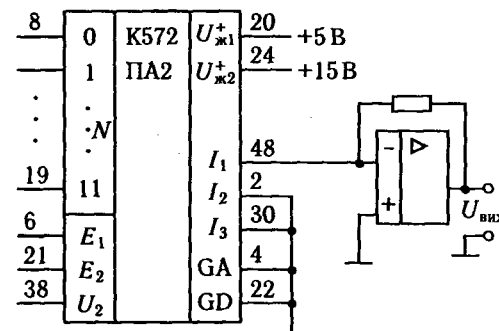


Рис. 17.11. ЦАП в інтегральному виконанні

тоді значення повного вихідного опору ЦАП становитиме:

$$R_{\text{внх}} = 1/G_0.$$

Наведена декодувальна схема має перевагу, яка полягає в тому, що вона містить мінімальне число прецизійних резисторів порівняно з іншими декодувальними схемами, однак про-

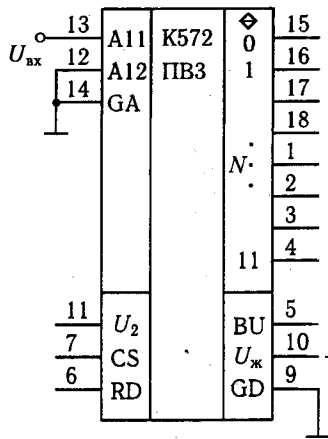


Рис. 17.12. АЦП в інтегральному виконанні

грає тим, що діапазон номіналів прецизійних резисторів великий. Це встановлює обмеження на спосіб виготовлення резисторів. Діапазон номіналів прецизійних резисторів становить $2^n - 1$.

Ланкову схему керування напругою зображено на рис. 17.9. Ця схема має лише два значення номіналів прецизійних резисторів — R і $2R$.

Схема є лінійною, тому ана-

логічно розглянутій зваженій схемі отримаємо $U_{\text{вих}}$ для будь-якого коду

$$U_0 = \sum_{k=1}^n U_{0k} = \frac{E_{\text{оп}}}{1 + \frac{G_L}{2G}} \sum_{k=1}^n A_k 2^{-k},$$

де $A_k = 1$, якщо k -й розряд дорівнює логічній «1»; $A_k = 0$, якщо k -й розряд дорівнює логічному «0».

Вихідна провідність і опір ЦАП постійні й визначаються виразом

$$G_0 = 2G; R_{\text{вих}} = 1/G_0.$$

Загальну конфігурацію ЦАП з декодувальною схемою наведено на рис. 17.10.

Цифроаналогові (ЦАП) та аналого-цифрові (АЦП) перетворювачі випускають в інтегральному виконанні. На рис. 17.11 подано ЦАП серії 572 (K572ПА2), а на рис. 17.12 — АЦП (K572ПВ3) в інтегральному виконанні.

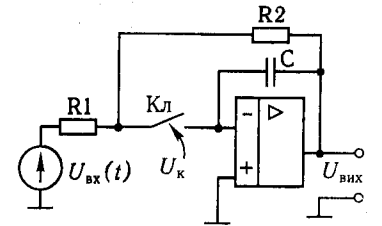
17.4. Пристрій вибірки збереження

Під час роботи АЦП з аналоговими входними сигналами бажано забезпечити постійний рівень вимірюваної напруги в точках квантування за часом. Призначення пристрою вибірки збереження (ПВЗ) — зняти звіт входного сигналу в потрібний момент часу, зафіксувати й зберігати сигнал на час



Рис. 17.13. Часові діаграми ПВЗ

Рис. 17.14. Схема пристрою вибірки збереження



перетворення АЦП. Часові діаграми роботи та схема пристрою вибірки збереження зображені на рис. 17.13 і 17.14.

Значення параметрів схеми ПВЗ: R_2 становить десятки мегаомів, $C = 100 \dots 1000$ пФ, R_1 — внутрішній опір джерела ЕРС, яке має бути набагато меншим, ніж $R_{\text{вх}}$ підсилювача.

Режим вибірки: ключ замкнений, $U_{\text{вх}}$ надходить на вхід ОППС і на ємності C запам'ятовується вхідний сигнал. У момент часу t_1 ключ розмикається, і сигнал $U_{\text{вх}}$ не надходить на вхід ОП. На виході схеми значення сигналу $U_{\text{вх}}$ перед розмиканням ключа. Оскільки забезпечивши велику сталу часу розрядження конденсатора C ($\tau_{\text{розр}} \gg t_{\text{пер АЦП}}$) отримаємо $U_{\text{вих}} = U_C = U_{\text{вх}} = \text{const}$ на час перетворення АЦП ($t_{\text{пер АЦП}}$). У момент часу t_2 ($t_2 - t_1 > t_{\text{пер АЦП}}$) ключ замикається і знову відбувається процес вибірки.

Контрольні запитання

1. Чим визначається точність пристрою для вимірювання часових інтервалів?
2. Вкажіть основні джерела похибок для схеми кодування напруг з перетворенням напруги на часовий інтервал.
3. Дайте визначення АЦП і його основних характеристик.
4. Які основні структурні елементи ЦАП, його призначення та характеристики?
5. Поясніть призначення та основні два типи декодувальних схем ЦАП, оцініть їхні переваги і недоліки.
6. Визначте призначення схем вибірки збереження, дайте їхню структуру та основні параметри.

Розділ
18 МАТЕМАТИЧНІ ОСНОВИ
ЦИФРОВИХ ПРИСТРОЇВ

18.1. Системи числення. Правила
перетворення. Двійкова арифметика

Система числення — система прийомів і правил, що дають змогу встановлювати взаємно однозначну відповідність між будь-яким числом і його зображенням у вигляді сукупності скінченного числа символів. Залежно від способу зображення чисел за допомогою цифр системи числення поділяють на позиційні і непозиційні.

У непозиційних системах будь-яке число визначають як деяку функцію від числових значень сукупності цифр, що зображують це число. Цифри в непозиційних системах числення відповідають деяким фіксованим числам. Приклад непозиційної системи — римська система числення. В електронних цифрових пристроях застосовують позиційні системи числення. Систему числення називають позиційною через те, що значення кожної вхідної у число цифри залежить і змінюється від її положення в запису числа.

Будь-яку позиційну систему числення з основою q можна подати у вигляді полінома

$$A_{(q)} = r_n q^n + r_{n-1} q^{n-1} + \dots + r_1 q^1 + r_0 q^0 + r_{-1} q^{-1},$$

де $A_{(q)}$ — число в позиційній системі числення з основою q ; r_i — коефіцієнт; n — степінь та індекс.

Позиційні системи числення можуть бути різними залежно від основи: десяткові — за основою десять, вісімкові — за основою вісім, двійкові — за основою два і т. д. Надалі, щоб явно зазначити систему числення, що використовується, візьмемо число в дужки і в індексі вкажемо основу системи числення.

За двійковою системою числення коефіцієнтами r_i є цифри 0 і 1, а основою — число 2. У загальному вигляді число за

двійковою системою числення можна записати так:

$$A_2 = r_n 2^n + r_{n-1} 2^{n-1} + \dots + r_1 2^1 + r_0 2^0 + r_{-1} 2^{-1}.$$

Цифрові пристрої використовують елементи, які мають тільки два стійких стани, і тому двійкова система числення дістала поширення для подання й оброблення інформації.

Вісімкову систему застосовують для виконання допоміжних функцій; вона скорочує запис числової інформації і забезпечує простоту переведення у двійкову систему, оскільки кожен вісімковий цифру можна замінити на двійкове трирозрядне число — *тріаду*. Найзручнішою за записом є шістнадцяткова позиційна система. Основою системи є число 16, а за коефіцієнти беруть цифрові та літерні символи: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F.

Переведення з десяткової системи в будь-яку позиційну систему числення проводять методом послідовного ділення на основу нової системи доти, доки частка від ділення не буде меншою, ніж основа системи. Число в новій системі записують у вигляді остачі від ділення, починаючи з останньої частки, справа наліво. Дробове число записують у вигляді цілих частин чисел, що отримують при множенні тільки дробової частини на основу, починаючи зверху після коми, і при цьому задають точність обчислень.

Таблиця 18.1. Методи переведення цілого і дробових чисел з десяткової системи числення

Тип перетворення	Цілі числа	Дробові числа
	Ділення певного десяткового числа на q . Остача дає перетворене число, що читається в напрямі стрілки	Повторне множення певного десяткового числа на q . Розряд перед комою дає розряд перетвореного числа. За подальшого множення використовується лише дробова частина проміжного результату
Десяткове на двійкове	108 : 2 = остача 0	0,34 · 2 = переноситься 0
	54 : 2 = остача 0	0,68 · 2 = переноситься 1 (1,36)
	27 : 2 = остача 1	0,36 · 2 = переноситься 0
	13 : 2 = остача 1	0,72 · 2 = переноситься 1 (1,44)
	6 : 2 = остача 0	0,44 · 2 = переноситься 0
	3 : 2 = остача 1	0,88 · 2 = переноситься 1 (1,76)
	1 : 2 = остача 1	0,76 · 2 = переноситься 1 (1,52)
	108 ₍₁₀₎ = 1101100 ₍₂₎	Переривання 0,34 ₍₁₀₎ = 0,0101011 ₍₂₎
Десяткове на вісімкове	108 : 8 = остача 4	0,34 · 8 = переноситься 2 (2,72)
	13 : 8 = остача 5	0,72 · 8 = переноситься 5 (5,76)
	1 : 8 = остача 1	0,76 · 8 = переноситься 6 (6,08)
	108 ₍₁₀₎ = 154 ₍₈₎	0,08 · 8 = переноситься 0 (0,64) 0,64 · 8 = переноситься 5 (5,12) Переривання 0,34 ₍₁₀₎ = 0,25605 ₍₈₎

Тип перетворення	Цілі числа	Дробові числа
	Ділення певного десятичного числа на q . Остача дає перетворене число, що читається в напрямі стрілки	Повторне множення певного десятичного числа на q . Розряд перед комою дає розряд перетвореного числа. За подальшого множення використовується лише дробова частина проміжного результату
Десяткове на шістнадцяткове	$108 : 16 = \text{остача } 12$ $6 : 16 = \text{остача } 6$ $108_{(10)} = 6C_{(16)}$	$0,34 \cdot 16 = \text{переноситься } 5 (5,44)$ $0,44 \cdot 16 = \text{переноситься } 7 (7,04)$ $0,04 \cdot 16 = \text{переноситься } 0$ $0,64 \cdot 16 = \text{переноситься } 10$ Переривання $0,34_{(10)} = 0,570 A_{(16)}$

Таблиця 18.2. Методи переведення у десяткову систему числення

Тип перетворення	Цілі числа	Дробові числа
	Повторне множення проміжного результату на q і додавання зі значенням розряду певного числа. Першим проміжним результатом є найвищий розряд	Повторне ділення проміжного результату на q і додавання з розрядом певного числа. Першим проміжним результатом є останній розряд, поділений на q
Двійкове на десяткове	1 $1 \cdot 2 + 1 = 3$ $3 \cdot 2 + 0 = 6$ $6 \cdot 2 + 1 = 13$ $13 \cdot 2 + 1 = 27$ $27 \cdot 2 + 0 = 54$ $54 \cdot 2 + 0 = 108$ $1101100_{(2)} = 108_{(10)}$	$1 : 2 = 0,5$ $(0,5 + 1) : 2 = 0,75$ $(0,75 + 0) : 2 = 0,375$ $(0,375 + 1) : 2 = 0,6875$ $(0,6875 + 0) : 2 = 0,34375$ $(0,34375 + 1) : 2 = 0,67187$ $(0,67187 + 0) : 2 = 0,33593$ $0,0101011_{(2)} = 0,33593 \approx 0,34_{(10)}$
Вісімкове на десяткове	1 $1 \cdot 8 + 5 = 13$ $13 \cdot 8 + 4 = 108$ $154_{(8)} = 108_{(10)}$	$5 : 8 = 0,625$ $(0,625 + 0) : 8 = 0,078125$ $(0,078125 + 6) : 8 = 0,75976$ $(0,75976 + 5) : 8 = 0,71997$ $(0,71997 + 2) : 8 = 0,33999$ $0,25605_{(8)} = 0,33999 \approx 0,34_{(10)}$
Шістнадцяткове на десяткове	6 $6 \cdot 16 + 12 = 108$ $6C_{(16)} = 108_{(10)}$	$A : 16 = 0,625$ $(0,625 + 0) : 16 = 0,039062$ $(0,039062 + 6) : 16 = 0,75976$ $(0,75976 + 7) : 16 = 0,71997$ $(0,71997 + 5) : 16 = 0,33999$ $0,570A_{(16)} = 0,33999 \approx 0,34_{(10)}$

Практичний інтерес мають перерахунки з десятичної системи в десяткову систему числення. Алгоритм перерахунку і деякі приклади наведено в табл. 18.1, 18.2.

Для переведення числа з вісімкової системи в двійкову кожне вісімкове число слід замінити еквівалентним 3-розрядним числом. Наприклад, переведемо число $2451_{(8)}$ у двійкову систему числення:

$$\begin{array}{ccccccc} & 2 & & 4 & & 5 & & 1 & & (8) \\ 010 & & 100 & & 101 & & 001 & & & (2) \end{array}$$

Двійкове число при переведенні у вісімкову систему поділяють на тріади справа наліво і кожну тріаду замінюють вісімковим числом. Наприклад, число $101\ 001\ 111_{(2)}$ у вісімковій системі:

$$\begin{array}{ccc} 101 & 001 & 111 & (2) \\ 5 & 1 & 7 & (8) \end{array}$$

Аналогічно проводять переведення з двійкової системи в шістнадцяткову і навпаки, тільки використовують двійкові тетради. Наприклад, виконаємо переведення:

$$\begin{array}{ccccccc} A & 1 & 3_{(16)} & 1000 & 1101 & 0101 & (2) \\ 1010 & 0001 & 1100_{(2)} & 8 & D & 5 & (16) \end{array}$$

У двійково-кодованій десятичній системі кожну десяткову цифру подають двійковим еквівалентом. Наприклад, число 24_{10} у двійково-кодованій системі подають так:

$$24_{(10)} = 0010\ 0100_{(ДКДС)}$$

18.2. Основні закони алгебри логіки

В алгебрі логіки введено таку систему аксіом, що визначає властивості й відносини основних операцій:

$$\begin{aligned} a + b &= b + a; \\ a(b + c) &= ab + ac; \\ a + bc &= (a + b)(a + c); \\ a + \bar{a} &= 1; \\ a + \bar{a} &= b + \bar{b}; \\ a\bar{a} &= b\bar{b}. \end{aligned}$$

За цими аксіомами виводять усі теореми, що виражають основні закони алгебри логіки. Їх називають також *системою рівнозначних перетворень функцій*, або *рівнозначностями*.

1. Закони нульової множини

$$0 \cdot a = 0;$$

$$0 + a = a;$$

$$0 \cdot adc \dots z = 0,$$

тобто кон'юнкція будь-якого числа змінних набуває значення 0, якщо хоча б одна змінна має значення 0 незалежно від значень інших змінних.

2. Закони універсальної множини

$$1 \cdot a = a;$$

$$1 + a = 1;$$

$$1 + a + b + \dots + z = 1,$$

тобто диз'юнкція будь-якого числа змінних набуває значення 1, якщо хоча б одна з її змінних має значення 1 незалежно від значень інших змінних.

3. Закони ідемпотентності (повторення, тавтології)

$$aa \dots a = a;$$

$$a + a + \dots + a = a.$$

4. Закони подвійної інверсії

$$\overline{\overline{a}} = a,$$

тобто подвійну інверсію можна зняти.

5. Закони доповняльності:

а) логічне протиріччя

$$a\overline{a} = 0,$$

тобто кон'юнкція будь-якої змінної та її інверсії є 0;

б) закон виключеного третього

$$a + \overline{a} = 1,$$

тобто диз'юнкція будь-якої змінної та її інверсії є 1.

6. Комутативний (переставний) закон

$$ab = ba;$$

$$a + b = b + a,$$

тобто результати виконання операцій кон'юнкції і диз'юнкції не залежать від того, в якому порядку розміщені змінні.

7. Асоціативні (сполучні) закони

$$a(bc) = (ab)c = abc;$$

$$a + (b + c) = (a + b) + c = a + c + b,$$

тобто для запису кон'юнкції або диз'юнкції дужки можна опустити.

8. Дистрибутивні (розподільні) закони:

а) кон'юнкції щодо диз'юнкції

$$a(b + c) = ab + ac;$$

б) диз'юнкції щодо кон'юнкції

$$a + bc = (a + b)(a + c).$$

9. Закони поглинання

$$a(a + b) = a;$$

$$a(a + b)(a + c) \dots (a + w) = a;$$

$$a + ab = a;$$

$$a + ab + ac + \dots + aw = a;$$

$$a(\overline{a} + b) = ab;$$

$$a + \overline{a}b = a + b.$$

10. Закони склеювання (поширення)

$$ab + a\overline{b} = a;$$

$$(a + b)(a + \overline{b}) = a.$$

11. Закони узагальненого склеювання

$$ab + \overline{a}c + bc = ab + \overline{a}c;$$

$$(a + b)(\overline{a} + c)(b + c) = (a + b)(\overline{a} + c);$$

$$(a + b)(\overline{a} + c) = ac + \overline{a}b.$$

12. Закони де Моргана (закони інверсії):

а) для двох змінних

$$\overline{ab} = \overline{a} + \overline{b},$$

тобто інверсія кон'юнкції є диз'юнкцією інверсій;

$$\overline{a + b} = \overline{a}\overline{b},$$

тобто інверсія диз'юнкції є кон'юнкцією інверсій;

б) для n змінних

$$\overline{abc \dots w} = \overline{a} + \overline{b} + \overline{c} + \dots + \overline{w};$$

$$\overline{a + b + c + \dots + w} = \overline{a}\overline{b}\overline{c} \dots \overline{w}.$$

13. Теорема розкладання (розвинення)

$$F(a, b, \dots, w) = aF(1, b, \dots, w) + \bar{a}F(0, b, \dots, w);$$

$$F(a, b, \dots, w) = [a + F(0, b, \dots, w)] \times [\bar{a} + F(1, b, \dots, w)];$$

$$aF(a, \bar{a}, b, c, \dots, w) = aF(1, 0, b, c, \dots, w);$$

$$\bar{a}F(a, \bar{a}, b, c, \dots, w) = \bar{a}F(0, 1, b, c, \dots, w);$$

$$a + F(a, \bar{a}, b, c, \dots, w) = a + F(0, 1, b, c, \dots, w);$$

$$\bar{a} + F(a, \bar{a}, b, c, \dots, w) = \bar{a} + F(1, 0, b, c, \dots, w).$$

18.3. Форми логічних функцій і методи мінімізації логічних схем

Залежність скінченних змінних y_i , виражена через сукупність початкових змінних x_{n-1}, \dots, x_1x_0 за допомогою операцій алгебри логіки, називають *функцією алгебри логіки*. Для n -розрядного двійкового коду x_{n-1}, \dots, x_1x_0 існує 2^n різних значень y_i .

Різні комбінації значень вхідних змінних у логічних функціях називають *наборами*. Функція є цілком заданою, якщо вказані її значення для всіх наборів значень вхідних змінних. Якщо задати кожному набору значення функції, яке дорівнює 0 або 1, можна дістати табличне завдання певної функції, що називають *таблицею істинності*, або *таблицею відповідності*.

Розглянемо логічні функції n аргументів, якщо є набір аргументів і таблиця істинності, в якій визначено значення функції для кожного поєднання аргументів. Для визначення N -скінченного числа функцій використовують формулу $N = 2^{2^n}$; отже, для двозначної системи набір функцій двох змінних дорівнює 16, а від однієї змінної — 4. Логічні двійкові функції називають *булевими* на ім'я англійського математика XIX ст. Дж. Буля. Назва, позначення і значення всіх шістнадцяти булевих функцій для двозначної системи двох змінних наведено в табл. 18.3 разом з назвами схем логічних елементів.

Іноді відомо, що за умовами роботи пристрою поява деяких вхідних кодів неможлива, і тому значення функції алгебри логіки на цих кодах не задаються. При цьому виникають так звані факультативні, або необов'язкові, значення функції, які можуть задаватися довільними. Вхідні коди, для яких функція алгебри логіки має факультативні значення, називають *забороненими*.

Для опису функцій алгебри логіки використовують різні способи. Основними з них є опис функцій у словесній формі, у вигляді таблиць істинності, алгебричних виразів, послідовностей десятичних чисел, а також кубічних комплексів.

Таблиця 18.3. Значення булевих функцій

№ пор.	Значення булевих функцій залежно від аргументів x та y					Позначення функції	Назва функції	Назва або позначення схеми логічного елемента
	x	y	0	0	1			
	y	0	1	0	1			
1	$F_0(x, y)$	0	0	0	0	0	Константа нуль	Генератор нуля
2	$F_1(x, y)$	0	0	0	1	$x \wedge y$ xy	Кон'юнкція, логічне множення, І	Кон'юнктор, І, &
3	$F_2(x, y)$	0	0	1	0	$x \Delta y$	Заборона за x , заперечення імплікації	Схема заборони
4	$F_3(x, y)$	0	0	1	1	x	Змінна x	Повторювач x
5	$F_4(x, y)$	0	1	0	0	$y \Delta x$	Заборона за y , заперечення імплікації	Схема заборони
6	$F_5(x, y)$	0	1	0	1	y	Змінна y	Повторювач y
7	$F_6(x, y)$	0	1	1	0	$x \oplus y$	Сума за модулем 2, логічна нерівнозначність	Додавання за модулем 2, М2
8	$F_7(x, y)$	0	1	1	1	$x \vee y$ $x + y$	Диз'юнкція, логічне додавання, АБО	Диз'юнктор, АБО
9	$F_8(x, y)$	1	0	0	0	$x \downarrow y$ $x \vee y$	Стрілка Пірса, заперечення диз'юнкції	Елемент Пірса, АБО-НЕ
10	$F_9(x, y)$	1	0	0	1	$x = y$	Еквівалентність	Рівнозначність
11	$F_{10}(x, y)$	1	0	1	0	y	Заперечення, інверсія y	Інвертор НЕ
12	$F_{11}(x, y)$	1	0	1	1	$y \rightarrow x$	Імплікація від y до x	Елемент імплікації
13	$F_{12}(x, y)$	1	1	0	0	$\neg x$	Заперечення, інверсія x	Інвертор НЕ
14	$F_{13}(x, y)$	1	1	0	1	$x \rightarrow y$	Імплікація від x до y	Елемент імплікації
15	$F_{14}(x, y)$	1	1	1	0	x/y	Штрих Шеффера, заперечення кон'юнкції	Елемент Шеффера, І-НЕ
16	$F_{15}(x, y)$	1	1	1	1	1	Константа 1	Генератор одиниці

Словесний опис функцій алгебри логіки найчастіше застосовують для початкового опису поведінки логічного пристрою.

Приклад. Логічна функція трьох змінних дорівнює одиниці, якщо хоча б дві початкові змінні дорівнюють 1.

Опис функцій алгебри логіки у вигляді таблиці істинності. Таблицю, що містить усі можливі комбінації початкових змінних x_{n-1}, \dots, x_1x_0 і відповідні їм значення скінченних змінних y_i , називають *таблицею істинності*, або *комбінаційною таблицею*. У загальному випадку таблиця істинності містить 2^n рядків.

Таблиця 18.4. Таблиця істинності логічної функції трьох змінних

x_2	x_1	x_0	y	x_2	x_1	x_0	y
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

Приклад. Укладемо таблицю істинності для функцій алгебри логіки (табл. 18.4) з попереднього прикладу.

Опис функцій алгебри логіки у вигляді алгебричного виразу. Алгебра логіки дає змогу створювати складні функції, аргументи яких є функціями інших двійкових аргументів. Операцію заміни аргументом однієї функції іншими, більш простими функціями називають *суперпозицією функцій*. Багаторазове використання принципу суперпозиції дає можливість дістати функції бажаного числа аргументів.

Елементарна кон'юнкція утворюється кон'юнкцією скінченної множини логічних змінних і їх заперечень. Наприклад, $P(x, y, z) = xy\bar{z}$.

Елементарна диз'юнкція утворюється диз'юнкцією скінченної множини логічних змінних і їх заперечень. Наприклад, $P(x, y, z) = x + y + \bar{z}$.

Кількість змінних в елементарній кон'юнкції (диз'юнкції) називається її *довжиною* і визначає її ранг. Наприклад, $P(x, y, z, w) = x + y + \bar{z} + w$ є диз'юнкцією четвертого рангу.

Мінтермом називають функцію, що набуває одиничного значення при одному з усіх можливих наборів аргументів, а *макстермом* називають функцію, яка набуває нульового значення при одному з можливих наборів і одиничного значення при всіх інших. Мінтерм алгебрично є кон'юнкцією аргументів, а макстерм — диз'юнкцією аргументів. Якщо використовують двійкову систему і число наборів аргументів n , то число мінтермів або макстермів $N = 2^n$.

Диз'юнкцію будь-якого числа елементарних кон'юнкцій називають *диз'юнктивною нормальною формою (ДНФ)*. Наприклад, $a + bc + \bar{a}bc + a\bar{b}\bar{c}$.

Кон'юнкцію будь-якого числа елементарних диз'юнкцій називають *кон'юнктивною нормальною формою (КНФ)*. Наприклад, $a(a + b)(\bar{b} + c)(\bar{a} + b + \bar{c})$.

Нормальні форми логічних функцій називають *канонічними*. Логічну функцію, задану будь-яким аналітичним виразом,

можна безпосередньо перетворити на нормальну диз'юнктивну (або кон'юнктивну) форму. Для цього потрібно:

- виразити всі операції через операції кон'юнкції, диз'юнкції та інверсії;
- позбутися інверсії над цілими виразами, перейшовши до форми, в якій є інверсії тільки окремих змінних;
- розкрити дужки, застосувавши закон дистрибутивності;
- звести кон'юнкції (диз'юнкції) до елементарних операцій.

Якщо до складу логічної формули належать набори елементарних кон'юнкцій однакового рангу, пов'язані диз'юнкцією, то таку форму подання логічної функції називають *досконалою диз'юнктивною нормальною формою (ДДНФ)*. Правила утворення ДДНФ функції n аргументів такі.

1. За кожним набором двійкових змінних, за яких функція набуває значення 1, скласти елементарні кон'юнкції (мінтерми).

2. В елементарну кон'юнкцію записати неінвертованими змінні, що задані одиницею в таблиці істинності, а інвертованими — ті змінні, які в таблиці істинності задані нулем. Здобутий результат називають конститuentами одиниці.

3. Елементарні кон'юнкції об'єднати знаком диз'юнкції.

Досконалою кон'юнктивною нормальною формою (ДКНФ) логічної функції називають такий її вираз, який містить елементарні диз'юнкції одного рангу, пов'язані кон'юнкцією. Правила утворення ДКНФ n аргументів такі.

1. За кожним набором двійкових змінних, за яких функція набуває значення 0, скласти елементарні диз'юнкції (макстерми).

2. В елементарні диз'юнкції записати неінвертованими змінні, задані нулем у таблиці істинності, а інвертованими — ті змінні, які в таблиці істинності задані одиницею. Здобуті суми називають конститuentами нуля.

3. Елементарні диз'юнкції об'єднати знаком кон'юнкції.

Приклад. Нехай таблицею істинності задана функція $F(x_2, x_1, x_0)$ (табл. 18.5) і потрібно утворити її ДДНФ і ДКНФ.

За таблицею знаходимо, що функція F набуває значення 1 при чотирьох наборах аргументів, тому функція F у ДДНФ складатиметься з логічної суми чотирьох мінтермів:

$$F(x_2, x_1, x_0) = \bar{x}_2\bar{x}_1x_0 + \bar{x}_2x_1\bar{x}_0 + x_2\bar{x}_1\bar{x}_0 + x_2x_1x_0.$$

Функція $F(x_2, x_1, x_0)$ у ДКНФ набуває значення 0 при чотирьох наборах аргументів і складатиметься з логічного сполучення чотирьох макстермів:

$$F(x_2, x_1, x_0) = (x_2 + x_1 + x_0)(x_2 + \bar{x}_1 + \bar{x}_0) \times (\bar{x}_2 + x_1 + \bar{x}_0)(\bar{x}_2 + \bar{x}_1 + x_0).$$

Таблиця 18.5. Таблиця істинності функції $F(x_2, x_1, x_0)$

Значення аргументу			Значення функції F	ДДНФ	ДКНФ
x_2	x_1	x_0		мінтерм	макстерм
0	0	0	0	—	$x_2 + x_1 + x_0$
0	0	1	1	$\bar{x}_2 \bar{x}_1 x_0$	—
0	1	0	1	$\bar{x}_2 x_1 \bar{x}_0$	—
0	1	1	0	—	$x_2 + \bar{x}_1 + \bar{x}_0$
1	0	0	1	$x_2 \bar{x}_1 \bar{x}_0$	—
1	0	1	0	—	$\bar{x}_2 + x_1 + \bar{x}_0$
1	1	0	0	—	$\bar{x}_2 + \bar{x}_1 + x_0$
1	1	1	1	$x_2 x_1 x_0$	—

ДКНФ використовують рідше за ДДНФ у процесі перетворення логічних виразів. Здобуті формули функції, якщо не застосовувати ніяких перетворень, можна використати для синтезу функціональних схем логічних пристроїв. Так, для реалізації $F(x_2, x_1, x_0)$ у ДДНФ можна скористатися рис. 18.1.

Слід зазначити, що від будь-якої ДНФ можна перейти до ДДНФ функції за допомогою рівнозначних перетворень. Такий перехід називають *розгортанням*. Для цього потрібно:

- ввести відсутні змінні в кожну кон'юнкцію множенням її на рівнозначність вигляду $a + \bar{a} = 1$, де a — відсутня змінна;
- розкрити дужки, застосувавши комутативний закон ($ab = ba$);
- позбутися кон'юнкцій, що повторюються, на основі закону ідемпотентності ($a + a = a$).

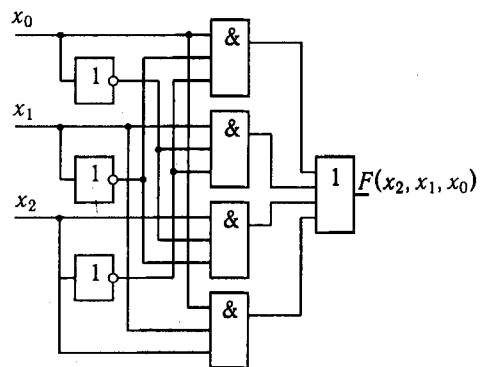


Рис. 18.1. Реалізація функції $F(x_2, x_1, x_0)$

Приклад. Нехай ДНФ функції має вигляд

$$F = a\bar{b}c + a\bar{c}.$$

За викладеним правилом переходу до ДДНФ

$$F = a\bar{b}c + a\bar{c}(b + \bar{b}) = a\bar{b}c + ab\bar{c} + a\bar{b}\bar{c}.$$

Перехід від КНФ до ДКНФ здійснюють аналогічно переходу від ДНФ до ДДНФ. Для цього потрібно:

- ввести відсутні змінні в кожну диз'юнкцію, використавши закон суперечності $a\bar{a} = 0$ (a — відсутня змінна);
- здійснити перетворення, застосувавши другий закон дистрибутивності $a + bc = (a + b)(a + c)$ і комутативний закон $a + b = b + a$;
- позбутися диз'юнкцій, що повторюються, на основі закону ідемпотентності $aa = a$.

Приклад. Розгортання КНФ вигляду

$$F = (a + b)(\bar{b} + c)(\bar{a} + \bar{c})$$

у ДКНФ виконують у такий спосіб:

$$\begin{aligned} F &= (a + b + 0)(\bar{b} + c + 0)(\bar{a} + \bar{c} + 0) = \\ &= (a + b + c\bar{c})(\bar{b} + c + a\bar{a})(\bar{a} + \bar{c} + b\bar{b}) = \\ &= (a + b + c)(\bar{b} + c + a)(\bar{a} + \bar{c} + b)(a + b + \bar{c})(\bar{b} + c + \bar{a})(\bar{a} + \bar{c} + \bar{b}). \end{aligned}$$

Опис функцій алгебри логіки у вигляді послідовності десяткових чисел. Іноді для скорочення запису функцію алгебри логіки зображують у вигляді послідовності десяткових чисел. При цьому послідовно записують десяткові еквіваленти двійкових кодів відповідних конститuent 1 або 0.

Приклад. Записати у вигляді послідовності чисел функцію $F(x_2, x_1, x_0)$ з попереднього прикладу. У ДДНФ перша конститuenta 1 відповідає двійковому коду 001. Десятковий еквівалент цього коду дорівнює 1. Аналогічно записують інші конституенти:

$$F(x_2, x_1, x_0) = \Sigma(1, 2, 4, 7) = \vee(1, 2, 4, 7).$$

$$F(x_2, x_1, x_0) = \Pi(0, 3, 5, 6) = \wedge(0, 3, 5, 6).$$

18.4. Класифікація логічних пристроїв

Логічні пристрої можна класифікувати за різними ознаками. За способом введення-виведення інформації логічні пристрої поділяють на послідовні, паралельні і послідовно-паралельні. *Послідовним* називають пристрій, в якому початкові змінні подаються на вхід, а скінчені змінні знімаються з виходу не одночасно, а послідовно, розряд за розрядом.

Паралельним називають пристрій, в якому всі розряди початкових змінних подаються на вхід, а всі розряди скінчених змінних знімаються з виходу одночасно.

У *послідовно-паралельних* пристроях початкові і скінченні змінні подані у різних формах — або на вхід змінні подаються послідовно символ за символом, а з виходу вони знімаються одночасно, або навпаки.

За принципом дії всі логічні пристрої поділяють на два класи — комбінаційні і послідовні.

Комбінаційними пристроями, або автоматами без пам'яті, називають логічні пристрої, вихідні сигнали яких однозначно визначаються тільки діючою у певний момент на вході комбінацією змінних і не залежать від значень змінних, що діяли на вході раніше.

Послідовними пристроями, або автоматами з пам'яттю, називають логічні пристрої, вихідні сигнали яких визначаються не тільки діючою у певний момент на вході комбінацією змінних, а й усією послідовністю початкових змінних, що діяли у попередні моменти часу.

Комбінаційну схему можна зобразити у вигляді m - k -плюсного елемента (рис. 18.2). Вхідне слово (вхідний алфавіт) комбінаційної схеми задають набором символів $M = m_1 m_2 \dots m_i$, а вихідне слово (вихідний алфавіт) набуває значення з вихідних символів $K = k_1 k_2 \dots k_j$.

У дискретний момент часу сукупність вихідних сигналів однозначно визначають набором вхідних сигналів, що надходять на вхід у той самий момент часу. Комбінаційна схема характеризується числом вхідних сигналів, числом вихідних сигналів, логічною формулою або таблицею істинності. Для керування роботою комбінаційної схеми вводять керуючі тактові сигнали, щоб повний набір вхідних сигналів надійшов після закінчення перехідних процесів.

Якщо на вихідні сигнали впливає не внутрішній стан комбінаційної схеми, а тільки зміна вхідних сигналів, то таку схему називають *автоматом без пам'яті*, або *примітивним автоматом*.

Якщо на набір вихідних сигналів K впливає не тільки набір вхідних сигналів, а й внутрішній стан комбінаційної схеми, то таку схему називають *автоматом з пам'яттю*, або *повним автоматом*. Автомат з пам'яттю задається трьома наборами змінних: M ; K ; Q , де Q — набір змінних, що відображають внутрішній стан схеми (рис. 18.3).

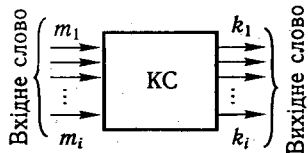


Рис. 18.2. Комбінаційна схема

У більшості схем повних автоматів поєднання комбінаційних елементів дає змогу побудувати такий пристрій, сигнали на виході якого безпосередньо залежатимуть не від вхідних сигналів, а лише від поєднання вхідних сигналів і внутрішнього стану автомата у момент надходження сигналів на вхіді.

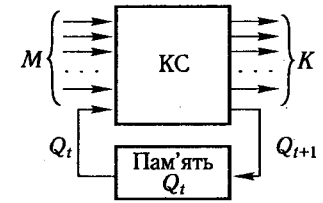


Рис. 18.3. Повний автомат

Для опису роботи автомата в таблиці істинності вказують набір вхідних сигналів, набір відповідних внутрішніх станів і набір вихідних сигналів. Крім того, обов'язковою є умова розділення всіх наборів сигналів за тимчасовими інтервалами. Спеціально домовляються про внутрішній стан автомата до надходження вхідного сигналу Q_0 , внутрішній стан автомата, що змінюється з надходженням вхідного сигналу Q_i , і внутрішній стан автомата після нової зміни вхідного сигналу Q_{i+1} .

Розрізняють два типи автоматів. Автомат, у якого скінченна змінна в будь-якому такті t_i залежить від внутрішнього стану і від початкової змінної, називають *автоматом Милі*.

Його задають рівнянням $K_j = (Q_i, M_i)$. Автомат, у якого скінченна змінна в момент t_i залежить тільки від внутрішнього стану в t_i -му такті, називають *автоматом Мура*. Його задають рівнянням $K_j = f(Q_i)$.

18.5. Мінімізація булевих функцій

Логічну схему, що реалізує заданий алгоритм перетворення сигналів, можна синтезувати безпосередньо за виразом, поданим у вигляді ДДНФ або ДКНФ. Проте отримана при цьому схема, як правило, не оптимальна з погляду її практичної реалізації. Тому скінченшу логічну функцію звичайно мінімізують.

Метою мінімізації логічної функції є зменшення вартості її технічної реалізації. Критерій, відповідно до якого виконують мінімізацію, зовсім неоднозначний і залежить як від типу задачі, так і від рівня розвитку технології.

Основними вимогами до задачі синтезу є: мінімальне число елементарних кон'юнкцій або диз'юнкцій у логічній формулі й однорідність використовуваних операцій. Крім вимог мінімізації є ряд обмежень і умов на вибір елементної бази для синтезованого пристрою.

Метод діаграм Вейча, удосконалений Карно, застосовують тоді, коли число аргументів не більше ніж 5—6. Карти Карно — це графічне зображення таблиць істинності. Кожній

Таблиця 18.6. Значення функції $F(a, b, c)$

a	b	c	$F(a, b, c)$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

комбінації змінних може відповідати певна клітина карти Карно. У клітину записують значення функції (0 або 1) для певної комбінації початкових змінних. Початкові змінні розміщують по зовнішніх сторонах карти навпроти її рядків і стовпчиків. При цьому значення кожної із початкових змінних належить до всього рядка або стовпчика і дорівнює 1, якщо навпроти рядка (стовпчика) стоїть під дужкою

кою позначення цієї змінної; для інших рядків (стовпчиків) значення цієї змінної дорівнює 0.

Кожна з початкових змінних ділить по-своєму будь-яку карту Карно на дві рівні частини, в одній з яких значення цієї змінної дорівнює 1, а в іншій 0. Кожній клітині карти відповідає певна комбінація значень усіх початкових змінних, а кожна сторона клітини є межею між значеннями змінних. Число клітин карти Карно визначають величиною 2^n , де n дорівнює числу початкових змінних.

Наприклад, для функції трьох змінних $F(a, b, c)$, заданою таблицею істинності (табл. 18.6), карту Карно зображено на рис. 18.4.

Карту Карно для логічної функції, заданої алгебричним виразом, можна укласти в такому порядку:

- за числом змінних, які входять у вираз заданої функції, будують карту Карно і розміщують змінні; заданий алгебричний вираз зводять до ДДНФ;
- у карті Карно для кожної конституенти 1 ДДНФ знаходять відповідну клітину (із таким самим набором змінних), у якій записують 1, в інші клітини карти — 0.

Властивості карти Карно такі:

1. Комбінації значень змінних для сусідніх клітин карти Карно розрізняються значенням лише однієї змінної. У разі переходу з однієї клітини в сусідню завжди змінюється значення лише однієї змінної від свого прямого значення до його інверсії й навпаки.

<div style="text-align: center;"> $\overbrace{\hspace{1.5cm}}^c$ $\overbrace{\hspace{1.5cm}}^b$ </div>			
a [1	0	1
	0	0	1

Рис. 18.4. Карта Карно для функції трьох змінних

2. Сусідніми між собою є крайні ліві клітини карти Карно з крайніми правими і крайні верхні клітини карти з крайніми нижніми (пів карти були згорнуті в циліндри по вертикалі і горизонталі).

Усі клітини, що відрізняються значенням тільки однієї змінної, є сусідніми, незважаючи на те, що іноді вони розміщені не поряд (для функцій п'яти змінних і більше).

Наприклад, розглянемо карту для п'яти змінних (рис. 18.5), незважаючи на значення функції у клітинах карти.

Випишемо комбінації значень змінних для клітин другого рядка зліва направо:

1. $\bar{a}\bar{b}\bar{c}\bar{d}\bar{e}$; 3. $\bar{a}\bar{b}\bar{c}de$; 5. $\bar{a}bcd\bar{e}$; 7. $\bar{a}bcde$;
2. $\bar{a}b\bar{c}\bar{d}\bar{e}$; 4. $\bar{a}b\bar{c}de$; 6. $\bar{a}bcde$; 8. $\bar{a}bcd\bar{e}$.

Клітина 1 є сусідньою з клітиною 2 (відрізняється значенням змінної e), із клітиною 8 (відрізняється значенням змінної c), із клітиною 4 (відрізняється значенням змінної d). Клітина 5 є сусідньою з клітиною 4 (змінна c), 6 (змінна e) і 8 (змінна d). Аналогічно встановлюють сусідство інших клітин.

Для деякої логічної функції, заданої за допомогою карти Карно, можна записати кілька алгебричних виразів різної складності в диз'юнктивній або кон'юнктивній формі.

При цьому потрібно дотримуватися таких правил.

1. Усі одиниці (при записі функції у диз'юнктивній формі) і всі нулі (при записі в кон'юнктивній формі) мають бути замкнені в прямокутні контури. Одиничні контури можуть об'єднувати кілька одиниць, але не повинні містити усередині себе нулів. Нульові контури можуть об'єднувати кілька нулів, але не повинні містити усередині себе одиниць. Одноїменні контури можуть накладатися один на одного, тобто та сама одиниця (або нуль) може входити в кілька одиничних (нульових) контурів.

2. Площа будь-якого контуру має бути симетричною щодо меж змінних, що перетинаються цим контуром. Інакше кажучи, число клітин у контурі дорівнює 2^n , де $n = 0, 1, 2, 3, 4, \dots$, тобто число клітин виражається числами 1, 2, 4, 8, 16, 32, ...

3. Щоб уникнути отримання зайвих контурів, їх побудову потрібно починати з тих

<div style="text-align: center;"> $\overbrace{\hspace{2.5cm}}^e$ $\overbrace{\hspace{2.5cm}}^d$ $\overbrace{\hspace{1.5cm}}^c \quad \overbrace{\hspace{1.5cm}}^c$ </div>							
a [0	0	0	0	1	0	0
	0	0	1	0	0	1	0
	0	0	1	0	0	1	0
	0	0	1	0	0	1	0

Рис. 18.5. Карта Карно для функції п'яти змінних

одиниць або нулів, що можуть увійти в один єдиний контур. *Зайвими* називають контури, всі клітини яких увійшли вже в інші контури.

4. У контури можна об'єднувати тільки сусідні клітини, що містять одиниці або нулі. Дотримання цього правила особливо потрібно перевіряти, якщо число змінних більше ніж чотири і коли сусідні клітини можуть розміщуватися не поряд, тому контури можуть зазнавати видимого розриву.

5. Кожній одиничній клітині відповідає кон'юнкція початкових змінних, що визначають цю клітину. Кожній нульовій клітині відповідає диз'юнкція інверсій початкових змінних, що визначають цю клітину.

6. У контурі, що об'єднує дві клітини, одна зі змінних змінює своє значення, тому вираз контуру з двох клітин не залежить від цієї змінної, а подається усіма іншими змінними. Це правило стосується і контурів, що охоплюють число клітин більше ніж два, і має таке формулювання: вирази, що відповідають контурам, не містять тих змінних, чії межі перетинаються площею, обмеженою цим контуром.

7. Вираз логічної функції можна записати за відповідною картою Карно в диз'юнктивній або кон'юнктивній формах. Диз'юнктивна форма складається у вигляді диз'юнкції кон'юнкцій, що відповідають одиничним контурам, виділеним на карті для визначення функції; кон'юнктивна — у вигляді кон'юнкції диз'юнкцій, що відповідають нульовим контурам.

8. Для контурів, що охоплюють різну кількість клітин, утворюються вирази різної складності. Тому для певної логічної функції можна записати за її картою Карно кілька алгебричних виразів, що відрізняються за складністю. Найскладніший вираз відповідає випадку, коли кожній клітині відповідає свій контур. Цей вираз є ДДНФ або ДКНФ певної функції.

Для отримання за картою Карно мінімального виразу логічної функції слід дотримуватися такого правила (крім загальних, викладених раніше): одиниці або нулі мають об'єднуватися мінімальним числом найбільших контурів.

Іноді для деяких наборів початкових змінних значення функції строго не визначені, і її карта Карно містить умовні члени, тобто такі клітини, в яких значення функції можна вважати такими, що дорівнюють одиниці або нулю. Ці член-

		c	d	c	d
a	0	1	1	0	0
b	1	1	1	0	0
a	-	-	-	-	-
b	0	1	1	0	0

Рис. 18.6. Карта Карно

ни на карті позначають знаком ~ (тильда). Порожня клітина відповідає умовному значенню функції.

Наявність знаків умовного значення функції у клітинах карти Карно дає змогу включати ці клітини в контури з одиницями або нулями (за розсудом проектувальника), що сприяє отриманню мінімальних алгебричних виразів для певної логічної функції.

Приклад. Мінімізувати функцію, подану у вигляді карти Карно (рис. 18.6).

Дотримуючись правил визначення алгебричних виразів за картою Карно, правил мінімізації, а також взявши до уваги наявність умовних значень функції, можна записати такі вирази для цієї логічної функції:

- за одиничними контурами

$$Z = ac + a\bar{d} + c\bar{d} + c\bar{e};$$

- за нульовими контурами

$$Z = (a + c)(c + \bar{d})(a + \bar{d} + \bar{e}).$$

Метод мінімізації за допомогою карт Карно дає змогу наочно і достатньо просто здійснювати мінімізацію логічної функції 4—6 змінних, хоча іноді його застосовують і для мінімізації функцій більшого числа змінних. Проте у разі збільшення числа змінних застосування карт Карно ускладнюється, оскільки виникають труднощі під час визначення сусідніх ступів (клітин).

Контрольні запитання і завдання

1. Наведіть основні операції булевої алгебри. Як вони описуються за допомогою таблиць істинності та за допомогою алгебричних виразів?
2. За якою формулою визначають скінченне число функцій для двох аргументів двозначної системи?
3. Які функції задані формулами $x \downarrow y$, x/y , $x \rightarrow y$, $x \oplus y$?
4. Наведіть приклад опису функції алгебри логіки в словесній формі; у вигляді таблиці істинності; у вигляді алгебричного виразу; у диз'юнктивній і кон'юнктивній нормальних формах; у вигляді послідовності чисел; у вигляді куба.
5. Укладіть таблицю істинності для кон'юнкції трьох логічних змінних.
6. Що таке ранг функції?
7. Наведіть класифікацію логічних пристроїв за способом введення-виведення змінних; за принципом дії.

19.1. Етапи побудови логічної схеми

Якщо досвід побудови (синтезу) логічних схем у розробника невеликий, то можна рекомендувати йому таку послідовність дій.

Етап 1. Укладання таблиці істинності. Найскладніший, але досить поширений на практиці спосіб завдання схеми — це пояснення її роботи на понятійному рівні у вигляді набору фраз звичайної мови. Складність етапу пов'язана з тим, що завдання описується неформальними термінами, які допускають неоднозначне його тлумачення. Основна мета етапу — формалізація завдання, у процесі якого потрібно проаналізувати значення функцій для кожної комбінації значень аргументів. Результат етапу — таблиця істинності. Це вже завдання, неоднозначне тлумачення якого неможливе. Тільки якщо таблиця внаслідок значного числа змінних виявляється занадто громіздкою або якщо функція проста і зміст її абсолютно зрозумілий, можна починати безпосередньо з написання аналітичної формули.

Етап 2. Якщо функція визначена не на всіх наборах аргументів, то потрібно ліквідувати неоднозначність таблиці. У разі малого числа невизначених значень краще розглянути кілька варіантів. Якщо число умовних значень або самих аргументів велике, то, можливо, доведеться повністю довизначити функцію всіма нулями або всіма одиницями — так, щоб у результаті зменшити число членів ДДНФ прямої функції або її інверсії.

Етап 3. За цілком визначеною таблицею скласти ДДНФ. Якщо розглядається кілька варіантів або якщо є сподівання, що інверсія функції реалізовуватиметься краще, то в подальшій роботі братимуть участь кілька варіантів ДДНФ.

Етап 4. Мінімізувати ДДНФ будь-якими доступними методами. На цьому етапі іноді потрібна рішучість, щоб припинити пошук кращого варіанта (якого, можливо, й не існує).

Етап 5. Реалізувати знайдені диз'юнктивні форми на логічному базисі заданої серії елементів. Спробувати варіанти реалізації на $I - ABO - HE$ і на $I - HE, ABO - HE$.

Етап 6. Оцінити властивості двоїстості логічної схеми з урахуванням зміни числа вхідних і вихідних інверторів.

Етап 7. Спробувати знайти таку декомпозицію функції, щоб кожен фрагмент отриманого розкладання залежав від меншого числа аргументів, ніж початкова функція. Спробувати виконати це різними способами.

Етап 8. Вибрати з отриманих на етапах 5, 6, 7 варіантів найпридатніший з погляду поставленої мети.

Зазвичай в міру набуття досвіду перераховані етапи починають взаємно проникати один в одного, деякі етапи опускаються зовсім і все більше оцінок починає виконуватися дуже швидко, майже на інтуїтивному рівні.

19.2. Синтез логічних пристроїв у заданому базисі ЛЕ

Під час побудови логічних пристроїв зазвичай не користуються функціонально повною системою ЛЕ, яку реалізують усі три основні логічні операції: I , ABO і HE . На практиці з метою скорочення номенклатури елементів користуються функціонально повною системою елементів, яка містить тільки два елементи, що виконують операції « $I - HE$ » і « $ABO - HE$ », або навіть тільки один із цих елементів, причому число входів елементів зазвичай задано. Тому питання синтезу логічних пристроїв у заданому базисі ЛЕ мають неабияке практичне значення.

Перед тим як перейти безпосередньо до питань синтезу логічних пристроїв у заданому базисі ЛЕ, укладемо таблицю (табл. 19.1), в яку для зручності зведемо можливі форми подання вихідних сигналів елементів « $2I - HE$ » і « $2ABO - HE$ » за умови, що на їхні входи подані логічні змінні x_1 та x_0 .

На основі цієї таблиці кожен функцію алгебри логіки (ФАЛ) можна записати в базисі ЛЕ. При цьому використовують два технічних прийоми: подвійне інвертування вихідного виразу або його частини та застосування теорем де Моргана.

Таблиця 19.1. Форма запису основних логічних операцій

Елемент	Умове позначення операції	Форма подання вихідного сигналу
$2I - HE$ (штрих Шеффера)	$x_1 \mid x_0$	$\overline{x_1 x_0}; \quad \overline{x_1} + \overline{x_0}$
$2ABO - HE$ (стрілка Пірса)	$x_1 \downarrow x_0$	$\overline{x_1 + x_0}; \quad \overline{x_1 x_0}$

Якщо потрібно звести ФАЛ до базису ЛЕ І–НЕ, то за допомогою зазначених прийомів функцію можна звести до виду, що містить тільки операції логічного множення й інверсії. Далі її переписують через умовні позначки операції І–НЕ. Аналогічно роблять при зведенні ФАЛ до базису ЛЕ АБО–НЕ. У цьому випадку у виразі залишають тільки операції логічного додавання й інверсії.

Приклад. Задана ФАЛ $z(x) = x_3x_0 + (x_3x_2x_0)(x_2 + x_1)$. Звести до базисів ЛЕ І–НЕ і АБО–НЕ.

Базис ЛЕ І–НЕ:

$$\begin{aligned} z(x) &= x_3x_0 + (x_3x_2x_0)(x_2 + x_1) = \overline{x_3x_0(x_3x_2x_0)(x_2 + x_1)} = \\ &= \overline{x_3x_0 \cdot x_3x_2x_0 \cdot x_2x_1} = (x_3 \mid x_0) \mid ((x_3 \mid x_2 \mid x_0) \mid (x_2 \mid x_1)). \end{aligned}$$

Базис ЛЕ АБО–НЕ:

$$\begin{aligned} z(x) &= \overline{x_3x_0 + (x_3x_2x_0)(x_2 + x_1)} = \overline{x_3 + x_0 + x_3x_2x_0 + x_2 + x_1} = \\ &= \overline{x_3 + x_0 + x_3 + x_2 + x_0 + x_2 + x_1} = \\ &= (\overline{x_3} \downarrow \overline{x_0}) \downarrow ((\overline{x_3} \downarrow \overline{x_2} \downarrow \overline{x_0}) \downarrow (\overline{x_2} \downarrow \overline{x_1})). \end{aligned}$$

19.3. Мульти- і демультиплексори

Мультиплексором називається комбінаційна схема (КС), що має $m + 2^m$ входів і один вихід, де m — число адресних входів; 2^m — число інформаційних входів мультиплексора. Входи мультиплексора поділяють на дві групи: інформаційні і керуючі (адресні). Адреси подаються за двійковим кодом і їм присвоюється номер j . Кожній адресі з номером j відповідає свій інформаційний вхід A_j , сигнал з якого надходить на вихід. Традиційне використання мультиплексорів полягає у керованому передаванні даних від кількох вхідних каналів в один вихідний канал. Кожний із вхідних каналів по черзі підключають до вихідного під керуванням адресного сигналу. Мультиплексор виконує функцію

$$f = \bigvee_{j=0}^{2^m-1} A_j K_j(v), \quad (19.1)$$

де $v = (x_1, \dots, x_p)$, x_p — адресні сигнали; $p = 1, 2, \dots, m$; A_j — вхідні інформаційні сигнали мультиплексора.

Принципову схему 4-канального мультиплексора, що має два адресних входи x_1 і x_2 , зображено на рис. 19.1.

Випускаються серії мікросхем, до яких входять мультиплексори, що мають число адресних входів $m = 2, 3$ і 4 , причому якщо число адресних входів $m = 2$, виготовляють здвоєні 4-канальні ($2^m = 4$) мультиплексори, число вхідних інформаційних сигналів яких $2^m + 2^m = 8$ (ці мультиплексори мають два виходи, причому адреса з номером j керує двома вхідними інформаційними сигналами A_j і B_j). Умовне графічне позначення здвоєного 4-канального мультиплексора зі стробуванням наведено на рис. 19.2 (мікросхема 155КП2).

Цей мультиплексор виконує такі функції:

$$f_1 = V_1 \bigvee_{j=0}^3 A_j K_j(v); \quad f_2 = V_2 \bigvee_{j=0}^3 D_j K_j(v),$$

де $v = (x_1, x_2)$; \bar{V}_1 і \bar{V}_2 — входи стробування. Входи стробування використовують для побудови комутаторів з $k2^m$ інформаційними входами ($k = 2, 3, 4, \dots$) на основі 2^m -канальних мультиплексорів.

16-Канальний комутатор, виконаний на двох 8-канальних селекторах-мультиплексорах (мікросхеми 155КП7), зображено

на рис. 19.3. Цей комутатор виконує функцію $f = \bigvee_{j=0}^{15} D_j K_j(v)$,

де $v = (x_1, x_2, x_3, x_4)$. Вхід стробування \bar{V} використаний як додатковий адресний вхід.

Мультиплексори можна виконувати на основі двонапрямлених аналогових перемикачів. Такі мультиплексори випускають у серіях ІС зі структурою КМОН, наприклад К564КП1 — здвоєний 4-канальний мультиплексор та К564КП2 — 8-канальний мультиплексор. Демультиплексори виконують функцію, обернену мультиплексорам, тобто роблять комутацію одного інформаційного вхідного сигналу на 2^m виходів, де m — число адресних входів.

Побудову демультиплексора для комутації одного інформаційного вхідного сигналу на 4 виходи ($1 \rightarrow 4$) на елементах І наведено на рис. 19.4. Роботу демультиплексора можна

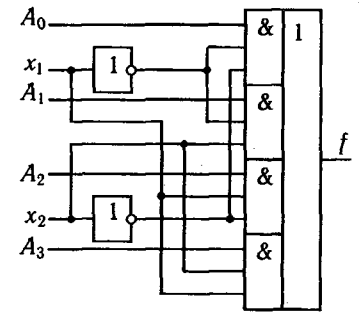


Рис. 19.1. 4-Канальний мультиплексор

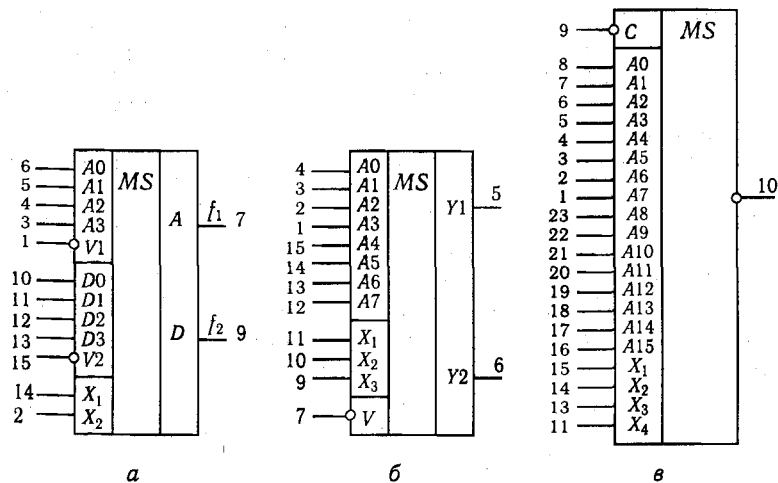


Рис. 19.2. Схеми мультимплексорів:

a — здвоєний селектор-мультимплексор 4—1 К155КП2; *б* — селектор-мультимплексор на 8 каналів К155КП7; *в* — те саме, на 16 каналів К155КП1

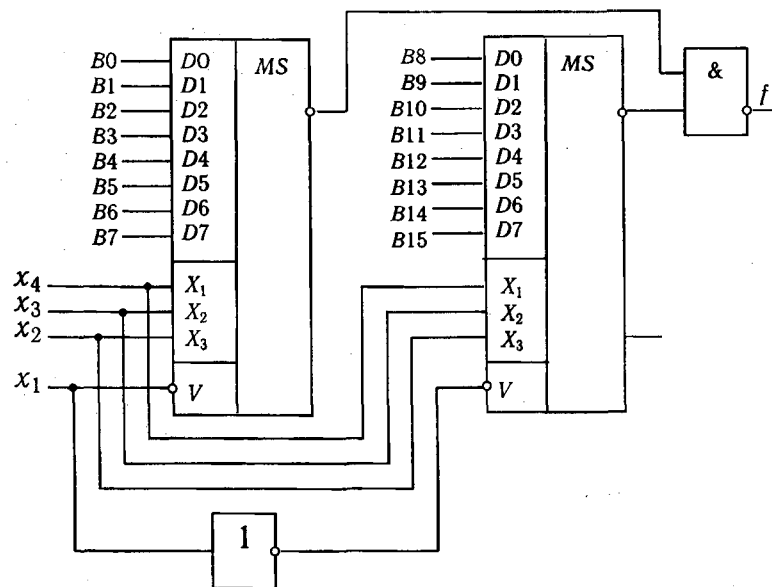


Рис. 19.3. 16-Канальний мультимплексор, побудований на двох 8-канальних селекторах-мультимплексорах К155КП7

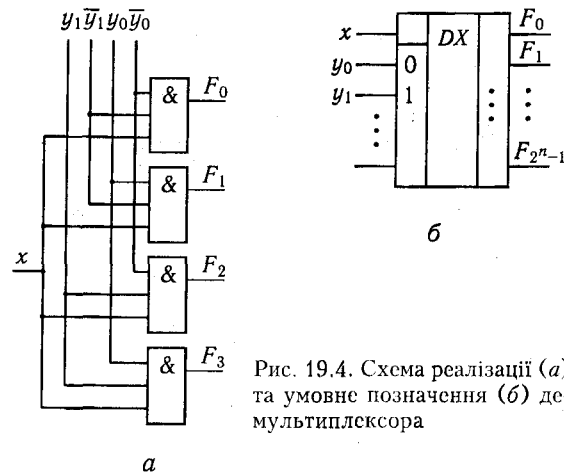


Рис. 19.4. Схема реалізації (*a*) та умовне позначення (*б*) демультимплексора

описати такими логічними виразами:

$$f_i = x m_i; \quad i = 0, 2^n - 1,$$

де m_i — мінтерми змінних.

Умовно демультимплексор позначають літерами DX . Щодо мультимплексорів і демультимплексорів використовують також термін *селектори даних*.

19.4. Дешифратори, дешифратори-демультимплексори і шифратори

Дешифратори і шифратори належать до числа перетворювачів кодів. Із поняттям шифрування пов'язане уявлення про стиснення даних, з поняттям дешифрування — обернене перетворення.

В умовних позначеннях дешифраторів і шифраторів використовують літери DC і CD (відповідно від слів *decoder* і *coder*).

Повним дешифратором називають КС, що має n входів, 2^n виходів і реалізує на кожному виході функцію, що є мінтермом n змінних $F_i(v)$, де $v = (x_1, \dots, x_n)$; x_s — входні сигнали ($s = 1, 2, \dots, n$); $i = 0, 1, 2, \dots, 2^n - 1$. У повному дешифраторі кожній комбінації значень входних сигналів відповідає сигнал, який дорівнює 1, тільки на одному виході, тобто залежно від вхідного коду на виході збуджується одне з кіл. Принципову схему дешифратора, що має два входи x_1 і x_2 та реалізує

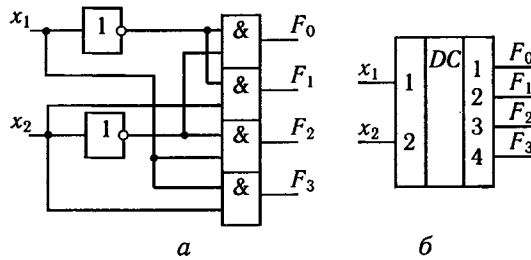


Рис. 19.5. Дешифратор 2×4 :
а – принципова схема; б – умовне графічне позначення

чотири мінтерми F_0 , F_1 , F_2 і F_3 (дешифратор 2×4), зображено на рис. 19.5, а, а умовне графічне позначення цього дешифратора – на рис. 19.5, б. У лівому полі зазначені ваги входних сигналів x_1 і x_2 , комбінації значень яких розглядають як двійкові числа. Кожному входному двійковому числу відповідає сигнал, який дорівнює 1 тільки на виході, номер якого, зазначений у правому полі, збігається з двійковим числом.

Неповні дешифратори – це дешифратори, які реалізують $m < 2^n$ мінтермів. Такі дешифратори використовують, наприклад, для перетворення двійково-десятькового коду на код, призначений для керування десятковим індикатором (дешифратори 4×10). Умовне графічне позначення дешифратора 4×10 (наприклад, мікросхеми К155ИД1) наведено на рис. 19.6. Мікросхема 155ИД1 призначена для керування високовольтним десятковим індикатором (лампами з холодним катодом із системою цифр від 0 до 9).

Дешифратори є перетворювачами кодів, що виконують перетворення двійкового і двійково-десятькового кодів на унітарний код. Унітарний код двійкового n -розрядного числа подається 2^n розрядами, тільки один із розрядів якого дорівнює 1.

Із наведеного випливає, що дешифратор реалізує окремий випадок демультимплексора. Отже, схему дешифратора можна дістати зі схеми демультимплексора при вимкненні з неї інформаційного входу та використанні адресних входів як інформаційних. Ця схема є одноступінчастою.

Під час розроблення ІС набуло поширення кілька логічних структур де-

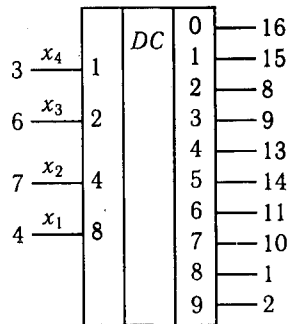


Рис. 19.6. Дешифратор 4×10 (мікросхема К155ИД1)

шифратора. Їх основна відмінність між собою полягає у швидкодії та числі використовуваних елементарних ЛЕ.

Найбільш швидкодієним і водночас найскладнішим є одноступінчастий, або паралельний, дешифратор. Якщо для реалізації оброблення одного входного логічного сигналу потрібна деяка умовна одиниця апаратних засобів, число одиниць цих апаратних засобів для n -розрядного дешифратора визначають за виразом $N = n \cdot 2^n$.

Якщо під час проектування основною вимогою є простота схемного рішення, застосовують інші структури дешифраторів, наприклад дешифратори пірамідальної структури, багатоступінчасті дешифратори. Проте спрощення структури досягається за рахунок спадання швидкодії.

Ідея побудови пірамідального дешифратора ґрунтується на тому, що для отримання дешифратора n -розрядного коду потрібно двічі повторити всі комбінації n -розрядного коду відповідно зі значеннями $(n + 1)$ -го розряду 0 і 1. Схемотехнічну реалізацію цього принципу на прикладі перетворення 3-розрядного входного коду зображено на рис. 19.7, де штрих-пунктирною лінією виділено схему паралельного 2-розрядного дешифратора. За числом потрібних елементарних ЛЕ цей дешифратор простіший від одноступінчастого. Число умовних апаратних одиниць, потрібних для реалізації цього принципу n -розрядного дешифратора,

$$N = 2 \cdot 2^n + (n - 1)2^{n-1}. \quad (19.2)$$

У разі великих розрядностей входного коду зазначений принцип можна використовувати кілька разів. Якщо потрібно ще більше спростити схему дешифратора, використовують багатоступінчасті структури. Ідея їх побудови подібна до ідеї побудови пірамідальних дешифраторів. Реалізацію цього

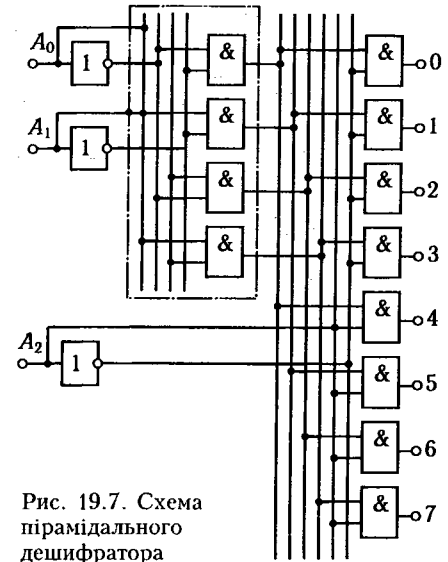


Рис. 19.7. Схема пірамідального дешифратора

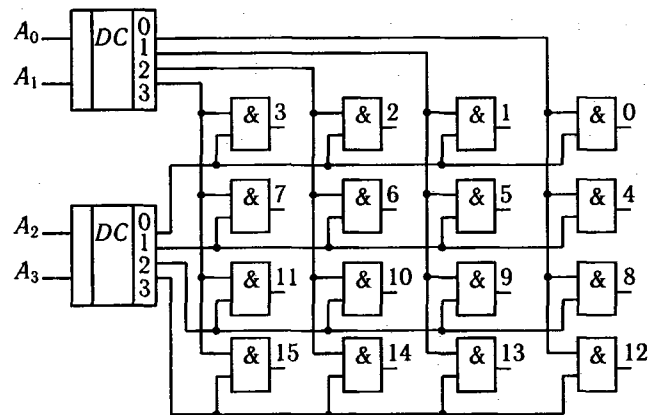


Рис. 19.8. Схема багатоступінчастого дешифратора

принципу на прикладі дешифратора 4-розрядного коду показано на рис. 19.8. За цим способом для побудови дешифратора потрібно $N = 2 \cdot 2^n + 2(n/2)2^{n/2}$ умовних одиниць апаратних засобів.

Переваги багатоступінчастих структур виявляються у разі збільшення розрядності вхідного коду. Значного поширення вони набули для побудови мікросхем пам'яті.

У дешифраторах часто передбачається операція стробування, що дає змогу виробляти вихідні сигнали тільки у визначених інтервалах часу. Стробування може здійснюватися введенням додаткового входу паралельно інформаційним (рис. 19.9, а) у кожний елемент дешифратора або блокуванням усіх елементів через одне з вхідних кіл (рис. 19.9, б).

В останньому випадку за нульового значення сигналу стробування штучно формуються нулі в колах прямого й інверсного значень змінної, що забезпечує наявність хоча б одного

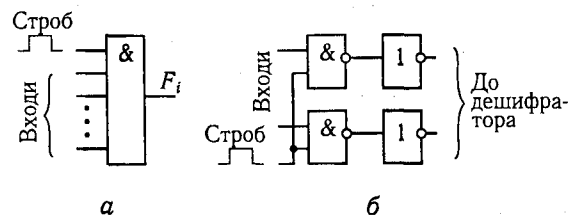


Рис. 19.9. Способи стробування дешифратора:

а — введення додаткового входу; б — блокування вхідних кіл

Таблиця 19.2. Таблиця істинності функціонування шифратора

Збуджений вхід	Вихід				Збуджений вхід	Вихід			
	a_3	a_2	a_1	a_0		a_3	a_2	a_1	a_0
F_0	0	0	0	0	F_5	0	1	0	1
F_1	0	0	0	1	F_6	0	1	1	0
F_2	0	0	1	0	F_7	0	1	1	1
F_3	0	0	1	1	F_8	1	0	0	0
F_4	0	1	0	0	F_9	1	0	0	1

нуля в числі вхідних величин для кожного елемента дешифратора. При цьому всі виходи зводять до нульових значень, оскільки будь-яка змінна в прямому чи інверсному вигляді надходить на всі елементи дешифратора. За одиничного значення сигналу стробування відновлюється нормальне коло передавання змінної на входи дешифратора.

Описані варіанти можна назвати стробуванням за виходом і стробуванням за входом.

Шифратори виконують функцію, обернену дешифраторам, тобто перетворюють унітарний код на двійковий або двійково-десятковий.

Двійкові шифратори перетворюють код «1 з N» на двійковий код, тобто виконують мікрооперацію, обернену мікрооперації дешифраторів. У разі порушення одного з вхідних кіл шифратора на його виходах формується слово, що відображає номер збудженого кола. Повний двійковий шифратор має 2^n входів і n виходів. Одне з основних застосувань шифратора — введення даних із клавіатури, за яким натискання клавіші з десятковою цифрою має приводити до передавання в пристрій двійкового коду цієї цифри (тетради двійково-десятькового коду). В цьому випадку потрібний неповний шифратор 10 — 4, на прикладі якого розглянемо принципи побудови шифраторів. Функціонування шифратора наведено в табл. 19.2, з якої випливає, що

$$a_0 = F_1 \vee F_3 \vee F_5 \vee F_7 \vee F_9;$$

$$a_1 = F_2 \vee F_3 \vee F_6 \vee F_7;$$

$$a_2 = F_4 \vee F_5 \vee F_6 \vee F_7;$$

$$a_3 = F_8 \vee F_9.$$

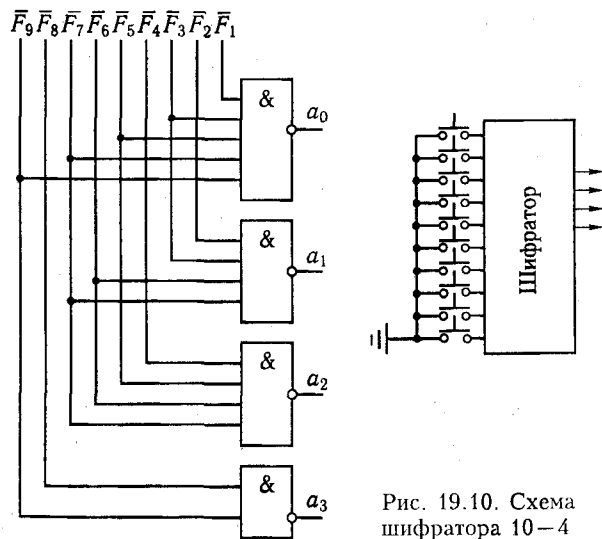


Рис. 19.10. Схема шифратора 10—4

Для реалізації шифратора на елементах ТТЛ, які часто застосовують у периферійних пристроях, слід виразити здобуті співвідношення через операцію І—НЕ. Тоді

$$a_0 = \overline{F_1 F_3 F_5 F_7 F_9};$$

$$a_1 = \overline{F_2 F_3 F_6 F_7}; \quad a_2 = \overline{F_4 F_5 F_6 F_7}; \quad a_3 = \overline{F_8 F_9}.$$

На підставі цих виразів будують шифратор, зображений на рис. 19.10.

19.5. Суматори і компаратори

Суматор — комбінаційний логічний пристрій, призначений для виконання операції арифметичного додавання чисел, поданих у вигляді двійкових кодів.

Суматори є одним із основних вузлів арифметико-логічного пристрою. Термін «суматор» охоплює широкий спектр пристроїв, починаючи з найпростіших логічних схем і закінчуючи складними цифровими вузлами. Спільним для всіх цих пристроїв є арифметичне додавання чисел, поданих у двійковій формі. Класифікацію суматорів можна виконувати за різними ознаками.

За числом виводів розрізняють півсуматори, одно- та багаторозрядні суматори.

Півсуматор — пристрій, призначений для додавання двох однорозрядних кодів, який має два входи, два виходи та який формує із входніх сигналів сигнали суми, сигнали перенесення у старший розряд.

Однорозрядний суматор — пристрій, призначений для додавання двох однорозрядних кодів, який має три входи, два виходи та який формує із сигналів входніх доданків і сигналу перенесення з молодших розрядів сигнали суми та сигнали перенесення у старший розряд.

Багаторозрядний суматор — пристрій, призначений для додавання двох багаторозрядних кодів, який формує на виході код суми і сигнал перенесення у тому випадку, якщо результат додавання не може бути поданий кодом, розрядність якого збігається з розрядністю кодів доданків.

Багаторозрядні суматори поділяють на послідовні та паралельні. Послідовний суматор виконує додавання чисел порозрядно, починаючи з молодшого розряду. В паралельних суматорах усі розряди входніх кодів підсумовуються одночасно.

За способом стробування (тактування) розрізняють синхронні й асинхронні суматори. У *синхронних суматорах* тривалість виконання операції арифметичного підсумовування двох кодів не залежить від виду кодів і завжди залишається сталим. У *асинхронних суматорах* тривалість виконання операції залежить від виду кодів доданків. Тому після завершення виконання підсумовування потрібно виробляти спеціальний сигнал завершення операції.

Залежно від використовуваної системи числення розрізняють двійкові, двійково-десяткові та інші типи суматорів.

Дістанемо функції, що описують операції арифметичного додавання двох 1-розрядних двійкових кодів x_1 і x_0 . Алгоритм її виконання пояснюється таблицею істинності (табл. 19.3). У стовпці s наведено значення результату додавання (суми), а у стовпці p — отримане при цьому значення перенесення у старший розряд. Потрібно звернути увагу на відмінності результатів, здобутих за арифметичного і логічного додавання. Так, за логічного додавання в останньому рядку стовпця s було б наявне значення 1. Відмінності результатів цих операцій не дають змоги застосувати для арифметичного підсумовування елемент АБО, а потребують розроблення спеціалізованого пристрою.

Значення сигналу перенесення, яке дорівнює 1 в останньо-

Таблиця 19.3. Таблиця істинності додавання 1-розрядних двійкових кодів

x_1	x_0	s	p
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

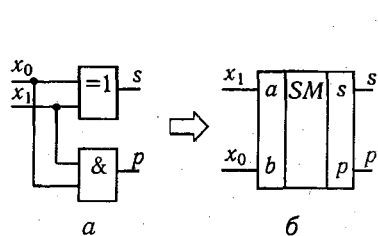


Рис. 19.11. Півсуматор (а) та його умовне позначення (б)

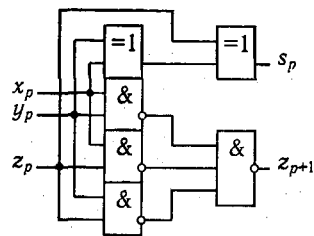


Рис. 19.12. Схема 1-розрядного двійкового суматора

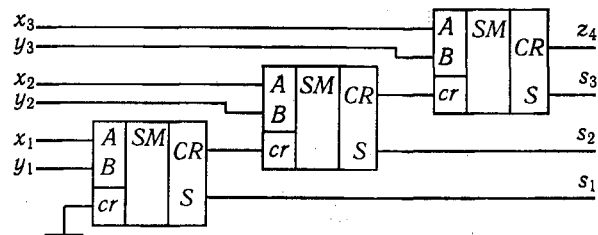


Рис. 19.13. Схема 3-розрядного двійкового суматора

му рядку табл. 19.3, свідчить про те, що результат, здобутий під час виконання операції арифметичного додавання, у цьому випадку не може бути поданий двійковим кодом, розрядність якого дорівнює розрядності слів доданків. Для подання результату потрібне слово, що має на один розряд більше, ніж коди доданків.

Використовуючи наведену таблицю, можна записати систему функцій алгебри логіки, що описують алгоритм операції арифметичного додавання:

$$s = \bar{x}_1 x_0 + x_1 \bar{x}_0 = x_1 \oplus x_0; \quad p = x_1 x_0. \quad (19.3)$$

Для її технічної реалізації потрібні логічні елементи І та виключне АБО (рис. 19.11).

Операція додавання додатних двійкових чисел визначається такими правилами двійкової арифметики.

1. Значення перенесення z_{p+1} у $(p + 1)$ -й розряд дорівнює 1, якщо дві або три величини x_p , y_p і z_p дорівнюють 1, де x_p і y_p — розряди чисел X і Y ; z_p — перенесення з $(p - 1)$ -го розряду;

2. Значення p -го розряду s_p суми чисел X і Y дорівнює 1, якщо непарне число величин x_p , y_p і z_p дорівнює 1.

Значення перенесення в перший розряд завжди дорівнює 0, тобто $z \equiv 0$. Якщо під час додавання розрядна сітка не переповнюється, то перенесення у старший $(n + 1)$ -й розряд

Таблиця 19.4. Таблиця істинності 1-розрядного двійкового суматора

i	x_p	y_p	z_p	s_p	z_{p+1}	i	x_p	y_p	z_p	s_p	z_{p+1}
0	0	0	0	0	0	4	1	0	0	1	0
1	0	0	1	1	0	5	1	0	1	0	1
2	0	1	0	1	0	6	1	1	0	0	1
3	0	1	1	0	1	7	1	1	1	1	1

не відбувається ($z_{n+1} = 0$). У загальному випадку потрібно виконувати додавання і віднімання як додатних, так і від'ємних чисел.

Таблицю істинності (табл. 19.4), що описує закон функціонування 1-розрядного двійкового суматора, укладають за сформульованим вище правилом додавання додатних чисел.

Схему однорозрядного двійкового суматора наведено на рис. 19.12.

Для додавання двох n -розрядних чисел X і Y потрібно використовувати n 1-розрядних суматорів. На рис. 19.13 зображено схему суматора для 3-розрядних чисел $X(x_3, x_2, x_1)$ і $Y(y_3, y_2, y_1)$.

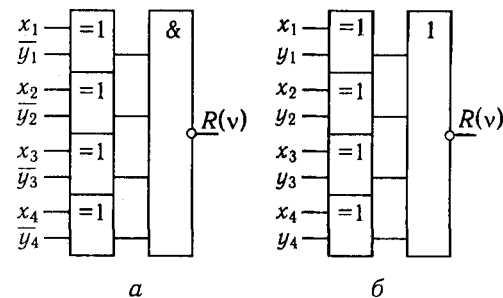
Цифровий компаратор — комбінаційний логічний пристрій, призначений для порівняння чисел, поданих у двійковому коді.

Компаратори виконують мікрооперацію визначення відношення між двома словами. Число входів компаратора визначається розрядністю порівнюваних кодів.

Основними відносинами можна вважати «дорівнює» і «більше», інші відносини можна визначити через основні. Так, ознаку нерівності слів можна отримати як заперечення ознаки рівності ($F_{A \neq B} = \overline{F_{A=B}}$), відношення «менше» — внаслідок

Рис. 19.14. Схема рівнозначності 4-розрядних кодів:

а — з використанням ЛЕ І; б — з використанням ЛЕ АБО



док зміни місцями аргументів у функції $F_{A>B}$ ($F_{A>B} = F_{B>A}$), а нестрогі нерівності — за формулами:

$$F_{A \geq B} = F_{A=B} \vee F_{A>B} = \overline{F_{B>A}};$$

$$F_{A \leq B} = F_{A=B} \vee F_{A<B} = \overline{F_{A>B}}.$$

Пристрої порівняння на рівність будують на основі порозрядних операцій над однойменними розрядами обох слів. Ознака r рівності розрядів має значення 1, якщо в обох розрядах містяться або одиниці, або нулі, тобто

$$r = xy \vee \overline{xy} = \overline{x\overline{y}} \vee \overline{\overline{x}y} = x \oplus y = \overline{x} \oplus \overline{y} = x \oplus \overline{y}.$$

Ознака рівності слів R набуває значення 1, якщо всі розряди рівні між собою, тобто

$$R = r_{n-1} r_{n-2} \dots r_0.$$

Комбінаційна схема, що реалізує функцію $R(v)$, де $v = x_1, \dots, x_n, y_1, \dots, y_n$, яка дорівнює 1 тільки при $x_p = y_p$ для всіх $p = 1, 2, \dots, n$, називається *схемою рівнозначності кодів*. Розряди x_p і y_p рівні між собою лише тоді, якщо $x_p \oplus \overline{y_p} = 1$, тому функція

$$R(v) = \prod_{p=1}^n (x_p \oplus \overline{y_p}) = \overline{\bigvee_{p=1}^n (x_p \oplus y_p)} \quad (19.4)$$

набуває значення 1 тільки у разі попарної рівності всіх однойменних розрядів кодів. На рис. 19.14 зображено дві схеми, що реалізують функцію $R(v)$ і побудовані для $n = 4$ на підставі здобутого виразу.

Контрольні запитання і завдання

1. Назвіть етапи побудови логічної схеми.
2. Що таке функціонально повна система та базис ЛЕ?
3. Синтезуйте схему для реалізації функції $F = x_1 + x_2 + x_1 + x_2$ на елементах І–НЕ.
4. Які призначення і структурна схема мультіплексора та демультіплексора?
5. Які призначення та структурні схеми одноступінчастого, пірамідального і багатоступінчастого дешифраторів?
6. Які призначення та логічна схема шифратора?
7. Запишіть ФАЛ, що реалізує арифметичне підсумовування 1-розрядних двійкових кодів.
8. Чим відрізняється підсуматор від 1-розрядного суматора?
9. Які призначення і логічна схема цифрового компаратора?

Розділ 20 ТРИГЕРНІ ЕЛЕМЕНТИ

20.1. Асинхронні та синхронні тригери

RS-Тригер — це тригер з двома входами, який при подаванні активного сигналу на S -вхід і неактивного сигналу на R -вхід установлюється в одиничний стан; при подаванні активного сигналу на R -вхід і неактивного сигналу на S -вхід установлюється в нульовий стан; одночасне подавання двох активних сигналів на S - і R -вхід заборонено; якщо така ситуація випливає, то стан тригера вважають невизначеним.

Різновиди **RS-тригера** такі:

- **S-тригер** — з двома входами, що працює як **RS-тригер**; за одночасної подачі двох активних сигналів на входах тригер установлюється в одиничний стан;
- **R-тригер** — з двома входами, що працює як **RS-тригер**; за одночасної подачі двох активних сигналів на входах тригер установлюється в нульовий стан;
- **E-тригер (Exclusive — особливий)** — з двома входами, що працює як **RS-тригер**; за одночасної подачі двох активних сигналів на входах тригер зберігає попереднє значення.

Опис функціонування **RS-тригера** можна подати й у вигляді таблиці переходів. Якщо за активний сигнал на R - і S -входах взяти рівень «1», то отримаємо табл. 20.1.

У стовпці «Номер набору» записується десяткове число — еквівалент двійкового коду, поданого змінними R , S і Q_t . Змінна R вважається старшим розрядом двійкового коду. Із табл. 20.1 випливає, що **RS-тригер** зберігає один зі стійких станів незалежно від багаторазової зміни інформаційного сигналу на одному вході за пульсового значення інформаційного сигналу на іншому вході. Це властивість блокування — основна функціональна властивість **RS-тригера**, і саме вона робить його елементарною запам'ятовувальною коміркою.

У стовпці Q_{t+1} записуються значення скінченної змінної Q у момент часу $t + 1$. Якщо $Q_{t+1} = Q_t$, то такий стан тригера стійкий і в стовпці Q_{t+1} записується в дужках; якщо $Q_{t+1} \neq Q_t$,

то стан тригера нестійкий і в стовпці Q_{t+1} записується без дужок. Для останньої ситуації можливі два випадки:

- тригер у разі однакового набору початкових змінних переходить у стійкий стан (перехід позначений стрілкою);
- тригер у разі однакового набору початкових змінних буде постійно змінювати свій стан, тобто перебуватиме в автоколивальному режимі. Останнє свідчить про те, що тригер цієї структури не може керуватися потенційними сигналами.

З позицій схемотехніки точки із сигналами Q_t і Q_{t+1} — одна й та сама точка схеми. Вихідний сигнал тригера після зміни вхідних сигналів устанавлюється не раніше, ніж через час затримки перемикавання. Тригер перебуватиме в стійкому стані, якщо через час $t_{зт.пер}$ після зміни вхідних сигналів він не змінить свій стан. Тригер перебуватиме в нестійкому стані, якщо через час $t_{зт.пер}$ після зміни вхідних сигналів змінить свій стан на протилежний.

Отже, з табл. 20.1 випливає, що при всіх наборах початкових змінних R , S тригер має стійкі стани, причому передбачається, що набір змінних $RS = 11$ у разі нормальної роботи RS -тригера не виникає, тому значення Q_{t+1} при цьому наборі не викликає інтересу і позначається знаком \times . Відсутність нестійких станів у RS -тригера свідчить про те, що його характеристичне рівняння цілком відображає структуру потенційно керованого тригера

$$Q_{t+1} = S + \bar{R}Q_t. \quad (20.1)$$

Наявність забороненої комбінації інформаційних сигналів $RS = 11$ запишемо так:

$$RS = 0. \quad (20.2)$$

Вибравши як елементну базу базис «АБО — НЕ», перетворимо формулу (20.1), використовуючи закон заперечення і

Таблиця 20.1. Таблиця переходів RS -тригера

Номер набору	R	S	Q_t	Q_{t+1}	\bar{Q}_{t+1}
0	0	0	0	(0)	1
1	0	0	1	(1)	0
2	0	1	0	(1)	0
3	0	1	1	(1)↓	0
4	1	0	0	(0)↑	1
5	1	0	1	0	1
6	1	1	0	\times	\times
7	1	1	1	\times	\times

правило де Моргана, до вигляду

$$\bar{Q}_{t+1} = S + R + \bar{Q}_t. \quad (20.3)$$

З табл. 20.1 можна отримати вираз для \bar{Q}_{t+1} :

$$\bar{Q}_{t+1} = R + \bar{S}\bar{Q}_t. \quad (20.4)$$

Вираз (20.4) перетворимо на вигляд

$$Q_{t+1} = \bar{R} + S + \bar{Q}_t. \quad (20.5)$$

Із формул (20.3) і (20.5) випливає, що RS -тригер є послідовним з'єднанням двох елементів АБО — НЕ, які замкнені самі на себе (рис. 20.1, $a - \delta$).

Вибравши як елементну базу базис І — НЕ, перетворимо (20.1), використовуючи правило де Моргана:

$$Q_{t+1} = \bar{S}\bar{R}Q_t, \quad \bar{R} + \bar{S} = 1. \quad (20.6)$$

З формули (20.6) видно, що RS -тригер (точніше, $\bar{R}\bar{S}$ -тригер) є послідовним з'єднанням двох елементів І — НЕ, які замкнені самі на себе (рис. 20.1, z). RS - і $\bar{R}\bar{S}$ -тригери дually.

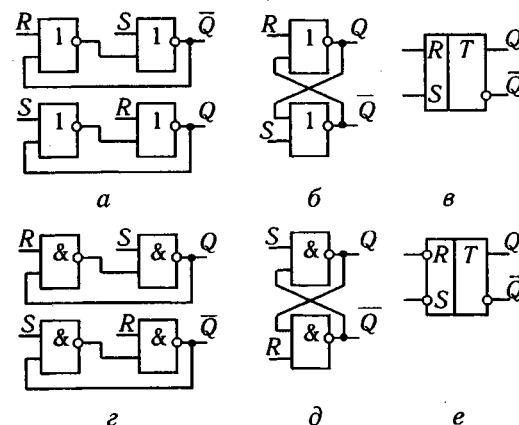


Рис. 20.1. Схеми RS -тригера в базисі АБО — НЕ (a , $б$) і в базисі І — НЕ (z , $д$) та їх умовні позначення ($в$, $е$)

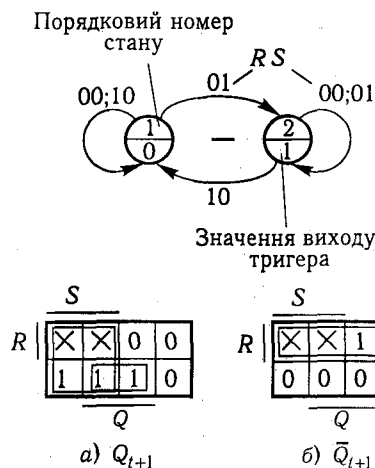


Рис. 20.2. Граф і карти Карно для асинхронного RS-тригера

Закон функціонування RS-тригера на рис. 20.2 подано у вигляді графа. Вершини графа позначають колами, усередині яких записують стани тригерів (іноді крім цифр усередині кіл або поряд з ними записують символічне позначення станів), а дуги графа (напрявлені ребра) — лініями, що починають у будь-якій вершині і закінчують у тій самій вершині (у цьому випадку дугу називають петлею) або в будь-якій іншій вершині. Дуги і петлі характеризують переходи тригера, які він здійснює під впливом вхідних сигналів, причому поряд з дугою або петлею записують комбінації вхідних сигналів (іноді комбінації вхідних сигналів записують у вигляді символічного позначення). Відсутність на графі комбінації вхідних сигналів $RS = 11$ означає, що вона заборонена.

За допомогою характеристичних рівнянь (20.1), (20.5), (20.6) можна визначити стан тригера Q_{t+1} , в який він перейде в момент часу $t + 1$, якщо відомі комбінації вхідних си-

Таблиця 20.2. Характеристична таблиця для RS-тригера в базисі АБО—НЕ

Перехід $Q_t \rightarrow Q_{t+1}$	R^*	S^*
00	×	0
01	0	1
10	1	0
11	0	×

Таблиця 20.3. Характеристична таблиця для RS-тригера в базисі І—НЕ

Перехід $Q_t \rightarrow Q_{t+1}$	R^*	S^*
00	×	1
01	1	0
10	0	1
11	1	×

Таблиця 20.4. Таблиця функціонування асинхронного S-тригера

Набір	S_R	S_S	Q_t	Q_{t+1}	R^*	S^*
0	0	0	0	(0)	×	0
1	0	0	1	(1)	0	×
2	0	1	0	1	0	1
3	0	1	1	(1)	0	×
4	1	0	0	(0)	×	0
5	1	0	1	0	1	0
6	1	1	0	1	0	1
7	1	1	1	(1)	0	×

гналів і стан тригера Q_t у попередній момент часу t . Під час синтезу послідовних схем (складних тригерів, лічильників, регістрів) треба розв'язати обернену задачу: визначити комбінацію вхідних сигналів за потрібного переходу з одного стану в інший. Результатом розв'язання цієї задачі буде отримання характеристичної таблиці: для RS-тригера в базисі АБО—НЕ це табл. 20.2, а в базисі І—НЕ — табл. 20.3.

Характеристичну таблицю можна отримати з таблиці переходів, характеристичного рівняння або графа.

Асинхронний S-тригер функціонує відповідно до табл. 20.4, де S_R — вхід, що відповідає входу R, а S_S — вхід, що відповідає входу S RS-тригера. Характерною ознакою S-тригера є те, що при активних вхідних сигналах $S_R = S_S$ він встановлюється у стан логічної «1». Закон функціонування асинхронного S-тригера у вигляді графа подано на рис. 20.3.

З табл. 20.4 випливає, що при всіх наборах початкових змінних S_R і S_S тригер має стійкі стани; отже, характеристич-

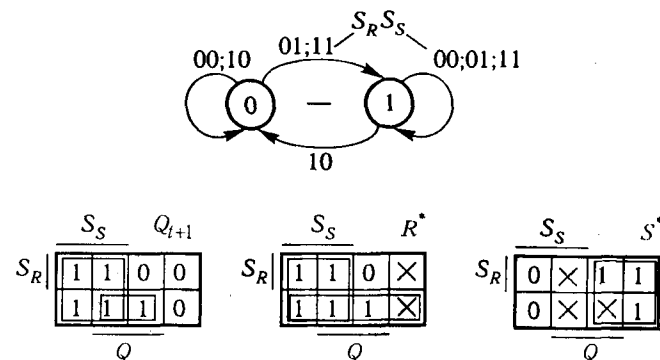


Рис. 20.3. Граф і карти Карно асинхронного S-тригера

не рівняння відображає структуру керованого потенціалом тригера, причому він містить тільки одну елементарну запам'ятовувальну комірку у вигляді RS -тригера.

Із карти Карно, зображеної на рис. 20.3, випливає, що

$$Q_{t+1} = S_S + \bar{S}_R Q_t. \quad (20.7)$$

Вираз (20.7) збігається з виразом (20.1), причому обмежень формула (20.2) немає.

Вираз (20.7) можна перетворити:

$$\begin{aligned} Q_{t+1} &= S_S + S_S Q_t + \bar{S}_R Q_t = S_S + (S_S + \bar{S}_R) Q_t = \\ &= S_S + \overline{S_S + \bar{S}_R} + \bar{Q}_t. \end{aligned} \quad (20.8)$$

Звідси

$$\bar{Q}_{t+1} = \overline{S_S + S_S + \bar{S}_R + \bar{Q}_t}. \quad (20.9)$$

Для спрощення процедури отримання структури S -тригера скористаємося узагальненою схемою тригерного пристрою (див. рис. 20.1) і шукатимемо функції збудження R^* і S^* елементарної запам'ятовувальної комірки. За комірку розглянемо RS -тригер, виконаний у базисі АБО—НЕ. У цьому випадку R^* і S^* — функції змінних S_R , S_S та Q .

Доповнимо табл. 20.4 для моменту $t + 1$ стовпцями R^* і S^* та внесемо в ці стовпці значення R^* і S^* , які забезпечують потрібний перехід $Q_t Q_{t+1}$, скориставшись табл. 20.2. Наприклад, на нульовому наборі S -тригер здійснює перехід 00, тоді з табл. 20.2 випливає, що в рядку з нульовим набором у стовпці R^* треба записати \times , у стовпці S^* — 0 і т. д. Із рис. 20.3 випливає, що

$$R^* = S_R \bar{S}_S; \quad (20.10)$$

$$S^* = S_S. \quad (20.11)$$

Вважатимемо, що S -тригер цілком виконується в базисі АБО—НЕ. Тоді за правилом де Моргана з формули (20.10) знайдемо

$$R^* = \overline{\bar{S}_R + S_S}. \quad (20.12)$$

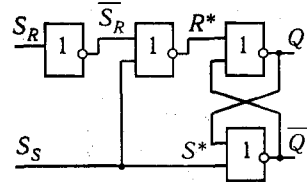


Рис. 20.4. Схема S -тригера в базисі АБО—НЕ

Отже, вирази (20.11) і (20.12) відображають структуру S -тригера, зображену на рис. 20.4.

Структуру R - і E -тригерів можна отримати за методикою, наведе-

Таблиця 20.5. Таблиця функціонування асинхронного D -тригера

Набір	D	Q_t	Q_{t+1}	R^*	S^*
0	0	0	(0)	\times	0
1	0	1	0	1	0
2	1	0	1	0	1
3	1	1	(1)	0	\times

ною для S -тригера. Аналогічно можна проаналізувати й основні характеристики швидкодії цих тригерів.

Асинхронний D -тригер функціонує відповідно до табл. 20.5 (базис АБО—НЕ).

Закон функціонування D -тригера на рис. 20.5 поданий у вигляді графа.

За аналогією з розглянутим вище S -тригером (рис. 20.5) маємо:

$$Q_{t+1} = D; \quad (20.13)$$

$$R^* = \bar{D}; \quad (20.14)$$

$$S^* = D. \quad (20.15)$$

Два останніх вирази визначають структуру тригера, здобути на основі узагальненої схеми тригерного пристрою, однак з виразу (20.13) випливає, що отримана схема (рис. 20.6) є тривіальною, виродженою, оскільки D -тригер можна дістати з одного повторювача або двох послідовно ввімкнених інверторів, якщо потрібне парафазне подавання вихідних сигналів. Схему, зображену на рис. 20.7, іподі називають RS -тригером із примусовим парафазним установленням.

Асинхронний T -тригер (лічильний тригер) функціонує відповідно до табл. 20.6 (базис АБО—НЕ).

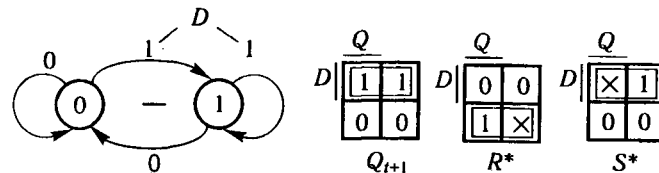


Рис. 20.5. Граф і карти Карно асинхронного D -тригера

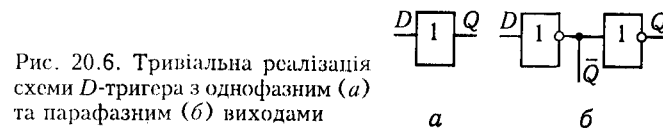


Рис. 20.6. Тривіальна реалізація схеми D -тригера з однофазним (а) та парафазним (б) виходами

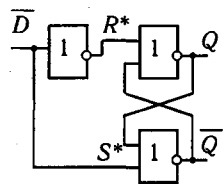


Рис. 20.7. Схема D-тригера в базисі АБО – НЕ

Таблиця 20.6. Таблиця функціонування асинхронного T-тригера

Набір	T	Q_t	Q_{t+1}	R^*	S^*
0	0	0	(0)	\times	0
1	0	1	(1)	0	\times
2	1	0	1	0	1
3	1	1	0	1	0

Закон функціонування T-тригера на рис. 20.8 подано у вигляді графа.

З табл. 20.6 видно, якщо $T = 1$ тригер має нестійкий стан, тобто перебуває в автоколивальному режимі. З цього випливає, що асинхронний T-тригер з імпульсним керуванням не може бути реалізований на одній елементарній запам'ятовувальній комірі. Аналіз роботи T-тригера з імпульсним керуванням викликає інтерес, оскільки за $T = 0$ тригер має стійкі стани. За аналогією з розглянутим вище S-тригером із рис. 20.8 випливає:

$$Q_{t+1} = T\bar{Q}_t + \bar{T}Q_t; \quad (20.16)$$

$$R^* = TQ_t = \overline{\bar{T} + \bar{Q}_t}; \quad (20.17)$$

$$S^* = T\bar{Q}_t = \overline{\bar{T} + Q_t}. \quad (20.18)$$

Якщо схему виконано в базисі АБО – НЕ, а тригер керується перепадами 10 на вході T , дістанемо схему, зображену на рис. 20.9.

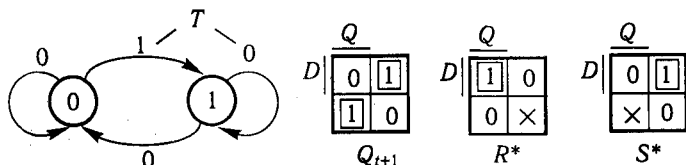
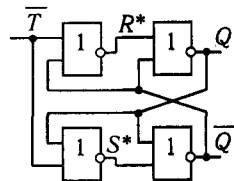


Рис. 20.8. Граф і карти Карно для T-тригера з імпульсним керуванням

Рис. 20.9. Схема T-тригера з імпульсним керуванням в базисі АБО – НЕ



Отже, синхронні (тактові) тригери можна розглядати як особливий тип асинхронних тригерів, у яких існують певні обмеження на можливість дії інформаційних сигналів, що дає змогу істотно спростити їх синтез і аналіз. У синхронних тригерах допускається змінювати інформаційні сигнали тільки протягом періодів, коли тактові імпульси блокують вхідні ланцюги і запобігають зміні стану тригера (передбачено, що синхронний тригер має змінювати свій стан під впливом тактового імпульсу). Важлива перевага синхронних тригерів – маскування ефектів затримок, зумовлених затримками поширення логічних елементів та лінії передавання інформації. Остання обставина дає змогу вважати, що логічні елементи та лінії мають нульову затримку, а виходи і стани тригера можна розглядати тільки у фіксовані моменти часу. Ці припущення істотно спрощують аналіз і синтез будь-яких синхронних пристроїв.

Синхронний RS-тригер функціонує відповідно до табл. 20.7. Припустимо, що синхронний RS-тригер має бути виконаний у базисі І – НЕ. З табл. 20.7 випливає, що цей тригер зберігає свій стан при $C = 0$ і працює як асинхронний RS-тригер, якщо $C = 1$.

Із карти Карно (рис. 20.10)

$$Q_{t+1} = SC + \bar{R}Q_t + Q_t\bar{C}, \quad (20.19)$$

звідки при $C = 1$ дістанемо (20.1), а при $C = 0$ $Q_{t+1} = Q_t$;

Таблиця 20.7. Таблиця функціонування синхронного RS-тригера

Набір	C	R	S	Q_t	Q_{t+1}	R^*	S^*
0	0	0	0	0	0	\times	1
1	0	0	0	1	1	1	\times
2	0	0	1	0	0	\times	1
3	0	0	1	1	1	1	\times
4	0	1	0	0	0	\times	1
5	0	1	0	1	1	1	\times
6	0	1	1	0	0	\times	1
7	0	1	1	1	1	1	\times
8	1	0	0	0	0	\times	1
9	1	0	0	1	1	1	\times
10	1	0	1	0	0	1	0
11	1	0	1	1	1	1	\times
12	1	1	0	0	0	\times	1
13	1	1	0	1	1	0	1
14	1	1	1	0	0	\times	\times
15	1	1	1	1	1	\times	\times

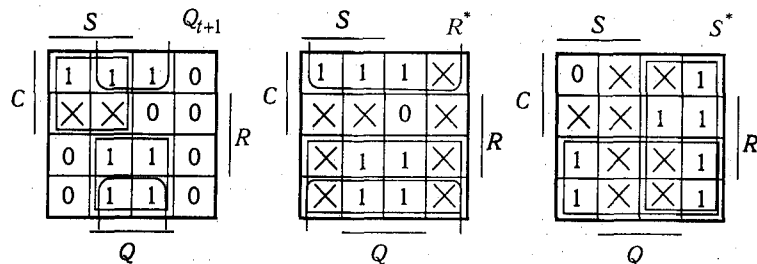


Рис. 20.10. Карти Карно для тактового RS-тригера

$$R^* = \bar{R} + \bar{C} = \overline{RC}; \quad (20.20)$$

$$S^* = \bar{S} + \bar{C} = \overline{SC}. \quad (20.21)$$

Вирази (20.20) та (20.21) визначають структуру тактового рівнем «1» RS-тригера, наведену на рис. 20.11, а. Синхронний RS-тригер, так само як і асинхронний RS-тригер, має заборонену комбінацію $RS = 11$. Його схему широко використовують під час побудови регістрів.

Тактовані рівнем «1» R-, S- та E-тригери при $C = 0$ зберігають свій стан, а при $C = 1$ працюють так само, як відповідно асинхронні R-, S- та E-тригери. Синтез цих тригерів аналогічний синтезу синхронного RS-тригера. Схеми цих тригерів зображено відповідно на рис. 20.11, б–г.

Тактові R-, S- і E-тригери використовують у пристроях керування різних цифрових систем.

Синхронний D-тригер функціонує відповідно до табл. 20.8. При $C = 0$ він зберігає свій стан, а при $C = 1$ працює як асинхронний D-тригер.

Таблиця 20.8. Таблиця функціонування синхронного D-тригера

Набір	C	D	Q_t	Q_{t+1}	R^*	S^*
0	0	0	0	0	×	1
1	0	0	1	1	1	×
2	0	1	0	0	×	1
3	0	1	1	1	1	×
4	1	0	0	0	×	1
5	1	0	1	0	0	1
6	1	1	0	1	1	0
7	1	1	1	1	1	×

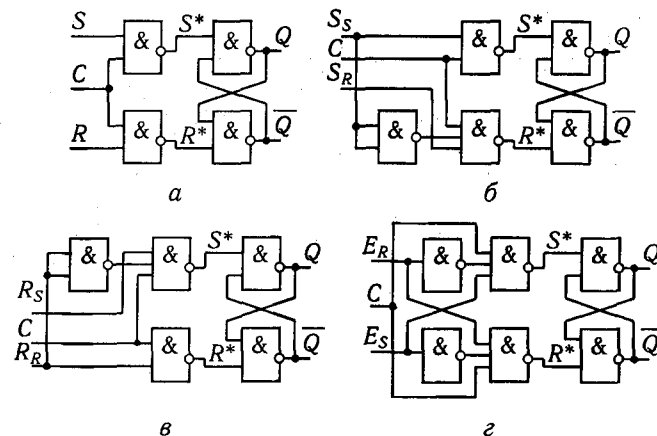


Рис. 20.11. Схеми (а–г) тактових тригерів

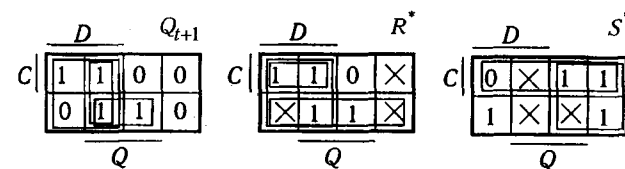


Рис. 20.12. Карти Карно для тактового D-тригера

Якщо вхід D з'єднати з виходом Q тригера, то вираз для $Q_{t+1} = Q_t$ збігається з (20.16), тобто при $D = \bar{Q}$ D-тригер працює як лічильний тригер, однак, оскільки схема містить лише одну запам'ятовувальну комірку, лічильний тригер на базі цього D-тригера може керуватися тільки імпульсом. Тому у такому режимі схему не використовують.

Із карт Карно (рис. 20.12)

$$R^* = D + \bar{C} = \overline{\bar{D}C}; \quad (20.22)$$

$$S^* = \bar{D} + \bar{C} = \overline{DC}. \quad (20.23)$$

Щоб вилучити інвертор, потрібний для отримання змінної \bar{D} , вираз для R^* запишемо у вигляді

$$R^* = DC + \bar{C}. \quad (20.24)$$

Згідно з формулою (20.23) остаточно дістанемо

$$R^* = \bar{S}^* + \bar{C} = \overline{S^*C}. \quad (20.25)$$

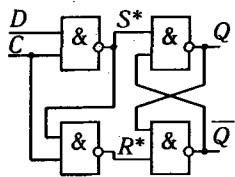


Рис. 20.13. Схема тактового D-тригера в базисі І-НЕ

Вирази (20.23) і (20.25) відображають структуру тактового D-тригера, зображеного на рис. 20.13. Цю схему використовують для побудови регістрів і в пристроях керування.

У цифрових пристроях використовують RS-, RST-, DV-, D- та JK-тригери як основні типи тригерів, причому найпростіші тригери виконують на базових вентильних елементах (якщо їх немає в складі серії логічних елементів).

20.2. Універсальні тригери

Універсальні тригери можуть працювати в різних режимах і як різні типи тригерів. Позначення універсальних тригерів зображено на рис. 20.14. Характеристичні таблиці універсальних тригерів використовують під час синтезу довільних цифрових пристроїв.

Табл. 20.9 — це характеристична таблиця універсального D-тригера, що працює в синхронному режимі. Універсальний D-тригер може працювати як асинхронний RS-тригер при використанні встановлювальних входів R і S, причому в цьому випадку на інформаційному і тактовому входах можуть діяти будь-які рівні «0» або «1».

Табл. 20.10 — характеристична таблиця універсального JK-тригера, що працює в асинхронному режимі. У цьому режимі сигнал на тактовому вході C має постійний рівень «1». Ефективні сигнали J і K дорівнюють 1, якщо на відповідних входах відбувається перехід 10, і дорівнюють 0 при переходах 01, 00, 11.

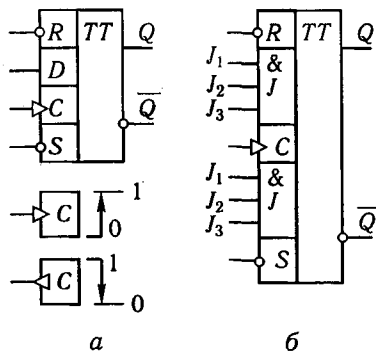


Рис. 20.14. Умовні позначення універсальних D- (а) та JK-тригерів (б)

Таблиця 20.9. Характеристична таблиця універсального D-тригера, що працює в синхронному режимі

$Q_t \rightarrow Q_{t+1}$	D	C
00	0	1
01	1	
10	0	
11	1	0

Таблиця 20.10. Характеристична таблиця універсального JK-тригера, що працює в асинхронному режимі

$Q_t \rightarrow Q_{t+1}$	J	K	C
00	0	x	1
01	1	x	1
10	x	1	1
11	x	0	1

Таблиця 20.11. Характеристична таблиця універсального JK-тригера, що працює в синхронному режимі

$Q_t \rightarrow Q_{t+1}$	J	K	C
00	0	x	1
01	1	x	
10	x	1	
11	x	0	0

Табл. 20.11 — характеристична таблиця універсального JK-тригера, що працює в синхронному режимі. У цьому режимі сигнали на входах J і K діють як рівні «0» і «1», а спрацювання тригера здійснюється за переходом 10 на тактовому вході C.

Наявність кон'юнкцій $J = J_1 J_2 J_3$ і $K = K_1 K_2 K_3$ в універсальних JK-тригерах не тільки дає змогу будувати різні типи тригерів (табл. 20.12), а й істотно спрощує структуру довільних цифрових пристроїв (наприклад, лічильників, регістрів), а також будувати так звані безвентильні лічильники, тобто вимірювальні пристрої з похідним модулем рахунку тільки з використанням мікросхем JK-тригерів без будь-яких додаткових логічних елементів. Універсальні D- і JK-тригери ши-

Таблиця 20.12. Характеристична таблиця різних типів універсального JK-тригера

Тип тригера	Функції входів універсального JK-тригера																			
	Асинхронний режим									Синхронний режим										
	R	J ₁	J ₂	J ₃	C	K ₁	K ₂	K ₃	S	R	J ₁	J ₂	J ₃	C	K ₁	K ₂	K ₃	S		
$\overline{R}\overline{S}$	\overline{R}	x	x	x	x	x	x	x	\overline{S}											
RS, JK	1	S; J			1	R; K			1											
RST										1	S			T	R			1		
JK										1	J			C	K			1		
D	1	D			1	\overline{D}			1	1	D			C	\overline{D}			1		
DV	1	D		V	1	\overline{D}		V	1	1	D		V	C	\overline{D}		V	1		
DV_1, V_2	1	D	V ₁	V ₂	1	\overline{D}		V ₁	V ₂	1	1	D	V ₁	V ₂	C	\overline{D}		V ₁	V ₂	1
T	1	T			1	T			1	1	1			T	1			1		
TV	1	T	V	1	T	V	1	1	1	1	V	T	1	V	1	1	1	1	1	

роко використовують під час побудови лічильників, регістрів, суматорів, пристроїв керування, подільників імпульсів, різних цифрових автоматів, а також під час синтезу довільних тригерних структур тощо.

20.3. Приклади використання тригерів

Стартстопний пристрій у пристроях керування — сукупність будь-якого різновиду RS -тригера і керованого ним вентиля. На рис. 20.15, а, б наведено найпростішу реалізацію стартстопного пристрою на трьох вентилях з двома входами і часову діаграму його роботи. Зазначимо, що конкретну реалізацію розглянутих схем передбачено виконувати на елементах серій К133 та К155. Тривалість τ_1 і τ_2 стартстопних імпульсів має бути достатньою для спрацювання RS -тригера й одночасно менша за інтервал часу між стартстопними імпульсами, для того щоб виключити можливість появи на входах забороненої комбінації.

Якщо стартстопне керування формується за допомогою контактних перемикачів типу реле, кнопок тощо, то для поліпшення динамічних властивостей тригера і підвищення його завадостійкості «вільні» виводи мікросхем слід зафіксувати на рівнях «0» та «1». Прикладом може бути схема, зображена на рис. 20.15, в. У цій схемі R_1 і R_2 вибирають зі співвідношення

$$R_1 = R_2 \leq U_{\text{вх}}^0 / I_{\text{вх}}^0. \quad (20.26)$$

Під час використання цієї схеми потрібно враховувати таке. Якщо сигнал «Старт» є одночасно сигналом встановлення нуля (див. фрагмент схеми, що виконаний штриховою лінією), то схема неприйнятна. Після короткочасного замикання контактів «Старт» у колі встановлення у стан «0» має бути рівень «1», а в цій схемі $U_{\text{вих}}^0 + R_1 I_{\text{вх}}^0$, де $U_{\text{вих}}^0$ — напруга на виході; $R_1 I_{\text{вх}}^0$ — спад напруги на резисторі від струму верхнього вентилу RS -тригера. Ця сума сприймається в колі встановлення у стан «0» як рівень «0», що блокує роботу елементів, для яких призначене коло встановлення у стан «0».

Зазначений недолік не можна усунути заміною резисторів R_1 і R_2 на резистори з високим опором, оскільки схема буде практично не захищеною від завад. Зазвичай цю схему використовують як генератор одиничних імпульсів (рис. 20.15, з), що усуває деренчання контактів перемикача.

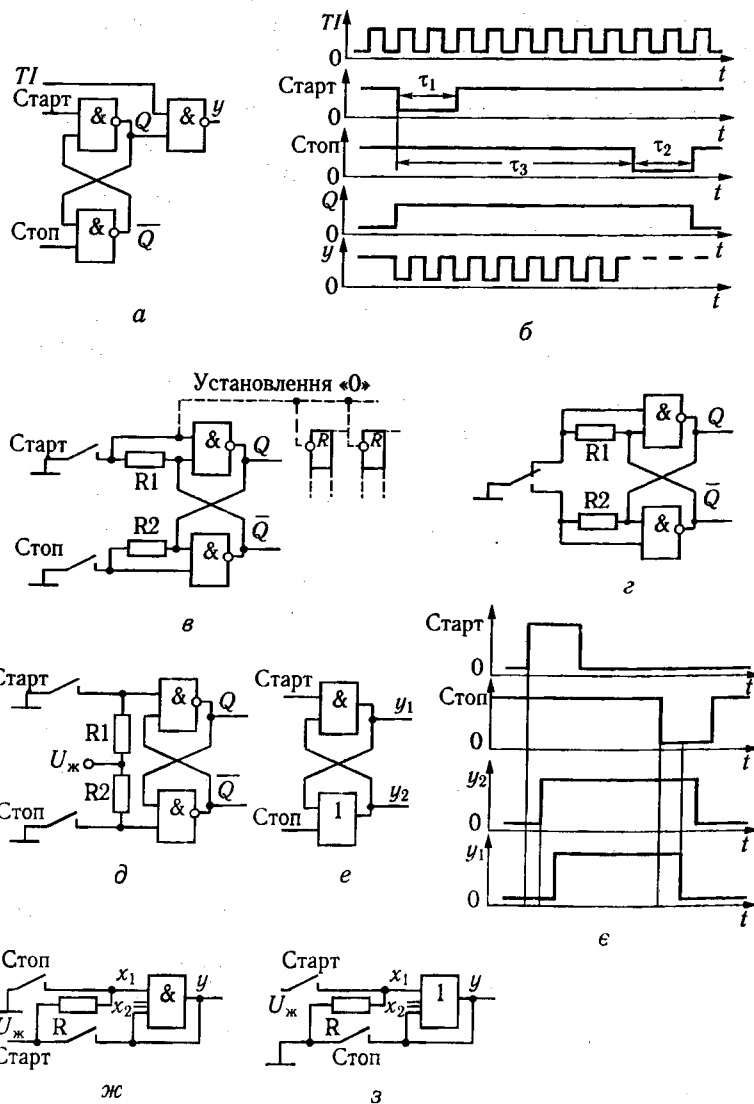


Рис. 20.15. Варіанти схем стартстопних пристроїв з імпульсним керуванням:

а — базова схема; в—з — реалізація структури RS -тригера; б, є — відповідні часові діаграми роботи схем а та е

До переваг схем, зображених на рис. 20.15, в, г, належить те, що резистори R1 і R2 не споживають потужності від джерела при розімкнених контактах (точніше, ця потужність мізерно мала). Недолік, зазначений для схеми на рис. 20.15, в, усунутий у схемі, зображеній на рис. 20.15, д, однак якщо за цією схемою виконувати генератор одиничних імпульсів, то резистор, у нормальному стані замкнений на землю, буде споживати значну потужність від джерела живлення.

Можлива реалізація RS-тригера на одному вентилі І та одному вентилі АБО (рис. 20.15, е). У цього тригера на відміну від нормальних схем виходи не додаткові і керування на входах здійснюється перепадами різної полярності.

Як впливає з діаграми (рис. 20.15, е), на якій враховані затримки поширення сигналів, сигнал на виході y_1 знаходиться всередині інтервалу часу, що відповідає тривалості сигналу y_2 . Неважко переконатися, що на парах елементів І—НЕ, АБО—НЕ; АБО, І—НЕ не можна реалізувати тригерну структуру з використанням двох перехресних кіл зв'язку.

Реалізацію RS-тригера на одному вентилі І або одному вентилі АБО наведено на рис. 20.15, ж, з. Припустимо, що керування схемою здійснюється контактами, які замикаються. На вході x_1 забезпечується рівень «1» через резистор R від джерела живлення; якщо короткочасно замкнути контакт «Старт», то на виході встановиться рівень «1» і буде утримуватися, тому що $x_2 = y$. Короткочасне замикання контакту «Стоп» забезпечує появу «0» на виході й утримання його на вході $x_2 = y$.

Схеми на рис. 20.15, ж, з можна реалізувати тільки на вентилях, виконаних за структурою І = І—НЕ—НЕ, а також АБО = АБО—НЕ—НЕ, тобто з використанням пари елементів для отримання RS-тригера: І—НЕ, НЕ; АБО—НЕ, НЕ, але з одним перехресним зв'язком, хоча зовні вони виявляються як елементи І, АБО. Логічні операції І та АБО можна реалізувати монтажним способом. Схеми на рис. 20.15, ж, з мають незвичайну властивість — між сигналом на одному з входів і сигналом на виході немає вентиляльної затримки; однак у тригера є недолік — сигнал на одному з входів обов'язково збігається із сигналом на виході; у разі реалізації конкретної схеми її функціонування має забезпечуватися з передбаченням заходів захисту вентилів за одночасної дії сигналів «Старт» і «Стоп».

У всіх схемах на рис. 20.15 керування RS-тригерами здійснюється імпульсними сигналами для усунення заборонених комбінацій на їхніх входах. Однак іноді потрібно забезпе-

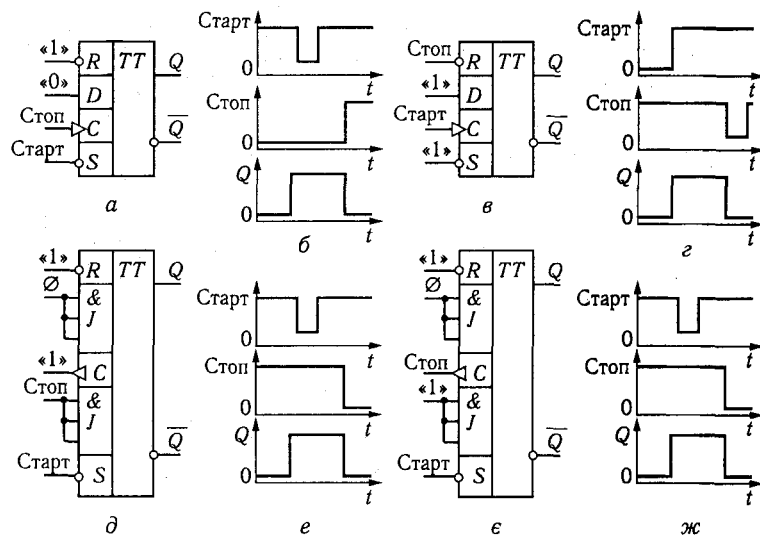


Рис. 20.16. Варіанти схем стартстопних пристроїв з комбінованим керуванням:

а, в — на D-тригері відповідно при $D = 0$ та $D = 1$; б, г — відповідні часові діаграми роботи схем а та в; д, е — схеми на JK-тригері відповідно в асинхронному та тактовому режимах; ж — відповідні часові діаграми роботи схем д та е

чити комбіноване керування: на одному вході — імпульсне, а на іншому — перепад потенціалів, причому будь-яке значення потенціалів, а також їхній протилежний перепад не мають впливати на схему. Приклади схем, що задовольняють ці вимоги, наведено на рис. 20.16. Різними комбінаціями встановлювальних, інформаційних і тактових входів кількість схем можна істотно збільшити.

Розглянемо роботу схеми на рис. 20.16, а. Припустимо, що вихідний стан тригера — «0», а на входах R і S — «1» (рис. 20.16, б). Оскільки на вході D постійно є рівень «0», переходи 01 підтверджують нульовий стан. Тригер можна встановити в стан «1» тільки імпульсним сигналом «Старт», а в стан «0» тригер перейде з приходом першого переходу 01 на вході «Стоп». Роботу інших схем розглядають аналогічно.

Варіанти стартстопних пристроїв з керуванням переходами на обох входах наведено на рис. 20.17.

У цифрових пристроях різного призначення часто випливає задача виділення переходів 10 і 01 асинхронних сигналів, що виникають у довільний момент часу, з одночасним прив'я-

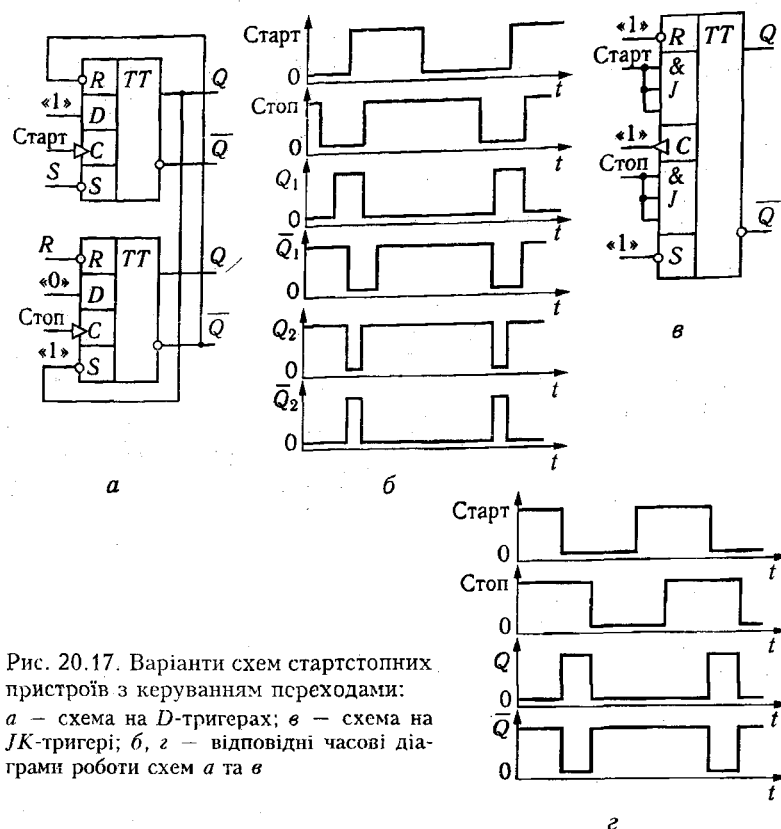


Рис. 20.17. Варіанти схем стартстопних пристроїв з керуванням переходами: а — схема на D-тригерах; б — схема на JK-тригери; в, г — відповідні часові діаграми роботи схем а та б

зуванням виділених переходів до моменту часу, зумовленого тактовими імпульсами. Приклади таких схем зображено на рис. 20.18. Розглянемо роботу схеми, наведеної на рис. 20.18, а. Завдання, що вирішує ця схема, можна сформулювати так: розробити цифровий пристрій, який виділяє перехід 10 асинхронного сигналу x та розміщує цей перехід у момент часу, що відповідає першому переходу 01 тактових імпульсів і вишикає відразу після появи переходу 01 сигналу x , причому тривалість вихідного сигналу цифрового пристрою має дорівнювати тривалості тактового імпульсу.

Подано сигнал x на вхід D першого D -тригера, тоді кожний перехід 01 сигналу Tl переводить тригер у стан $Q_1 = x$. Вихід Q_1 з'єднаємо з входом D другого D -тригера, тоді кожний перехід 01 сигналу переводить тригер у стан $Q_2 = Q_1 = x$ зі зсувом на половину періоду тактових імпульсів (за шпару-

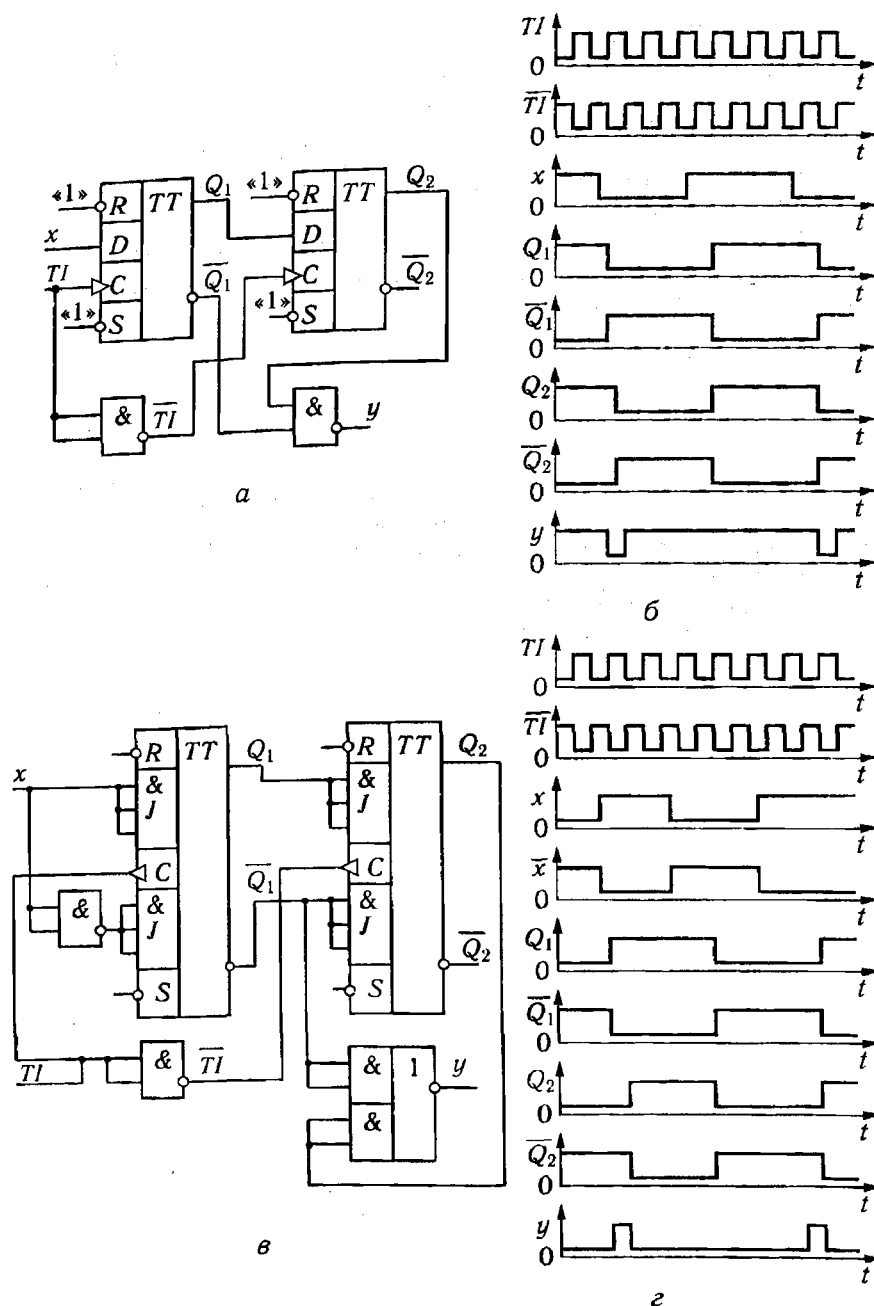


Рис. 20.18. Схеми пристроїв виділення і стробування переходів 10 та 01: а — 10 на D-тригерах; б, г — відповідні часові діаграми роботи схем а і б; в — 01 на JK-тригерах

ватості 2). З часової діаграми (рис. 20.18, б) випливає, що вихідний сигнал y має вигляд

$$y = \overline{Q_1 Q_2}. \quad (20.27)$$

Зазначимо, що отриманий пристрій ніяк не реагує на перехід 01 сигналу x .

Роботу схеми, зображеної на рис. 20.18, в, що виділяє перехід 01 сигналу x та виконана на універсальних JK -тригерах, розглядають аналогічно.

Контрольні запитання і завдання

1. Що таке тригерні пристрої (тригери)? Назвіть галузі їх застосування.
2. Наведіть класифікацію тригерів за визначальними ознаками.
3. Якими параметрами і характеристиками визначається робота тригера в статичному та динамічному режимах?
4. Якими способами можна описати закон функціонування тригера?
5. Перелічіть різновиди RS -тригера.
6. Чим принципово відрізняється робота схеми T -тригера від роботи RS -тригера?
7. Що таке лічильний тригер? Що таке рахунковий режим роботи універсального тригера?
8. Що таке синхронні тригери?
9. Сформулюйте визначення для універсального тригера.
10. Опишіть роботу універсального JK -тригера в асинхронному і синхронному режимах.

Розділ 21 ФУНКЦІОНАЛЬНІ ВУЗЛИ ПОСЛІДОВНИХ ЛОГІЧНИХ ПРИСТРОЇВ

21.1. Регістри зсуву

На рис. 21.1 зображено цифровий автомат, що складається з m послідовно з'єднаних D -тригерів, функції збудження яких мають вигляд

$$D_1 = x, \quad D_r = Q_{r-1}, \quad r = 2, 3, \dots, m. \quad (21.1)$$

Зі співвідношення (21.1) випливає, що інформація, яка зберігається у деякому такті в тригері Q_{r-1} , передається в наступному такті в тригер Q_r , тобто відбувається зсув інформації від тригера до тригера. Такі автомати називають *регiстрами зсуву*. Їх використовують для зсуву m -розрядних чисел в одному напрямі (значення вхідного сигналу x , що відповідає деякому такту, з'являється на виході регістра зсуву Q_m через m тактів).

Якщо Q_m — старший розряд, то відбувається зсув убік або ліворуч старших розрядів. Якщо Q_m вважати молодшим розрядом, то відбудеться зсув убік або праворуч молодших розрядів. Крім основного призначення (зсув чисел) регістри зсуву використовують і для зсуву нечислової інформації (наприклад, у разі побудови з них лічильників).

8-Розрядний регістр зсуву, виконаний на мікросхемі K564ИР2, що є здвоєним 4-розрядним регістром зсуву, зображено на рис. 21.2. Асинхронні входи R' призначені для встановлення регістра зсуву у стані «0». Цей регістр зсуву можна використовувати для перетворення послідовного коду на паралельний (зчитування в цьому випадку проводиться з восьми виходів регістра за допомогою схем І після введення в нього 8-розрядного коду).

Регістр зсуву можна виконати і з RS -тригерів. Дійсно, підставивши у функцію переходів (21.1) значення $S = D$ і $R = \bar{D}$ ($R = \bar{S}$), дістанемо функцію переходів $Q^+ = D$, тобто функції збудження S_r і R_r регістра зсуву, виконаного на RS -тригерах, на підставі функції (21.1) можна подати у такому вигляді:

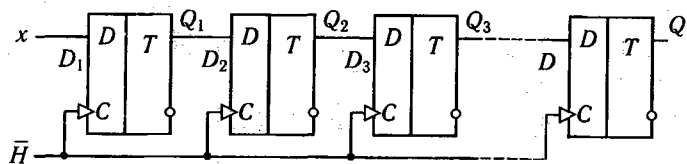


Рис. 21.1. Регістр зсуву

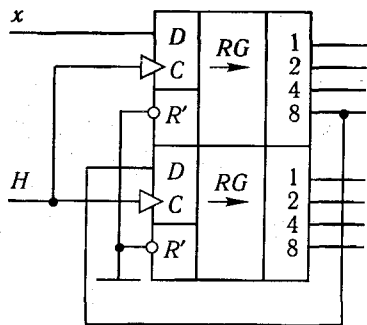


Рис. 21.2. 8-Розрядний регістр зсуву, виконаний на мікросхемі K564ІР2

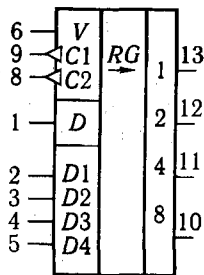


Рис. 21.3. Регістр зсуву з синхронним паралельним записом K155ІР1

$$S_1 = x, S_r = Q_{r-1}, R_1 = \bar{x}, R_r = \bar{Q}_{r-1}, r = 2, 3, \dots, m,$$

або $S_1 = x, S_r = Q_{r-1}, r = 2, 3, \dots, m, R_r = \bar{S}_r, r = 1, 2, \dots, m.$

Часто потрібні складніші регістри зсуву: з паралельним синхронним записом інформації, реверсивні, реверсивні з паралельним синхронним записом інформації. Такі регістри називають *універсальними*.

Мікросхема K155ІР1 — це 4-розрядний регістр зсуву із синхронним записом інформації (рис. 21.3), виконаний на основі чотирьох RS-тригерів. Функції збудження S_r і R_r цих тригерів мають такий вигляд:

$$\begin{aligned} S_1 &= D_1 V \vee D \bar{V}, \\ S_r &= D_r V \vee Q_{r-1} \bar{V}, r = 2, 3, 4, \end{aligned} \quad (21.2)$$

а $R_r = \bar{S}_r$, де $r = 1, 2, 3, 4$. Вхід D є входом послідовного введення інформації. Через H_r позначатимемо сигнал, який надходить на тактовий вхід r -го тригера навіть у тому випадку, якщо H_r не залежить від r . Залежно від внутрішньої структури тригерів впливати на них можуть сигнали dH_r або

$d\bar{H}_r$. У цьому разі $H_r = VC_2 \vee \bar{V}C_1$ та

$$dH_r = \bar{V}\bar{V}^* dC_1 \vee VV^* dC_2 \vee C_1^* \bar{C}_2 d\bar{V} \vee \bar{C}_1 C_2^* dV. \quad (21.3)$$

Із цього співвідношення випливає, що на тригери можуть впливати сигнали $dC_1, dC_2, d\bar{V}$ і dV .

Оскільки сигнал V входить у функції збудження (21.2), то його зміни не мають впливати на тригери. З виразу (21.3) випливає, що для цього сигнал V має змінюватися тільки при значеннях $C_1 = C_2 = 0$ або $C_1 = C_2 = 1$. У цьому випадку

$$dH_r = \bar{V}\bar{V}^* dC_1 \vee VV^* dC_2 \quad (21.4)$$

(тут, наприклад, множник VV^* означає, що сигнал V не повинен змінюватися з 0 на 1, якщо $dC_2 = 1$).

З виразів (21.2) і (21.3) випливає, що при $V = 0$ функції збудження $S_1 = D, S_r = Q_{r-1}$ та сигнал $dH_r = dC_1$, тобто схема працює як регістр зсуву за від'ємним перепадом (з 1 на 0) сигналу C_1 , а при $V = 1$ функції збудження $S_r = D_r$ і сигнал $dH_r = dC_2$, тобто схема працює в режимі синхронного запису в регістр значень сигналів D_r за від'ємним перепадом сигналу C_2 . Якщо у формулі (21.4) взяти $C_1 = C_2 = C$, то дістанемо, що сигнал $dH_r = dC$, тобто залежно від значення сигналу V буде вироблятися запис або зсув за від'ємним перепадом того самого сигналу C .

З виразів (21.2) і (21.3) випливає, що при $V = C_2$ функції збудження $S_1 = D_1 C_2 \vee D \bar{C}_2, S_r = D_r C_2 \vee Q_{r-1} \bar{C}_2$ і сигнал $dH_r = \bar{C}_2 dC_1 \vee \bar{C}_1 dC_2$, тобто при $C_1 = 0$ відбувається запис інформації у регістр за від'ємним перепадом сигналу C_2 , а при $C_2 = 0$ — зсув її за від'ємним перепадом сигналу C_1 . На підставі формул (21.2) і (21.3) легко перекопатися, що при $V = C_1$ можливий тільки запис інформації за від'ємним перепадом сигналу C_1 при значенні сигналу $C_2 = 1$.

Якщо в регістрі зсуву (див. рис. 21.1) змінити напрям зсуву інформації, то функції збудження D -тригерів визначатимуться за такими співвідношеннями:

$$D_r = Q_{r+1}, r = 1, 2, \dots, m-1, D_m = y. \quad (21.5)$$

Якщо функції збудження (21.1) і (21.5) об'єднати в такий спосіб:

$$\begin{aligned} D_1 &= Q_2 V \vee x \bar{V}, D_r = Q_{r+1} V \vee Q_{r-1} \bar{V}, \\ r &= 2, 3, \dots, m-1, D_m = y V \vee Q_{m-1} \bar{V}, \end{aligned} \quad (21.6)$$

то дістанемо реверсивний регістр зсуву (при $V = 0$ — зсув

ліворуч, а при $V = 1$ — праворуч). На мікросхемах K155IP1 можна виконати реверсивний регістр зсуву, якщо для зсуву праворуч використовувати входи D_r , призначені для паралельного синхронного запису інформації. Ця можливість впливає з порівняння співвідношень (21.2) і (21.6). На рис. 21.4 зображено 8-розрядний реверсивний регістр зсуву, виконаний на двох мікросхемах K155IP1. Можливості рівнозбіжного запису в цьому регістрі немає. Для зсуву ліворуч можна було б використовувати тактовий вхід C1, а для зсуву праворуч — тактовий вхід C2. З виходів z_1 і z_2 знімається послідовний код при зсуві праворуч і ліворуч.

Мікросхема K155IP13 є 8-розрядним реверсивним регістром зсуву з паралельним синхронним записом інформації (рис. 21.5) на основі RS-тригерів.

Функції збудження S_r і R_r цих тригерів описуються виразами:

$$\left. \begin{aligned} S_1 &= Q_2 \bar{V}_1 \vee D_R \bar{V}_2 \vee D_1 V_1 V_2; \\ S_r &= Q_{r+1} \bar{V}_1 \vee Q_{r-1} \bar{V}_2 \vee D_r V_1 V_2, r = 2, 3, \dots, 7; \\ S_8 &= D_L \bar{V}_1 \vee Q_7 \bar{V}_2 \vee D_8 V_1 V_2, R_r = \bar{S}_r, r = 1, 2, \dots, 8, \end{aligned} \right\} \quad (21.7)$$

де D_R і D_L — вхідні сигнали у разі послідовного введення інформації при зсувах ліворуч і праворуч. Імпульсний тактовий сигнал dH_r , що впливає на тригери, визначається за

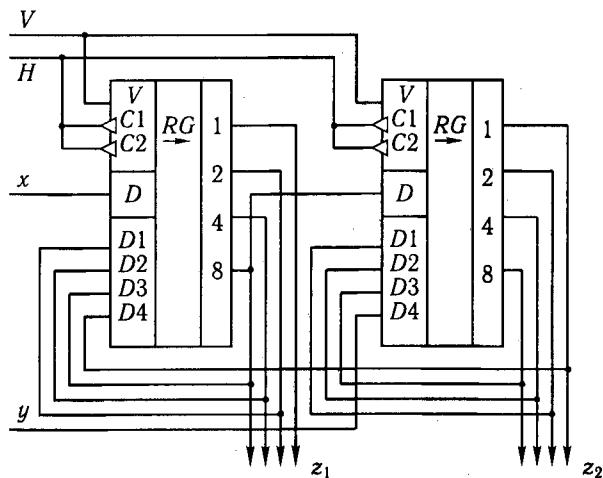


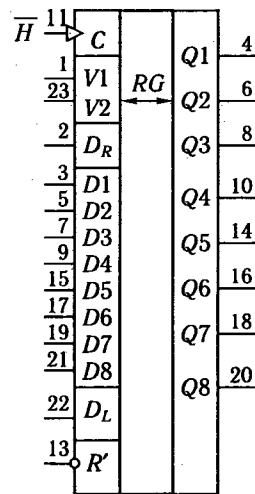
Рис. 21.4. 8-Розрядний реверсивний регістр зсуву на двох мікросхемах K155IP1

Рис. 21.5. 8-Розрядний реверсивний регістр зсуву із синхронним паралельним записом K155IP13

співвідношенням

$$dH_r = d[(V_1 \vee V_2) \bar{C}] = (V_1 \vee V_2)^* d\bar{C} \vee \bar{C}^* d(V_1 \vee V_2). \quad (21.8)$$

З цього співвідношення випливає, що сигнали V_1 і V_2 не мають змінюватися при значенні сигналу $C = 0$, оскільки вони входять у функції збудження (21.7), а зсув і запис інформації відбуваються за додатним перепадом (з 0 на 1) сигналу C при $V_1 \vee V_2 = 1$. З виразів (21.7) випливає, що при $V_1 = 0$ і $V_2 = 1$ відбувається зсув інформації праворуч, при $V_1 = 1$ і $V_2 = 0$ — ліворуч, а при $V_1 = V_2 = 1$ — запис інформації у регістр, причому регістр має асинхронний потенційний вхід R' для встановлення свого нульового стану.

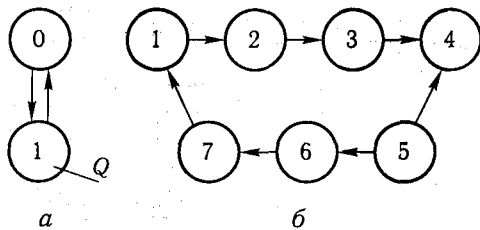


21.2. Лічильники за mod M

Будь-який лічильник можна виконати у вигляді синхронного, асинхронного потенційного або асинхронного імпульсного автомата. Асинхронні потенційні лічильники внаслідок їхньої складності використовувати нецільно. Асинхронні імпульсні лічильники можна виконати із синхронних лічильників за допомогою деяких перетворень. Розглянемо в основному синхронні лічильники та лічильники змішаного типу (синхронні лічильники з асинхронним потенційним установленням деякого внутрішнього стану).

Синхронним лічильником за mod M називають цифровий синхронний автомат без входів, що має M різних внутрішніх станів, які циклічно змінюються під впливом змін тактового сигналу H з 1 на 0 (чи з 0 на 1). На відміну від реверсивних лічильників і лічильників зі змінним коефіцієнтом перерахунку лічильники за mod M не мають вхідних сигналів x , які керують переходами між внутрішніми станами.

Один із M внутрішніх станів лічильника вибирають як початковий. Оскільки внутрішні стани лічильника змінюються циклічно, то після M змін тактового сигналу з 1 на 0 (або з 0 на 1) лічильник повертається в початковий стан, що свідчить



про його переповнення. Якщо лічильник перебував у початковому стані і тактовий сигнал H змінився N разів, то при $N > M$ за кінцевим станом лічильника можна визначити лише залишок від розподілу числа N на M , тобто рахунок здійснюють за модулем M . Число M називають *коефіцієнтом перерахування лічильника*.

Найпростішим є лічильник за mod 2, що становить собою T -тригер при $T \equiv 1$. Дійсно, якщо $T = 1$, наступний стан тригера $Q^+ = Q \oplus dH$, а якщо $dH = 1$, стан $Q^+ = \bar{Q}$, тобто стан тригера 0 і 1 циклічно змінюється за кожної зміни тактового сигналу H з 1 на 0. Граф переходів лічильника за mod 2 зображено на рис. 21.6, а, а на рис. 21.6, б — граф переходів лічильника за mod 7, внутрішні стани якого позначено цифрами від 1 до 7. Для отримання семи різних внутрішніх станів потрібно використати не менше ніж три тригери.

Спосіб кодування внутрішніх станів лічильника може бути довільним (важливо тільки, щоб усі внутрішні стани були різними). У загальному випадку від вибраного способу кодування внутрішніх станів автомата залежить його складність. Закодуємо внутрішні стани лічильника значеннями вихідних сигналів трьох тригерів Q_1 , Q_2 і Q_3 , як це зображено на рис. 21.7.

На підставі рис. 21.7 можна укласти таблицю істинності (табл. 21.1) і діаграми Вейча для функцій Q_3^+ , Q_2^+ , Q_1^+ (рис.

21.8). Для синтезу лічильників, як і будь-яких цифрових автоматів, можна використовувати тригери типів: D , T та JK . Складність автомата в загальному випадку залежить від використаних типів тригерів. Слід зазначити, що в одному автоматі можна використовувати тригери різних типів. Зробимо синтез лічильника за mod 7 із три-

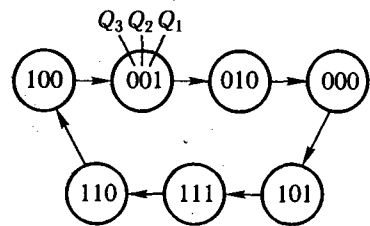


Рис. 21.7. Граф переходів лічильника за mod 7

Таблиця 21.1. Таблиця істинності лічильника за mod 7

i	Q_3	Q_2	Q_1	Q_3^+	Q_2^+	Q_1^+
4	1	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	0	0
0	0	0	0	1	0	1
5	1	0	1	1	1	1
7	1	1	1	1	1	0
6	1	1	0	1	0	0

герів типів D , T та JK . Для цього потрібно знайти їх функції збудження D_r , T_r , J_r і K_r ($r = 1, 2, 3$).

Із функції переходів D -тригера (21.7) випливає, що функції збудження

$$D_r = Q_r^+, \quad (21.9)$$

тому функції збудження тригерів лічильника за mod 7 знаходять за діаграмами Вейча (див. рис. 21.8):

$$D_1 = \bar{Q}_1 \bar{Q}_2 \vee \bar{Q}_2 Q_3, \quad D_2 = Q_1,$$

$$D_3 = Q_2 Q_3 \vee Q_1 Q_3 \vee \bar{Q}_1 \bar{Q}_2 \bar{Q}_3.$$

Із функції переходів T -тригера і властивостей операції «сума за модулем два» випливає, що функції збудження $T_r = Q_r^+ \oplus Q_r$, тобто

$$T_r = \begin{cases} Q_r^+, & \text{якщо } Q_r = 0, \\ \bar{Q}_r^+, & \text{якщо } Q_r = 1. \end{cases} \quad (21.10)$$

За цим співвідношенням заповнюють діаграми Вейча для функцій збудження T_1 , T_2 і T_3 (рис. 21.9).

Функції збудження T -тригерів лічильника за mod 7

$$T_1 = Q_1 \oplus \bar{Q}_2 \vee \bar{Q}_2 \bar{Q}_3, \quad T_2 = Q_1 \oplus Q_2, \quad T_3 = \bar{Q}_1 \bar{Q}_2.$$

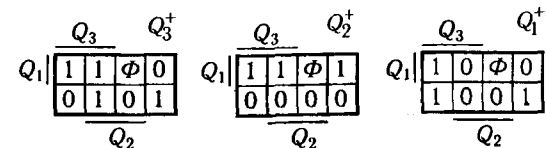


Рис. 21.8. Діаграма Вейча для функцій переходів лічильника за mod 7

Q_1	$\begin{array}{ c c c c } \hline Q_3 & T_3 \\ \hline 0 & 0 & \Phi & 0 \\ \hline 1 & 0 & 0 & 1 \\ \hline \end{array}$	Q_2	$\begin{array}{ c c c c } \hline Q_3 & T_2 \\ \hline 1 & 0 & \Phi & 1 \\ \hline 0 & 1 & 1 & 0 \\ \hline \end{array}$	Q_1	$\begin{array}{ c c c c } \hline Q_3 & T_1 \\ \hline 0 & 1 & \Phi & 1 \\ \hline 1 & 0 & 0 & 1 \\ \hline \end{array}$	Q_2
-------	--	-------	--	-------	--	-------

Рис. 21.9. Синтез лічильника за mod 7 на T -тригерах

Із функції переходів JK -тригера випливає, що $Q_r^+ = \bar{Q}_r J_r \vee Q_r \bar{K}_r$ — логічне рівняння з двома невідомими J_r і K_r , які потрібно розв'язати щодо цих невідомих. Оскільки для функцій збудження J_r і K_r потрібно складати тільки діаграми Вейча, то для функцій Q_r^+ можна скористатися таким методом. Нехай $Q_r = 0$, тоді $Q_r^+ = \bar{0} J_r \vee 0 \bar{K}_r$. З останнього рівняння випливає, що $J_r = Q_r^+$, а $K_r = \Phi$ — довільні значення. Нехай тепер $Q_r = 1$, тоді $Q_r^+ = \bar{1} J_r \vee 1 \bar{K}_r$. З цього рівняння випливає, що $J_r = \Phi$, а $K_r = \bar{Q}_r^+$.

Об'єднавши обидва розв'язки при $Q_r = 0$ і $Q_r = 1$, дістанемо

$$J_r = \bar{Q}_r Q_r^+ \vee \Phi Q_r, \quad K_r = Q_r Q_r^+ \vee \Phi \bar{Q}_r.$$

Дійсно, з цих виразів можна зробити висновок, що

$$J_r = \begin{cases} Q_r^+, & \text{якщо } Q_r = 0; \\ \Phi, & \text{якщо } Q_r = 1; \end{cases} \quad K_r = \begin{cases} \bar{Q}_r^+, & \text{якщо } Q_r = 1; \\ \Phi, & \text{якщо } Q_r = 0. \end{cases} \quad (21.11)$$

Діаграми Вейча для функцій збудження J_r і K_r (рис. 21.10) заповнюються за аналогією із заповненням діаграм Вейча для функцій збудження T_r . Тому з рис. 21.10 випливає, що функції збудження JK -тригерів лічильника за mod 7:

$$J_1 = \bar{Q}_2, \quad K_1 = Q_2 \vee \bar{Q}_3, \quad J_2 = Q_1, \\ K_2 = \bar{Q}_1, \quad J_3 = K_3 = \bar{Q}_1 \bar{Q}_2.$$

Побудуємо принципову схему лічильника за функціями збудження D_1 , D_2 і T_3 . Для цього перетворимо функцію збудження D_1 до вигляду: $\bar{D}_1 = \bar{Q}_2 \bar{Q}_1 \bar{Q}_3$. Якщо замість прямого входу D використати інверсний вхід, то виходи тригера Q і \bar{Q} поміняються місцями. На рис. 21.11 зображено принципову схему лічильника за mod 7, виконану на мікросхемах серії К155 відповідно до отриманих функцій збудження \bar{D}_1 , D_2 і T (якщо на вхід елемента серії К155 не надходить жодного сигналу, то це еквівалентно надходженню на цей вхід сигналу 1).

Q_1	$\begin{array}{ c c c c } \hline Q_3 & J_3 \\ \hline \Phi & \Phi & \Phi & 0 \\ \hline \Phi & \Phi & 0 & 1 \\ \hline \end{array}$	Q_2	$\begin{array}{ c c c c } \hline Q_3 & J_2 \\ \hline 1 & \Phi & \Phi & 1 \\ \hline 0 & \Phi & \Phi & 0 \\ \hline \end{array}$	Q_1	$\begin{array}{ c c c c } \hline Q_3 & J_1 \\ \hline \Phi & \Phi & \Phi & \Phi \\ \hline 1 & 0 & 0 & 1 \\ \hline \end{array}$	Q_2
Q_1	$\begin{array}{ c c c c } \hline Q_3 & K_3 \\ \hline 0 & 0 & \Phi & \Phi \\ \hline 1 & 0 & \Phi & \Phi \\ \hline \end{array}$	Q_2	$\begin{array}{ c c c c } \hline Q_3 & K_2 \\ \hline \Phi & 0 & \Phi & \Phi \\ \hline \Phi & 1 & 1 & \Phi \\ \hline \end{array}$	Q_1	$\begin{array}{ c c c c } \hline Q_3 & K_1 \\ \hline 0 & 1 & \Phi & 1 \\ \hline \Phi & \Phi & \Phi & \Phi \\ \hline \end{array}$	Q_2

Рис. 21.10. Синтез лічильника за mod 7 на JK -тригерах

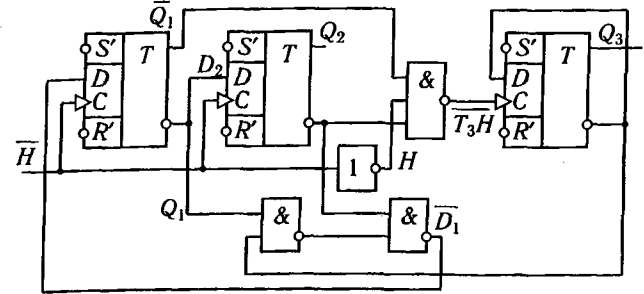


Рис. 21.11. Схема лічильника за mod 7 на D - і T -тригерах

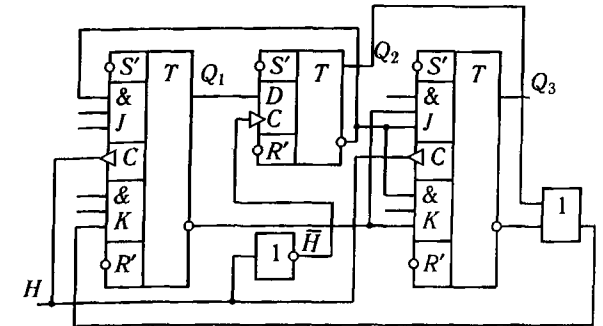


Рис. 21.12. Схема лічильника за mod 7 на D - та JK -тригерах

Зауважимо, що при зміні функції збудження D на \bar{D} асинхронні потенційні входи R' і S' також поміняються місцями.

Побудуємо принципову схему лічильника за mod 7, використовуючи функції збудження J_1 , K_1 , D_2 , J_3 і K_3 на мікросхемах серії К155 (рис. 21.12). Оскільки JK -тригери спра-

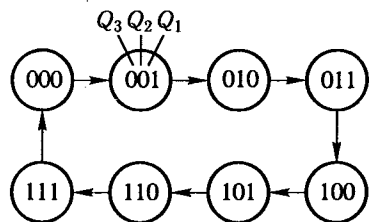


Рис. 21.13. Граф переходів двійкового лічильника за mod 8

Кодування внутрішніх станів яких виконано за допомогою двійкових і двійково-десяткових чисел. Двійковий лічильник, побудований з m тригерів, має 2^m внутрішніх станів, тобто є лічильником за mod 2^m . Кодування внутрішніх станів двійково-десяткових лічильників виконується кодом 8—4—2—1, тобто ці лічильники синтезуються з чотирьох тригерів і є лічильниками за mod 10.

Граф переходів двійкового лічильника за mod 2^3 наведено на рис. 21.13. Зробимо синтез цього лічильника на T -тригерах. Уклавши за графом переходів таблицю істинності (табл. 21.2), а потім діаграми Вейча для функцій Q_r^+ і T^r , можна дістати

$$T_1 = 1; T_2 = Q_1; T_3 = Q_1 Q_2. \quad (21.12)$$

Якщо зробити синтез лічильника за mod 2^4 , то функції збудження T -тригерів матимуть вигляд:

$$\begin{aligned} T_1 &= 1; T_2 = Q_1; T_3 = Q_1 Q_2; \\ T_4 &= Q_1 Q_2 Q_3. \end{aligned} \quad (21.13)$$

Таблиця 21.2. Таблиця істинності двійкового лічильника за mod 8

i	Q_3	Q_2	Q_1	Q_3^+	Q_2^+	Q_1^+
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

цьюють при значенні сигналу $dH = 1$, а D -тригер — при значенні сигналу $d\bar{H} = 1$, то моменти спрацювання тригерів потрібно погоджувати за допомогою логічного елемента НЕ.

Під час проектування цифрових пристроїв особливе значення мають двійкові та двійково-десяткові лічильники, ко-

Порівнявши вирази (21.12) і (21.13), можна зазначити, що функції збудження перших трьох тригерів не змінилися. З цього можна дійти висновку, що функції збудження лічильника за mod 2^m описуються виразами:

$$T_1 = 1; T_r = \prod_{j=1}^{r-1} Q_j; r = 2, 3, \dots, m. \quad (21.14)$$

Відповідно до цих функцій збудження виконаний 6-розрядний двійковий лічильник на мікросхемі K155IE8.

Виразам (21.14) можна надати такого вигляду:

$$T_1 = 1; T_r = Q_{r-1} \prod_{j=1}^{r-2} Q_j = Q_{r-1} T_{r-1}; r = 2, 3, \dots, m. \quad (21.15)$$

Схема двійкового лічильника, що відповідає цим функціям збудження, значно простіша, ніж схема лічильника, що відповідає функціям збудження (21.14), однак швидкодія менша внаслідок послідовного вмикання логічного елемента І (максимально допустиме значення частоти тактового сигналу H буде менше). Частину двійкового лічильника, виконану відповідно до функцій збудження (21.15), зображено на рис. 21.14.

Граф переходів двійково-десятькового лічильника за mod 10 наведено на рис. 21.15. Якщо за цим графом переходів зро-

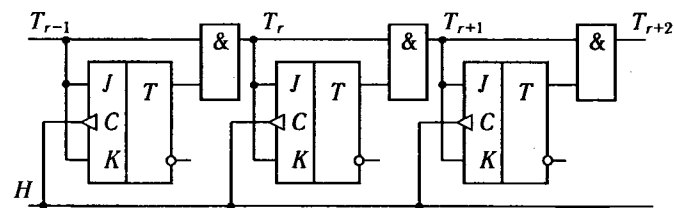


Рис. 21.14. Схема двійкового лічильника за mod 2^m

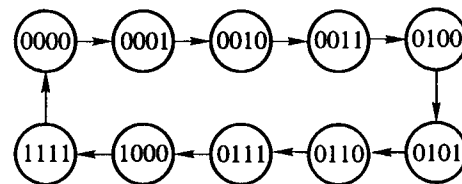


Рис. 21.15. Граф переходів двійково-десятькового лічильника за mod 10

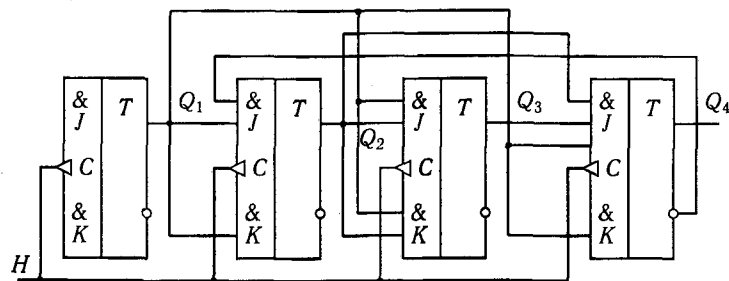


Рис. 21.16. Схема двійково-десятькового лічильника на JK-тригерах

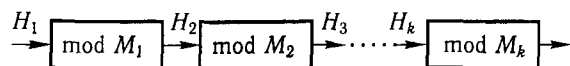


Рис. 21.17. Структурна схема асинхронного лічильника

бити синтез синхронного лічильника на JK- та T-тригерах, то можна дістати:

$$J_1 = K_1 = 1; J_2 = Q_1 \bar{Q}_4; K_2 = Q_1;$$

$$K_3 = J_3 = Q_1 Q_2; J_4 = Q_1 Q_2 Q_3; K_4 = Q_1; \quad (21.16)$$

$$T_1 = 1; T_2 = Q_1 \bar{Q}_4; T_3 = Q_1 Q_2; T_4 = Q_1 Q_4 \vee Q_1 Q_2 Q_3.$$

За отриманими функціями збудження можна побудувати принципи схеми двійково-десятькових лічильників (рис. 21.16), виконаних на JK-тригерах (мікросхеми К155ТВ1; входи, що не використовуються, не зображені).

Зазвичай лічильники за mod M виконують так, що в них є тригер (або ЛЕ), вихідний сигнал якого змінюється з 1 на 0 (або з 0 на 1) тільки в момент повернення лічильника в початковий (нульовий) стан. Цей сигнал свідчить про переповнення лічильника у разі надходження на його вхід M імпульсів ($dH = 1$) і може бути використаний як вхідний сигнал іншого лічильника. Лічильники за mod M_j ($j = 1, 2, \dots, k$) можна з'єднувати послідовно (рис. 21.17) для отримання лічильників за mod $(M_1 M_2 \dots M_k)$. Якщо послідовно з'єднати m лічильників за mod 2, то вийде двійковий лічильник за mod 2^m .

Хоча кожний лічильник за mod M_j є синхронним, однак лічильник за mod $(M_1 M_2 \dots M_k)$ буде вже асинхронним, оскільки немає єдиного тактового сигналу для всього лічильника (у кожному лічильнику за mod M_j використовується свій

тактовий сигнал H_j). Недоліком таких лічильників є їх послідовне спрацьовування, що спричинює запізнювання спрацьовування останнього лічильника щодо тактового сигналу першого.

21.3. Лічильники на регістрах зсуву

Для побудови лічильників на регістрах зсуву потрібно використовувати спеціальне кодування їх внутрішніх станів. Якщо на вхід x (див. рис. 21.1) подати деяку періодичну послідовність символів 0 і 1, то внутрішні стани регістра зсуву (комбінації значень сигналів Q_r) будуть також періодично повторюватися, тобто регістр зсуву буде лічильником за mod M , якщо зазначена періодична послідовність сформована самим регістром зсуву. З цього випливає, що кодування внутрішніх станів, наприклад лічильника за mod 5, може бути

$Q_3 Q_2 Q_1$
задане такою схемою $\leftarrow 0 \ 0 \ 0 \ 11.00011$.

Просуваючи через регістр, що складається з трьох тригерів Q_1, Q_2 та Q_3 , певну періодичну послідовність символів 0 і 1, дістанемо п'ять різних кодових комбінацій (внутрішніх станів): 000, 001, 011, 110, 100. За подальшого зсуву виходять ті самі кодові комбінації, оскільки послідовність символів 0 і 1 періодична.

Граф переходів лічильника за mod 5 з отриманим способом кодування внутрішніх станів зображено на рис. 21.18. Склавши за графом переходів діаграму Вейча для функції Q_1^+ (рис. 21.19), дістанемо $D_1 = \bar{Q}_2 \bar{Q}_3$. Діаграму Вейча можна скласти за графом переходів без укладання таблиці істинності. Наприклад, розглянемо перехід між внутрішніми станами 000 і 001. Стан 000 є вихідним ($Q_3 = 0, Q_2 = 0, Q_1 = 0$), тому відповідне йому двійкове число визначає номер клітини в діаграмі Вейча $i = 0$. Стан 001 для цього переходу є наступним, тому функції $Q_3^+ = 0, Q_2^+ = 0, Q_1^+ = 1$. З цього випливає, що в клітину діаграми Вейча для функції Q_1^+ з номером $i = 0$ слід

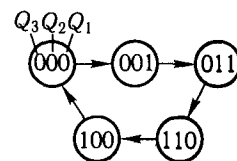


Рис. 21.18. Граф переходів лічильника за mod 5

Q_1	Q_2		Q_1^+	
	Φ	Φ	0	1
0	0	0	Φ	1
1	0	0	Φ	1

Рис. 21.19. Синтез лічильника за mod 5 на регістрі зсуву

використовують для послідовного вмикання двійкових реверсивних лічильників з метою збільшення їхньої розрядності.

Якщо провести синтез двійкового реверсивного лічильника, який має 2^4 внутрішніх станів, то функції збудження T_r ($r = 1, 2, 3, 4$) і функції виходу лічильника z_1 та z_2 матимуть вигляд:

$$\left. \begin{aligned} T_1 &= 1; \quad T_2 = \bar{x}Q_1 \vee x\bar{Q}_1; \quad T_3 = \bar{x}Q_1Q_2 \vee x\bar{Q}_1\bar{Q}_2; \\ T_4 &= \bar{x}Q_1Q_2Q_3 \vee x\bar{Q}_1\bar{Q}_2\bar{Q}_3; \quad z_1 = \bar{x}Q_1Q_2Q_3\bar{Q}_4; \quad z_2 = x\bar{Q}_1\bar{Q}_2\bar{Q}_3Q_4. \end{aligned} \right\} \quad (21.19)$$

Порівнявши вирази (21.19) з (21.17) і (21.18), можна дійти висновку: якщо двійковий реверсивний лічильник складається з m T -тригерів, то функції збудження T_r і функції z_1 та z_2 визначатимуться за співвідношеннями:

$$\begin{aligned} T_1 &= 1; \quad T_r = \bar{x} \prod_{j=1}^{r-1} Q_j \vee x \prod_{j=1}^{r-1} \bar{Q}_j; \quad r = 2, 3, \dots, m; \\ z_1 &= \bar{x} \bar{Q}_m \prod_{j=1}^{m-1} Q_j; \quad z_2 = x Q_m \prod_{j=1}^{m-1} \bar{Q}_j, \end{aligned} \quad (21.20)$$

де Q_m — сигнал, що визначає значення знакового розряду.

Таблиця 21.3. Таблиця істинності для функцій Q_r^+

i	x	Q_3	Q_2	Q_1	Q_3^+	Q_2^+	Q_1^+	z_1	z_2
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	1	0	0	0
2	0	0	1	0	0	1	1	0	0
3	0	0	1	1	1	0	0	1	0
4	0	1	0	0	1	0	1	0	0
5	0	1	0	1	1	1	0	0	0
6	0	1	1	0	1	1	1	0	0
7	0	1	1	1	0	0	0	0	0
8	1	0	0	0	1	1	1	0	0
9	1	0	0	1	0	0	0	0	0
10	1	0	1	0	0	0	1	0	0
11	1	0	1	1	0	1	0	0	0
12	1	1	0	0	0	1	1	0	1
13	1	1	0	1	1	0	0	0	0
14	1	1	1	0	1	0	1	0	0
15	1	1	1	1	1	1	0	0	0

Функції збудження T -тригерів (21.20) можна перетворити так: $T_1 = 1$; $T_r = \bar{x}Q_{r-1} \vee x\bar{Q}_{r-1}$; $r = 2, 3, \dots, m$. Отримані функції збудження можна подати також у вигляді: $T_1 = 1$; $T_r = (x \oplus Q_{r-1})T_{r-1}$.

Схему 3-розрядного двійкового реверсивного лічильника, виконану на підставі останніх виразів з T -тригерів, зображено на рис. 21.22. У разі збільшення числа розрядів лічильника структура кожного розряду буде такою самою, як і структура третього розряду.

Із виразів (21.20) випливає, що

$$T_1 H = H = H_1 \vee H_2; \quad T_r H = H_1 \prod_{j=1}^{r-1} Q_j \vee H_2 \prod_{j=1}^{r-1} \bar{Q}_j,$$

де $H_1 = \bar{x}H$, $H_2 = xH$ та $H_1 H_2 = 0$, тобто у двійковому реверсивному лічильнику можна використовувати два тактових сигнали H_1 і H_2 , що в сукупності із сигналами перенесення P і позики перенесення W дає змогу збільшувати розрядність лічильника.

Контрольні запитання і завдання

1. Що таке регістр зсуву та які операції можна виконувати за допомогою регістрів?
2. За якими ознаками можна класифікувати регістри?
3. Наведіть основні параметри й ознаки класифікації лічильників.
4. Яким чином досягається підвищення швидкодії лічильників?
5. Поясніть принципи роботи реверсивного лічильника.
6. Як здійснюється попереднє встановлення лічильників?
7. Поясніть принципи роботи лічильника зі змінним коефіцієнтом перерахування.
8. Поясніть принципи роботи послідовного двійкового суматора.

22.1. Мікросхеми статичних і динамічних ОЗП

Для короткочасного збереження невеликих об'ємів кодів слів зазвичай використовують регістри. За потреби тривалого збереження або збереження великих об'ємів інформації застосовують запам'ятовувальні пристрої (ЗП), виконані на спеціалізованих ІС. Застосування ЗП, що використовують ІС, дає змогу максимально спростити апаратну частину електронних пристроїв.

За виконуваними функціями ЗП можна класифікувати так: оперативні запам'ятовувальні пристрої (ОЗП) і постійні запам'ятовувальні пристрої (ПЗП).

До оперативних належать ЗП, що використовують для збереження інформації, отриманої в процесі роботи пристрою, і забезпечують порівняння часу їх зчитування та запису.

Оперативні ЗП можуть бути як статичними, так і динамічними. У статичних ОЗП записана інформація постійно зберігається у виділеному для неї місці і не руйнується під час її зчитування. Руйнування інформації можливе тільки у разі її примусового стирання або вимкнення напруги джерела живлення.

У динамічних ОЗП інформація постійно циркулює в масиві, відведеному для її збереження. При цьому зчитування інформації супроводжується її руйнуванням. Для збереження інформації її потрібно перезаписати заново.

Для позначення на принципових електричних схемах ІС ОЗП використовують скорочення *RAM* (random access memory).

Типовий варіант структурної побудови мікросхеми статичного ОЗП наведено на рис. 22.1. Для прикладу вибрана порівняно нескладна мікросхема пам'яті K561PY2 (564PY2) ємністю 256 біт. Структурна схема вміщує виконані на єдиному кристалі силіцію матрицю накопичувача, дешифратори коду адреси рядків $A_0 - A_3$ (A_0 — молодший розряд) і стовпців $A_4 - A_7$, перемикачі вибору стовпців і пристрій введення-виведення (ПВВ). Режимом мікросхеми керують сигнали \overline{CS} (вибір мікросхеми) і W/R (запис — зчитування).

Матриця накопичувача містить 256 елементів пам'яті (ЕП), розміщених на перетинаннях 16 рядків і 16 стовпців. Кожний ЕП — це статичний тригер, що може бути реалізований на основі біполярних або МДН-транзисторів.

За відсутності сигналу вибірки рядка, тобто при $X = 0$, перемикальні транзистори закриті і тригер ізольований від розрядних шин. У такий спосіб реалізують у матриці режим звертання до ЕП для запису або зчитування інформації та режим збереження інформації.

Для збереження інформації в тригері потрібне джерело живлення, тобто тригер розглянутого типу є енергетично залежним. За наявності живлення тригер здатний зберігати свій стан як завгодно довго.

Щоб звернутися до мікросхеми для запису 0 або 1, слід підвести цю інформацію до входу DI , подати код адреси $A\{A_0 - A_7\}$, сигнал дозволу \overline{CS} і сигнал W/R , що відповідає режиму запису. При зазначених сигналах збуджується заданий рядок x_i , вибраний дешифратором коду адреси рядків, і в

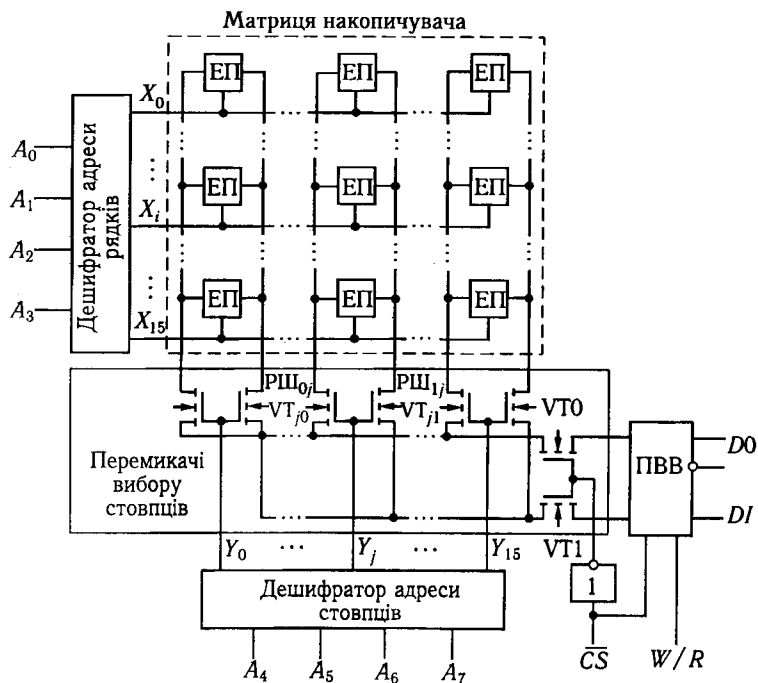


Рис. 22.1. Структура мікросхеми статичного ОЗП з 1-розрядною організацією

результаті цього відкривається доступ по розрядних шинах до всіх ЕП цього рядка. Одночасно збуджується один з виходів Y_j дешифратора коду адреси стовпців i , відкриваючи відповідні транзистори VT_{j0} , VT_{j1} у блоці перемикачів вибору стовпця, комутує вибраний стовпець на ПБВ. Доступ до розрядних шин цього стовпця з боку ПБВ забезпечує сигнал $CS = 1$, що відкриває перемикачі $VT0$ і $VT1$. Налаштування ПБВ на приймання сигналу з входу DI здійснює сигнал $W/R = 1$.

Звертання до мікросхеми для зчитування відбувається аналогічно, але при значенні сигналу $W/R = 0$.

У більшості мікросхем пам'яті ПБВ містить вихідний перемикальний підсилювач-формував, здатний набирати три стани: два функціональних, відповідних 0 або 1, і один високоомний (третій) стан. У третьому стані вихід практично вимкнений від приймача інформації, наприклад інформаційної шини.

Наявність у мікросхемі виходу на три стани дає змогу з'єднувати інформаційні вхід і вихід для підключення їх до єдиної інформаційної шини.

Розглянута структурна схема (див. рис. 22.1) є прикладом реалізації статичних ОЗП з 1-розрядною організацією. Цей тип мікросхем має перевагу в сучасній номенклатурі мікросхем пам'яті. Останнім часом набувають поширення мікросхеми статичних ОЗП з багаторозрядною словниковою організацією. Принцип побудови таких мікросхем розглянемо на прикладі мікросхеми $KP537PY8$, що має інформаційну ємність $2K \times 8$ біт (рис. 22.2). Вона вміщує матрицю накопичувача з 128×128 ЕП, регістри і дешифратори коду адреси рядків і стовпців, підсилювачі запису — зчитування, пристрій керування і пристрій введення-виведення. Як ЕП застосовують тригер на КМДН-транзисторах.

Накопичувач поділений на вісім секцій по 128×16 ЕП у кожній. Чотири молодших розряди коду адреси $A_0 - A_3$ вибирають по одному стовпцю в кожній секції і комутують їх з ПБВ. Керування пристроєм введення-виведення здійснюють сигнали \overline{CS} , \overline{OE} і \overline{W}/R , попередньо оброблені пристроєм керування. Залежно від значень керуючих сигналів мікросхема може працювати в одному з трьох режимів: запису, зчитування і збереження. У режимі запису інформація 8-розрядним кодом через ПБВ і підсилювачі запису — зчитування надходить у вибрану комірку пам'яті. При зчитуванні інформація з вибраної комірки пам'яті надходить на ПБВ і через нього — на виходи. Сигнал дозволу виходу \overline{OE} дає змогу в режимі зчитування забороняти виведення інформації: при

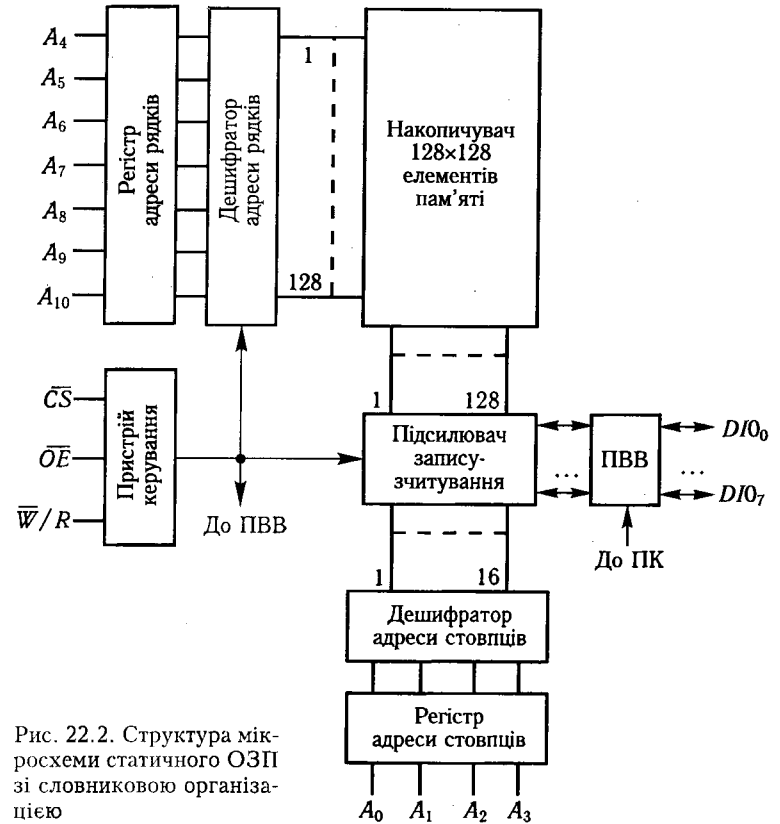


Рис. 22.2. Структура мікросхеми статичного ОЗП зі словниковою організацією

$\overline{OE} = 1$ входи-виходи набирають третього стану, тому інформації на виходах немає.

У режимі збереження споживана мікросхемами від джерела живлення потужність знижується більше ніж у 1000 разів.

У мікросхемах пам'яті динамічного типу функції ЕП виконує електричний конденсатор, утворений усередині МДН-структури. Інформація надходить у вигляді заряду: наявність заряду на конденсаторі відповідає логічному «0», відсутність — логічний «1». Оскільки тривалість збереження конденсатором заряду обмежена, передбачають періодичне відновлення (регенерацію) записаної інформації. У цьому полягає одна з характерних ознак динамічних ОЗП. Крім того, для них потрібна синхронізація, що забезпечує певну послідовність вмикань і вимикань функціональних вузлів.

Для виготовлення мікросхем динамічних ОЗП переважно застосовують n -МДН-технологію, що дає змогу підвищувати швидкодію і рівень інтеграції мікросхем, забезпечувати малі струми витoku і завдяки цьому збільшувати тривалість збереження заряду на запам'ятовувальному конденсаторі.

Розглянемо типовий варіант реалізації динамічного ОЗП на прикладі мікросхеми K565PY3 інформаційною ємністю $16K \times 1$ біт. До її структурної схеми (рис. 22.3) належать виконані в одному силіцієвому кристалі матриця накопичувача, що містить 16 384 елементів пам'яті, розміщених на перетинаннях 128 рядків і 128 стовпців, 128 підсилювачів зчитування і регенерації, дешифратори рядків і стовпців, пристрій керування, пристрій введення-виведення та мультиплексний регістр адреси.

Матриця накопичувача поділена на дві частини по 64×64 ЕП у кожній. Між ними розміщені підсилювачі так, що кожен

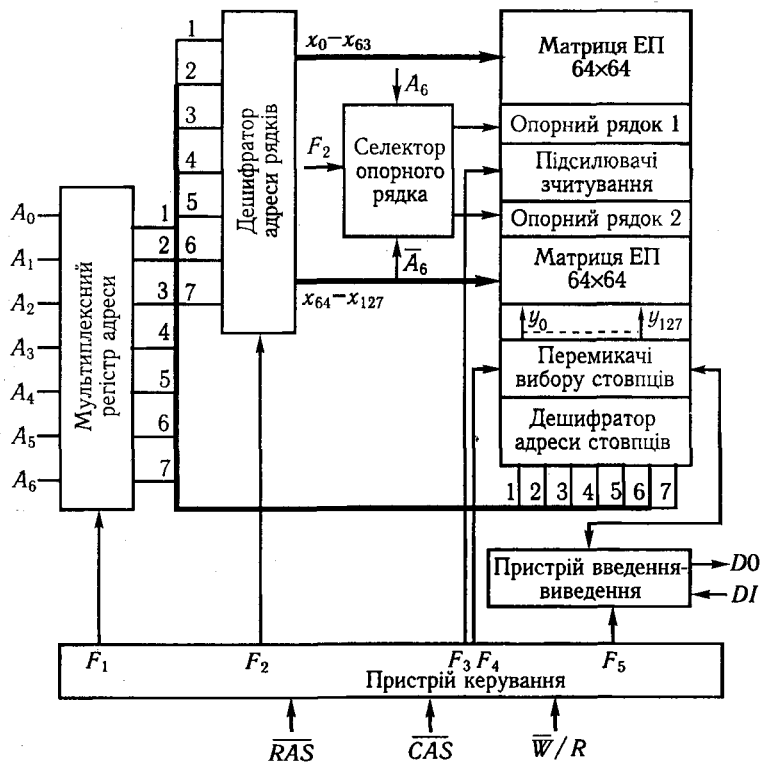


Рис. 22.3. Структура мікросхеми динамічного ОЗП

стовпець складається з двох секцій, підключених до різних плечей підсилювача.

Крім масиву ЕП та підсилювачів матриця має у своїй структурі опорні елементи (ЕО) — по одному елементу в кожній півшині. Ці елементи в кожній половині матриці становлять опорний рядок (ОР). Опорний елемент побудований аналогічно запам'ятовувальному. Він призначений для підтримування опорної напруги U_0 , з якою підсилювач порівнює потенціал півшини з вибраним ЕП та реагує на отриману різницю потенціалів під час порівняння позитивного і негативного знака залежно від рівня зчитування. Ця операція відбувається так: якщо вибрано для звертання рядок верхньої півматриці x_i , то сигнал A_6 старшого розряду коду адреси рядка комутує в селекторі опорного рядка коло через перемикальний транзистор VT12 для сигналу F_2 до ОР₂, розміщеного в нижній півматриці.

Отже, у кожному із 128 стовпців до підсилювача з різних боків увімкнені ЕП та ЕО. Оскільки потенціал півшини з ЕП відрізняється від опорного, то в опорі транзисторів різних плечей підсилювача-тригера виникає асиметрія, що при увімкненні кола його живлення сигналом F_3 спричинює перекидання тригера за переважним рівнем. У результаті на виходах-входах A та B тригера формуються повні рівні логічної «1» і логічного «0». Той із сигналів, який відображає зчитану інформацію, комутується на вхід пристрою виведення через перемикальні транзистори VT7, VT9 і VT10, які відкриваються сигналами A_6 , F_4 і Y_j . Очевидно, зчитаним може бути тільки один сигнал із вибраного дешифратором стовпця.

Сигнал на вході-виході A тригера-підсилювача виконує також функцію відновлення рівня заряду запам'ятовувального конденсатора C_{ij} , тобто функцію регенерації інформації, причому ця операція відбувається у всіх ЕП вибраного рядка одночасно.

Отже, під час кожного звертання до матриці для зчитування інформації автоматично здійснюється регенерація інформації у всіх ЕП, що належать вибраному рядку.

Для адресації 16K елементів пам'яті потрібний 14-розрядний код, а в розглянутій мікросхемі тільки сім адресних входів. З метою зменшення числа потрібних виводів корпусу в мікросхемах динамічних ОЗП код адреси вводять так: спочатку сім молодших розрядів $A_0 - A_6$, супроводжуючи їх сигналом стробування \overline{RAS} , потім сім старших розрядів $A_7 - A_{13}$ із сигналом стробування \overline{CAS} . У середині мікросхеми коди адреси рядків і стовпців фіксуються на адресному регістрі, потім дешифруються та здійснюють вибірку адресної ЕП.

Для формування внутрішніх сигналів $F_1 - F_4$, керуючих увімкненням і вимиканням у визначеній послідовності функціональних вузлів мікросхеми, у її структурі передбачений пристрій керування, для якого входними є сигнали \overline{RAS} , CAS , \overline{W}/R .

Пристрій введення-виведення забезпечує виведення одного біта інформації $D0$ у режимі зчитування і введення одного біта інформації DI з її фіксацією за допомогою тригера-засувки в режимі запису. В усіх режимах, крім режиму зчитування, вихід набирає високоомного (третього) положення. Наявність у виходу високоомного стану дає змогу поєднувати інформаційні вхід і вихід при підключенні мікросхеми до загальної інформаційної шини.

22.2. Мікросхеми маскових ПЗП

Мікросхеми ПЗП за способом програмування, тобто занесення в них інформації, поділяють на три групи: ПЗП, які однократно програмує виготовлювач за способом замовленого фотощаблону (маски), маскові ПЗП (ПЗПМ, ROM); ПЗП, які одноразово програмує користувач за способом перегорання плавких перемичок на кристалі (ППЗП, PROM); ПЗП, що багаторазово програмує користувач, ПЗП, які репрограмує користувач (РПЗП, EPROM).

Загальною властивістю всіх мікросхем ПЗП є їхня багаторозрядна (словникова) організація, режим зчитування як основний режим роботи й енергозалежність. Однак у них є й істотні розходження в способі програмування, режимах зчитування, у звертанні до них під час застосування. Тому доцільно розглянути кожну групу мікросхем ПЗП окремо.

Мікросхеми ПЗПМ виготовляють за біполярною ТТЛ-, ТТЛШ-технологіями, n -канальною, p -канальною і КМДН-технологіями. Принцип побудови в більшості мікросхем групи ПЗПМ однаковий і може бути поданий структурою мікросхем K155PE21 – K155PE24 (рис. 22.4). Основними елементами структурної схеми є: матриця елементів пам'яті, дешифратори рядків DCX і стовпців DCY , селектори (перемикачі вибору стовпців), адресний формувач, підсилювачі зчитування. Матриця складається з масиву ЕП, кожний із яких розміщений на перетині рядка і стовпця. Елемент пам'яті ПЗПМ є резистивною або напівпровідниковою (діодною, транзисторною) перемичкою між рядком і стовпцем. Інформацію в матрицю заносять у процесі виготовлення мікросхеми.

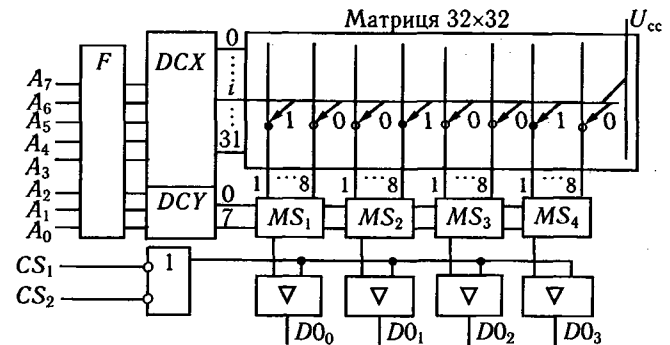


Рис. 22.4. Побудова мікросхеми маскового ПЗП на біполярних структурах

Мікросхеми на біполярних транзисторах програмують шляхом формування перемичок між рядками і стовпцями в тих точках матриці, куди заносять логічну «1». У тих точках матриці, де має бути логічний «0», перемичку не формують.

Матриця на рис. 22.4 містить 32×32 ЕП. Вона складається з 32 транзисторів за числом рядків, кожний з яких має 32 емітери за числом стовпців (розрядних шин). Колектори всіх транзисторів з'єднані із шиною живлення. Бази транзисторів утворюють рядки матриці. Вони підключені до виходів дешифратора адреси рядків. Емітери або мають з'єднання з розрядною шиною (логічна «1»), або не мають (логічний «0»). Розрядні шини поділені на чотири групи по вісім шин у кожній, причому кожна з чотирьох груп шин замикається на селектор, який під керуванням сигналів із виходів дешифратора стовпців DCY вибирає з восьми шин одну і комутує її на вихід.

На виходах селекторів увімкнені підсилювачі зчитування із сигналами стробування \overline{CS}_1 і \overline{CS}_2 . При $\overline{CS}_1 = \overline{CS}_2 = 0$ підсилювачі відкриті для зчитування інформації, за інших комбінацій цих сигналів – закриті і на їх виходах установлюються рівні «1».

Вибірку 4-розрядного слова здійснюють 8-розрядним кодом адреси, що надходить на адресний формувач F , потрібний для узгодження схем на кристалі із зовнішніми колами, і потім на входи дешифраторів рядків $A_7 - A_3$ і стовпців $A_2 - A_0$. На одному з виходів кожного дешифратора формуються високі рівні напруги, які вибирають з матриці 4-розрядне слово. На вихід мікросхеми вибирає слово надходить при сигналах керування, що дають змогу зчитувати $\overline{CS}_1 = \overline{CS}_2 = 0$.

Програмування мікросхем ПЗПМ здійснюють одноразово. Оскільки схема з'єднань або граничні напруги транзисторів не залежать від режиму роботи мікросхеми, вона має властивість енергетичної залежності. Завдяки цій властивості мікросхеми ПЗПМ широко використовують як носії постійних програм, підпрограм різного призначення, кодів фізичних констант, постійних коефіцієнтів і под. Занесену в ПЗПМ інформацію в технічній документації називають *прошиванням*.

Мікросхеми ПЗПМ працюють у режимах збереження і зчитування. Для зчитування інформації потрібно подати код адреси і сигнали керування. Сигнали керування можна подавати рівнем «1», якщо вхід *CS* прямий, або «0», якщо вхід інверсний.

Багато мікросхем мають кілька входів керування, зазвичай зв'язаних визначеним логічним оператором. У таких мікросхемах потрібно подавати на керуючі входи визначену комбінацію сигналів, наприклад 00 або 110, щоб сформувати умову дозволу зчитування.

Основним динамічним параметром мікросхем ПЗПМ є тривалість вибірки адреси. За потреби стробування вихідних сигналів на керуючі входи *CS* слід подавати імпульси після надходження коду адреси. У такому випадку в розрахунок часу зчитування слід брати тривалість установлення сигналу *CS* щодо адреси і тривалість вибору.

Вихідні сигнали в усіх мікросхемах ПЗПМ мають ТТЛ-рівні. Виходи побудовані в основному за схемою з трьома станами.

Для зниження споживаної потужності деякі мікросхеми, наприклад К596РЕ1, допускають застосування режиму імпульсного живлення, за яким живлення на мікросхему подають тільки під час зчитування інформації.

22.3. Мікросхеми ППЗП

Мікросхеми програмувальних ПЗП за принципом побудови і функціонування аналогічні масковим ПЗП, але мають істотну відмінність у тому, що допускають програмування на місці свого застосування користувачем. Операція програмування полягає в руйнуванні (перегорянні) частини плавких перемичок на поверхні кристала імпульсами струму амплітудою 30...50 мА. Технічні засоби для виконання цієї операції досить прості й можуть бути побудовані самим користувачем. Ця обставина разом з низькою вартістю і доступністю мікросхем ППЗП зумовила їх значне поширення на практиці.

Мікросхеми ППЗП здебільшого виготовляють за ТТЛШ-технологією, і серед них переважає серія К556.

Типовий варіант реалізації мікросхеми ППЗП наведено на рис. 22.5. У всіх основних елементах вона повторює структуру ПЗПМ, але має додаткові пристрої $F_1 - F_4$ для формування струму програмування.

Матриця до програмування, тобто у вихідному стані, містить однорідний масив перемичок, що з'єднують рядки і стовпці в усіх точках їх перетинань. Перемички встановлюють з пікрому (наприклад, у мікросхемах серії К556), з полікристалічного силіцію (К541), із силіциду платини (К1608) та інших матеріалів. Перемичка в матриці виконує функцію ЕП. Наявність перемички кодуєть логічною «1», якщо підсилювач зчитування є повторювачем, і логічним «0», якщо підсилювач зчитування — інвертор. Отже, мікросхема ППЗП у вихідному стані перед програмуванням залежно від характеристики вихідного підсилювача може мати заповнення матриці або логічним «0», або логічною «1».

Програмування мікросхеми, матриця якої у вихідному стані заповнена 0, полягає в перегорянні перемичок у тих ЕП, де мають зберігатися 1. Якщо матриця у вихідному стані заповнена 1, то перегорять перемички в ЕП, де мають зберігатися 0.

Робота запрограмованої мікросхеми ППЗП у режимі зчитування нічим не відрізняється від роботи мікросхем ПЗПМ, розглянутих раніше. У деяких мікросхемах, зокрема КР556РТ5, КР556РТ17, є вивід для напруги програмування. У режимі зчитування цей вивід не задіяний.

Різновидом ППЗП є програмувані перегоранням плавких перемичок логічних матриць (ПЛМ), виконаних за ТТЛШ-тех-

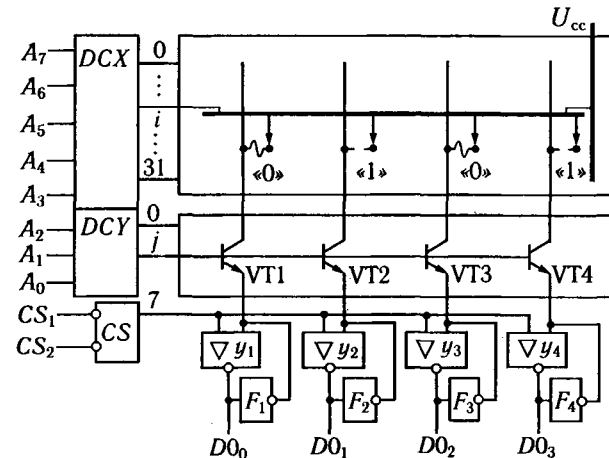


Рис. 22.5. Побудова мікросхеми ППЗП

нологією, K556PT1 і K556PT2, що мають ідентичні характеристики і конструктивні параметри, але відрізняються типом виходу: в першій мікросхемі вихід з відкритим колектором, у другій — на три стани. Ці мікросхеми ПЛМ мають 16 входів $A_{15} - A_0$ для змінних, над якими ПЛМ виконує запрограмовані операції, вхід CS з нульовим рівнем дозволу, вхід PR дозволу запису, тобто програмування, і вісім виходів. Структура мікросхеми (рис. 22.6) складається з операційної частини (матриці І та АБО), вхідних і вихідних підсилювачів і програмувальної частини з адресними формівниками $FA1$, $FA2$ і дешифраторів $DC PR$.

В основі ПЛМ (рис. 22.7) — матриці І та АБО. Матриця І виконує операції кон'юнкції над 16 вхідними змінними та їх інверсними значеннями, що надходять на рядкові шини матриці. Потрібні логічні добутки формуються на шинах стовпців унаслідок перегорання непотрібних перемичок між рядками і стовпцями (на рис. 22.7 залишені перемички позначені точками).

Число стовпців 48, отже, на виході матриці І можна отримати до 48 логічних добутків, у кожне з яких може входити до 16 змінних та їхніх інверсій. Матриця АБО виконує операцію диз'юнкції над логічними добутками, сформованими матрицею І. Число виходів цієї матриці 8, тому вона здатна сформувати до восьми логічних сум, у кожен з яких може входити до 48 логічних добутків. Отже, можливості ПЛМ характеризуються числом точок комутації (у цьому прикладі 1920). Програмування матриці АБО виконується так само, як і матриці І, уна-

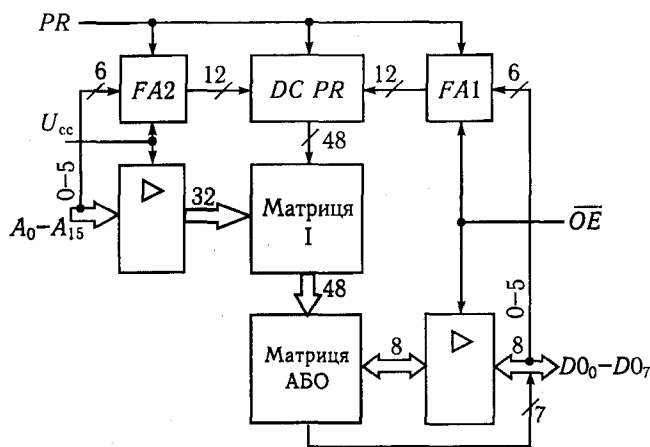


Рис. 22.6. Структура мікросхеми ПЛМ

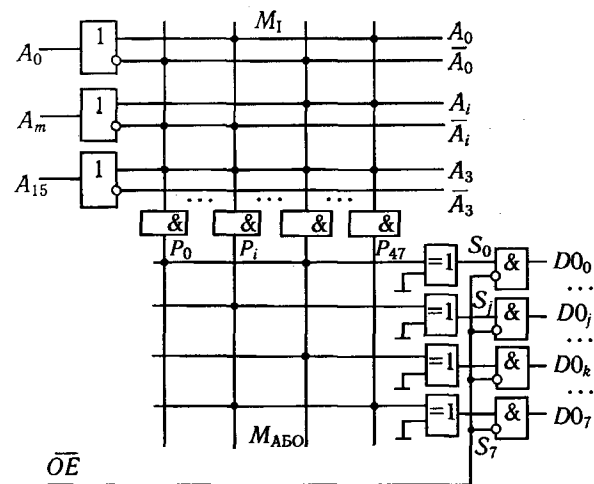


Рис. 22.7. Функціональна схема ПЛМ

слідок перепалювання непотрібних перемичок. На виходах матриці АБО розміщені програмувальні підсилювачі, які залежно від стану перемички можуть передавати значення вихідної функції у прямій чи інверсній формі подання.

Для програмування призначені вбудовані в мікросхему вузли програмувальної частини, які збуджує сигнал дозволу PR . Програмування здійснюють способом, аналогічним програмуванню ППЗП, у три етапи: спочатку програмують матрицю І, потім матрицю АБО і вихідні інвертори.

Широко застосовують ПЛМ, програмувальні за способом замовленого фотшаблону на заводі-виготовлювачі. Такі ПЛМ є різновидом маскових ПЗП. Вони належать, зокрема, до складу багатьох мікропроцесорних комплектів як ПЗП мікрокоманд. На основі ПЛМ можна будувати різні цифрові пристрої як комбінаційного, так і послідовного типів.

22.4. Мікросхеми РПЗП

Характерною особливістю мікросхем РПЗП є їх здатність до багаторазового (від 100 до 10 тис.) перепрограмування самим користувачем. Ця властивість мікросхем забезпечена застосуванням ЕП із властивостями керованих перемичок, функції яких виконують транзистори зі структурою МНОН (метал Al — нітрид силіцію Si_3N_4 — оксид силіцію SiO_2 — напівпровідник Si) і транзистори n -МОН із плаваючим затво-

ром (ПЗ) з використанням механізму лавинної інжекції заряду ЛІЗМОН.

Усю номенклатуру мікросхем РПЗП можна поділити на дві групи: РПЗП із записом і стиранням електричними сигналами (група ЕС) та РПЗП із записом електричними сигналами і стиранням ультрафіолетовим випромінюванням (група УФ).

Елемент пам'яті зі структурою МНОН є МДН-транзистором з індукованим каналом p -типу (рис. 22.8, а) або n -типу, що має двошаровий діелектрик під затвором. Верхній шар формують з нітриду силіцію, нижній — з оксиду силіцію, причому нижній шар значно тонший за верхній.

Якщо до затвору відносно підкладки прикласти імпульс напруги позитивної полярності з амплітудою 30...40 В, то під дією сильного електричного поля між затвором і підкладкою електрони набувають достатньої енергії, щоб пройти тонкий діелектричний шар до межі поділу двох діелектриків. Верхній шар (нітриду силіцію) має значну товщину, тому електрони подолати його не можуть.

Накопичений на межі поділу двох діелектричних шарів заряд електронів знижує граничну напругу і зміщує передатну характеристику транзистора ліворуч (рис. 22.8, б). Цей

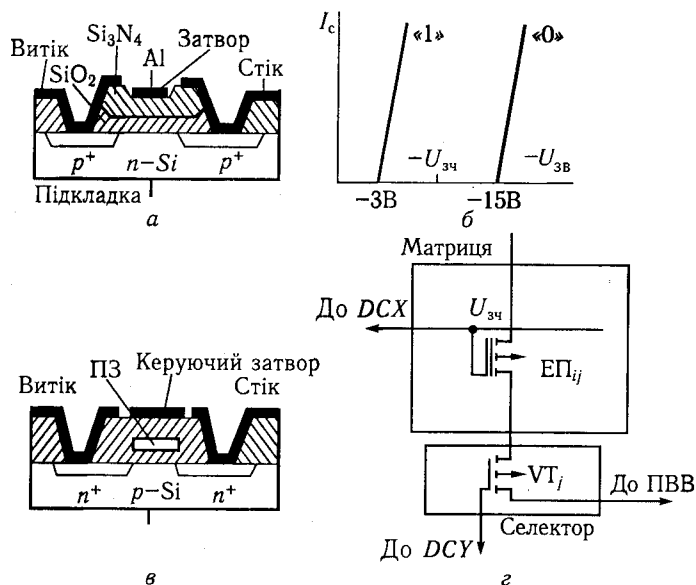


Рис. 22.8 Елементи пам'яті РПЗП:

а — типу МНОН; б — передавальна характеристика; в — типу ЛІЗМОН; г — розміщення ЕП у матриці мікросхеми

стан ЕП відповідає логічній «1». Режим занесення заряду під затвор називають *режимом програмування*.

Логічному «0» відповідає стан транзистора без заряду електронів у діелектрику. Щоб забезпечити цей стан, на затвор подають імпульс напруги від'ємної полярності з амплітудою 30...40 В. При цьому електрони витісняються в підкладку. За відсутності заряду електронів під затвором передавальна характеристика зміщується в область високих граничних напруг. Режим витиснення заряду з підзатворного діелектрика називають *режимом стирання*.

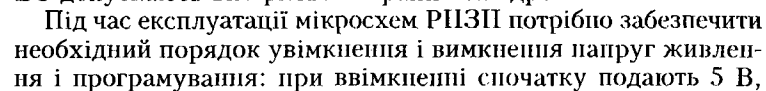
Режим стирання і програмування можна здійснити за допомогою напруги однієї полярності: негативної для p -МНОН, позитивної для n -МНОН структур. Ця можливість ґрунтується на використанні явища лавинної інжекції електронів під затвор, що відбувається, якщо до джерела і стоку прикласти імпульс негативної напруги 30...40 В, а затвор і підкладку з'єднати з корпусом. У результаті електричного пробоя переходів джерело — підкладка і стік — підкладка відбуваються лавинне розмноження електронів та інжекція деяких з них, які мають достатню кінетичну енергію («гарячих» електронів), на границю між шарами діелектриків. Для стирання потрібно подати імпульс негативної напруги на затвор. У режимі зчитування на затвор подають напругу $U_{3ч}$, значення якої лежить між двома граничними рівнями. Якщо в ЕП записана 1, транзистор відкривається, якщо 0 — залишиться в закритому стані. Залежно від цього, як видно з рис. 22.8, г, у розрядній шині або буде проходити струм на вихід, або ні. Підсилювач зчитування трансформує стан шини в рівень напруги 1 або 0 на виході мікросхеми.

Для поліпшення характеристик РПЗП широко застосовують технологію виготовлення ЕП на n -МНОН транзисторах. Такі ЕП улаштовані аналогічно розглянутим, але мають провідність підкладки p -типу, а джерело і стік — n -типу.

Варіант ЕП на структурі ЛІЗМОН з подвійним затвором (рис. 22.8, в) є n -МОН транзистором, у якого в одпорідному підзатворному діелектрику SiO_2 сформована ізольована провідна область з металу або полікристалічного силіцію. Цей затвор називають *плаваючим*.

У режимі програмування на керуючий затвор, джерело і стік подають імпульс напруги 21...25 В позитивного заряду. У зворотному зміщених p — n -переходах виникає процес лавинного розмноження носіїв заряду та інжекція частини електронів у ПЗ. У результаті накопичення на ПЗ негативного заряду передавальна характеристика транзистора зміщується в область високої граничної напруги (праворуч), що відповідає запису 0.

Селектором керують чотири молодших розряди адресного коду, які після дешифрування забезпечують вибірку одного 8-розрядного слова з 16 слів, що містяться у вибраному рядку.



потім — 12 В і останньою — напругу програмування; при вимкненні послідовність змінюється на обернену. Можна всі три напруги вмикати і вимикати одночасно.

Перевагою мікросхем РПЗП групи ЕС є можливість програмування без вилучення їх із пристрою, де вони працюють. Іншою позитивною властивістю мікросхем цієї групи є значне число циклів перепрограмування, що досягає для більшості мікросхем 10 тис. Ця властивість разом з енергетичною незалежністю дає змогу їх широко використовувати в апаратурі як вбудовані ПЗП зі змінюваною інформацією.

У побудові і режимах роботи мікросхем РПЗП-УФ багато спільного з мікросхемами групи ЕС. Винятком є режим стирання, для реалізації якого потрібне джерело УФ випромінювання. Для стирання записаної інформації мікросхему вилучають з контактного пристрою, замикають усі її виводи смужкою фольги і поміщають під джерело УФ випромінювання.

Подальший розвиток технології ПЛМ сприяв створенню програмувальних логічних інтегральних схем (ПЛІС). Реалізовані ними функції можна багаторазово змінювати, нерідко для цього навіть не потрібно вилучати мікросхему з пристрою, в якому вона працює.

Кристал ПЛІС містить значну кількість однотипних логічних елементів. Елементи з'єднують в потрібному порядку за допомогою перемикачів на польових транзисторах. У кожному логічному елементі є перемикачі (мультиплексори), за допомогою яких під час програмування можна змінювати виконувані функції.

Майже всі зовнішні виводи ПЛІС є універсальними. Кожний може бути або входом, або виходом. Деякі виводи мають додаткові функції, наприклад програмування конфігурації мікросхеми, проте це не виключає їх використання як звичайного входу або виходу.

За внутрішньою структурою і способом запам'ятовування конфігурації ПЛІС фірми XILINX можна поділити на два види: FPGA (*field programmable gate array* — матриця вентилів, програмувальних електричним полем) і CPLD (*complex programmable logic device* — складна програмувальна логічна матриця).

До FPGA належать мікросхеми серій XC2000, XC3000, XC4000, XC5200, XC6000 і Spartan. Подібно до ОЗП, вони зберігають задану конфігурацію лише за ввімкненого живлення і «забувають» її після вимикання. Щоразу, вмикаючи живлення, таку ПЛІС потрібно програмувати заново. Програму зазвичай зберігають у встановленому на одній платі з ПЛІС завантажувальному ПЗП, який може бути послідовним

1-розрядним або звичайним 8-розрядним. Спосіб завантаження конфігурації задають логічними рівнями на керуючих входах. Процедура перезапису виконується автоматично, після чого ПЛІС переходить у робочий режим.

До CPLD належать мікросхеми серій XC7000 і XC9500. Вони зберігають конфігурацію незалежно від наявності напруги живлення. У мікросхему XC7000 конфігурацію заносять за допомогою пристрою для програмування, а стирають УФ випромінюванням. Такі ПЛІС установлюють зазвичай у налагоджені пристрої. Для налагодження нових виробів вони незручні внаслідок тривалої (до години) процедури очищення.

Мікросхеми серії XC9500, виконані за технологією FLASH, можна неодноразово програмувати, не вилучаючи з пристрою. Для цього в них передбачений спеціальний порт JTAG. Щоб записати вихідну конфігурацію або внести зміни, виводи цього порту через кілька буферних мікросхем з'єднують кабелем з портом LPT персонального комп'ютера.

Порт JTAG призначений не тільки для програмування, а й через нього комп'ютер може отримати інформацію про логічні рівні на всіх виводах ПЛІС і в контрольних точках усередині її. Можливість організувати такий порт передбачена і в ПЛІС структури FPGA останніх серій. Виводи мікросхеми, зайняті портом JTAG, можуть бути і звичайними входами-виходами.

Контрольні запитання і завдання

1. У чому призначення ПЗП?
2. Як складені схеми ПЗП і на яких ЕП вони виконуються?
3. Як можна задавати 0 і 1 у матричних ПЗП?
4. Як програмується одноразово програмувальні ПЗУ?
5. На яких елементах виконуються РПЗУ?
6. Поясніть принцип роботи ЕП РПЗУ.
7. Як здійснюється запис інформації в РПЗУ?
8. Назвіть цифрові схеми, що можуть належати до програмувальних логічних пристроїв.
9. Які основні складові ПЛІС?
10. Чим пояснюється функціональна гнучкість ПЛІС?
11. У чому призначення ОЗП?
12. Назвіть основні параметри ЗП.
13. Що таке елементарна запам'ятовувальна комірка?
14. У чому полягає принцип побудови ІС ОЗП з 1-розрядною та із словниковою організацією?
15. Наведіть приклади енергонезалежних ЕП для побудови ОЗП.
16. Наведіть структуру ІС динамічного ОЗП.
17. У чому полягає особливість динамічних ОЗП?

23.1. Завади і завадостійкість цифрових пристроїв

У міру вдосконалювання пристроїв цифрової техніки набувають поширення для автоматизації керування різними об'єктами: верстатами, технологічним устаткуванням, агрегатами на транспорті, побутовою технікою. При цьому в безпосередній близькості виявляються електронні пристрої і потужні агрегати, такі як електродвигуни, електромагніти, електронагрівальні прилади, зварювальні машини тощо. Тому все більшого значення набуває проблема зменшення шумів і забезпечення завадостійкості електронних пристроїв. Ця проблема пов'язана не тільки зі збільшенням зовнішніх завад від розміщених поблизу агрегатів, а й зі збільшенням внутрішніх завад — взаємного впливу елементів і блоків електронних пристроїв один на одного. Останнє особливо важливе у зв'язку з тенденцією підвищення швидкодії і мікромініатюризацією електронних схем.

Цифровий пристрій становить мережу з'єднаних між собою елементів. Електричне коло, що з'єднує вихід одного елемента (джерела сигналу) із входом іншого елемента (приймача сигналу), утворює контур, що є своєрідною антеною, яка перетворює зміну електромагнітного поля на ЕРС і струм у контурі. Під дією цієї ЕРС на вході елемента-приймача виникає завада, що залежить від площі контуру, швидкості зміни електромагнітного поля, вихідного опору елемента-джерела і вхідного опору елемента-приймача. Завади, створювані електромагнітним полем, розглядають для досить віддалених джерел, якими звичайно є порівняно потужні агрегати. Крім них є також джерела завад, розміщені в безпосередній близькості від вхідних кіл елемента. Це сусідні провідники, що мають із розглянутим колом розподілений індуктивний і ємнісний зв'язок. Завади, спричинені впливами внаслідок цих зв'язків під час передавання сигналів по сусідніх колах, називають *перехресними*.

Елементи, що належать до складу цифрового пристрою, підключаються до спільних джерел живлення. При цьому створюються завади через спільний вихідний опір $R_{\text{ж}}$ джерела живлення й опір шин $R_{\text{ш}}$, що підводять живлення (рис. 23.1).

Шини, що підводять живлення, мають розподілені параметри: ємність, індуктивність і опір. Еквівалентну схему шини живлення елементів транзистор-транзисторної логіки (ТТЛ) зображено на рис. 23.2.

Припустимо, що індуктивність провідника, який з'єднує виводи живлення двох поряд розміщених мікросхем, становить 20 нГ, а ємність мікросхеми між виводом живлення і виводом «землі» — 30 пФ. Хвильовий опір такої системи шин із підключеними мікросхемами становить 36 Ом. На рис. 23.3 зображено типову діаграму імпульсів завади в такій шині живлення. Спад напруги на спільних для всіх елементів опорах $R_{\text{ж}}$ і $R_{\text{ш}}$ (див. рис. 23.1) змінює напругу, яка підводиться до елементів. Ці збільшення напруги живлення з деяким послабленням передаються на вихід елемента і зумовлюють заваду. Найбільші завади створюються опорами ділянок нульової (земляної) шини. З рис. 23.1 видно, що спад напруги Δu на опорі $R_{\text{ш}1}$ є завадою, що діє в колі передавання сигналу з виходу елемента E1 на вхід елемента E2.

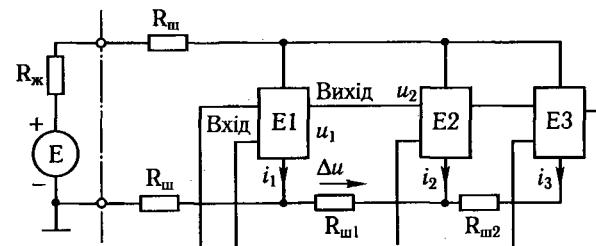


Рис. 23.1. Зв'язок елементів через спільне джерело живлення та шини підводу

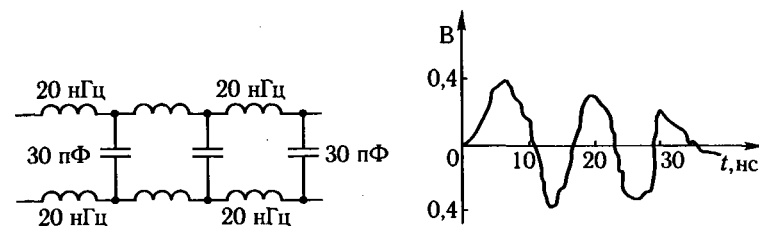


Рис. 23.2. Еквівалентна схема шини живлення логічних елементів

Рис. 23.3. Діаграма імпульсів завади в шинах живлення

Завадостійкість логічного елемента є мірою його здатності не реагувати на помилкові входні сигнали, спричинені електромагнітними наведеннями на входне коло, перехресними завадами і завадами в шинах живлення. Оскільки всі типи логічних елементів утримують інерційні компоненти (транзистори, діоди, магнітні стрижні), для перемикавання яких потрібна певна енергія входного сигналу, запас завадостійкості елемента для тривалих і короткочасних завад неоднаковий.

Підвищення завадостійкості пристроїв можна забезпечити, з одного боку, вибираючи елементи підвищеної завадостійкості, а з другого — зменшуючи рівень завад на входах елементів за рахунок відповідних конструктивних і схемних заходів.

Завадостійкість елемента тим вища, чим більші входні напруги і струм, потрібні для його перемикавання, і чим більша тривалість перемикавання. Узагальнюючи ці показники, можна розглянути енергію, потрібну для перемикавання. Зокрема, енергія перемикавання магнітних елементів з діодами на 2–3 порядки вища за енергію перемикавання потенційних елементів інтегральних мікросхем. Однак під час вибору елементної бази доводиться враховувати й інші фактори: швидкодію, вартість, рівень інтеграції, номенклатуру операційних елементів і функціональних блоків, технологічність виробництва апаратури. Для зменшення завад уживають таких заходів: зменшення площі контуру кіл, екранування з'єднань, заземлення, фільтрацію, обмеження швидкості перемикачів струму в колах, екранування блоків і пристроїв тощо.

Для зменшення завад, що виникають у цифрових логічних схемах, потрібно працювати із сигналами, що мають великі часи наростання і спаду, малу амплітуду, обмежити число сигналів, що одночасно перемикаються, та застосовувати ефективні методи шунтування і заземлення. Для підвищення стійкості схем до зовнішніх завад слід застосовувати повільні схеми синхронізації з тригерами Шмітта на вході. Якщо система має довгі кабелі, потрібно використовувати диференційні передавальні і приймальні пристрої, з'єднані симетричними лініями зв'язку, щоб знизити рівень створюваних і сприйманих завад.

Шунтувальні конденсатори — джерела імпульсного струму, споживаного цифровими схемами під час перемикавання, — зменшують спад напруги в колах живлення та заземлення і сприяють фільтрації завад, які створюють джерела живлення і заземлення. На рис. 23.4, а зображено традиційний простий спосіб шунтування, застосовуваний у цифрових схемах. Оксидний шунтувальний конденсатор великої ємності

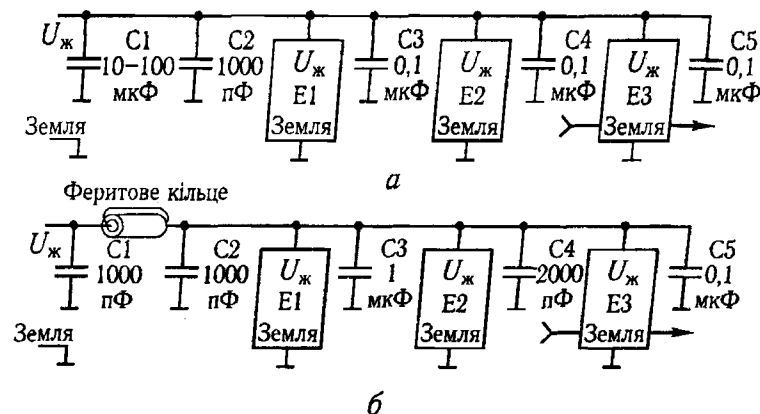


Рис. 23.4. Види шунтування в цифрових ІС:

а — традиційна схема фільтрації завад; б — схема шунтування з П-подібним фільтром

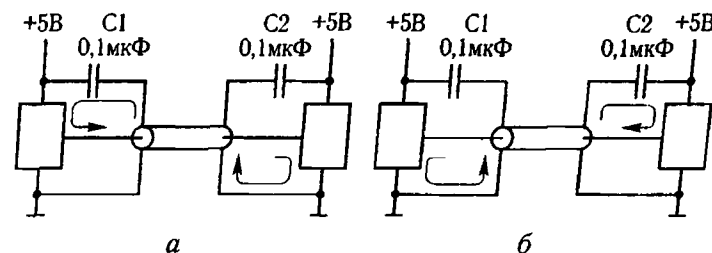


Рис. 23.5. Шунтування елементів, які передають і приймають сигнали за межі друкованої плати:

а — при переході від нижнього до верхнього логічного рівня; б — при переході від верхнього до нижнього логічного рівня

(10...100 мкФ, 1 мкФ на кожену схему) міститься поблизу джерела живлення. Поряд із кожною тригерною ІС розміщений керамічний шунтувальний конденсатор ємністю 0,1 мкФ, а до швидкодіючих схем приєднуються також керамічні шунтувальні конденсатори малої ємності (100...1000 пФ). Кожна схема, що передає сигнали за межі друкованої плати, на якій вона розміщується, або приймає сигнали через межі друкованої плати, має керамічний шунтувальний конденсатор ємністю 0,1 мкФ між джерелом живлення і лінією зворотного струму сигналу (рис. 23.5). На частку інших ІС припадають керамічні шунтувальні конденсатори ємністю 0,01...0,1 мкФ, причому на 5 ІС припадає принаймні один конденсатор. Недолік такого способу шунтування полягає в тому, що шунтувальні конденсатори слабо фільтрують завади з частотою вищою ніж 10 МГц унаслідок низьких власних резонансних частот.

Іншу схему шунтування зображено на рис. 23.4, б. Конденсатори C_1 , C_2 та феритове кільце утворюють П-подібний фільтр, що послаблює високочастотні завади в друкованій платі. До кожної схеми, що передає сигнали за межі друкованої плати або приймає сигнали, що надходять на плату ззовні, приєднується керамічний шунтувальний конденсатор ємністю 0,1 мкФ, який розміщується між джерелом живлення $U_{\text{ж}}$ і лінією зворотного струму (див. рис. 23.5). Усі інші ІС забезпечуються керамічними шунтувальними конденсаторами з певною ємністю:

$$C \geq 4,5nC_n,$$

де n — число виходів ІС; C_n — ємність навантаження, Ф.

Поблизу джерела живлення міститься танталовий оксидний конденсатор для фільтрації низькочастотних завад. Ємність останнього має принаймні в 10 разів перевищувати ємність інших конденсаторів у колі, разом узятих.

Таке розміщення компонентів забезпечує задовільне шунтування до частот 100 МГц і більше. Керамічні конденсатори повинні мати еквівалентну послідовну індуктивність меншу ніж 20 нГ і еквівалентний послідовний опір менший ніж 0,5 Ом. З урахуванням індуктивності виводів танталові (або полікарбонатів) конденсатори повинні мати еквівалентні послідовні індуктивність і опір відповідно менше ніж 30 нГ і менше ніж 1 Ом. Імпеданс феритового кільця за тактової частоти схеми не має перевищувати 10 Ом, а за частот, що перевищують тактову частоту ІС у 5 разів, імпеданс має перевищувати 50 Ом на робочому струмі. Найкращі результати здобувають, якщо провідник двічі пропускають крізь феритове кільце. Якщо імпеданс одного феритового кільця занадто малий, можна застосовувати послідовно кілька кілець або більш товсте кільце. Якщо схема допускає додатковий спад напруги, замість феритового кільця можна використовувати композиційний резистор опором близько 51 Ом.

У діапазоні частот 30 МГц...1 ГГц синхронізаційні тактові сигнали і їхні гармоніки є основною причиною випромінюваних завад. Парні гармоніки можна різко зменшити, якщо використовувати сигнали синхронізації з 50 % коефіцієнтом заповнення (якщо тривалість сигналів синхронізації приблизно дорівнює відстані між ними). Слід спробувати зменшити число ІС, керованих кожним тактовим сигналом. Якщо тактові сигнали мають надходити на кілька плат, як буфери бажано використовувати вхідні логічні елементи на тригерах Шмітта, а також обмежити розмах напруги і швидкість наростання (dU/dt) амплітуди основних сигналів синхронізації. Якщо сигнали синхронізації керуються перемикачами поза

платою, потрібно уникати безпосереднього керування сигналами синхронізації від цих перемикачів. Замість цього треба приєднати до перемикачів кола, які керують логічними елементами на платі, що, у свою чергу, будуть керувати тактовими сигналами. Зменшення завад від тактових сигналів будуть сприяти також їх рознесення по фазі та децентралізація.

Проблему завад можна вирішити внаслідок ретельної синхронізації системи. Для зменшення перехідних струмів, що виникають у джерелах живлення і пристроях заземлення, потрібно керувати невеликою групою мікросхем за допомогою рознесених тактових сигналів. Скороченню часу, протягом якого система найбільш зазнає впливу завад, сприяє застосування схем синхронізації вхідних сигналів; крім того, бажано стробування даних.

Кожний вхідний сигнал, що надходить на плату, потрібно подавати тільки на одну ІС (бажано із тригерами Шмітта на входах); це допоможе вирішити проблеми синхронізації. Вхідні кола на тригерах Шмітта підвищують заводо захищеність схем і полегшують оброблення сигналів із повільним наростанням амплітуди. Якщо вхідний сигнал надходить на стандартний логічний елемент, тривалість наростання і спаду слід підтримувати малими для запобігання паразитних коливань.

Особливу увагу слід приділяти сигналам, що виходять із плати. Виходи тригерів, лічильників і регістрів зсуву потрібно доповнювати логічними елементами буфера або підсилювачами-передавачами для вирішення проблеми відображень і викидів від неузгоджених ліній зв'язку. Пропущення із плати вихідних провідників крізь феритове кільце дасть змогу підключати до виходу неузгоджені лінії зв'язку більшої довжини. Сигнали, що виходять із плати, не повинні надходити на входи схем, що розміщені на цій платі. Якщо знехтувати ці правила, то можна натрапити на дуже серйозні проблеми завад, що виникають на вихідному передавачі.

Для запобігання відбиттю та викидам довгі лінії зв'язку мають узгоджуватися відповідно до їх характеристичного імпедансу. В цьому випадку корисним може виявитися послідовно приєднаний резистор за умови, що всі приймальні пристрої розміщені на далекому кінці лінії зв'язку (рис. 23.6, а). Резистор потрібно підібрати так, щоб при перемиканні сигналу в лінії зв'язку виникали лише незначні викиди. Подільник на резисторах на далекому кінці лінії зв'язку дасть змогу розміщувати приймачі в будь-якому її місці (рис. 23.6, б). Щоб зменшити завади в довгій кабельній мережі, потрібно застосовувати диференційні передавальні і приймальні пристрої із симетричними лініями зв'язку.

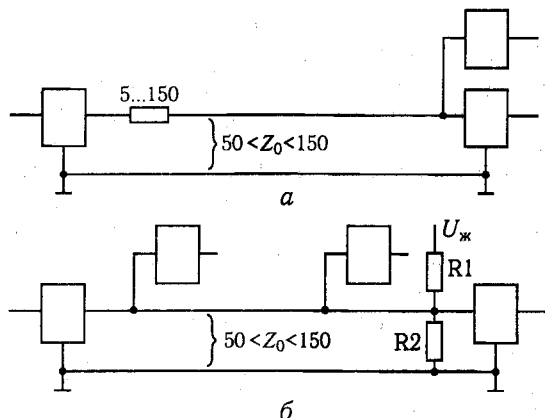


Рис. 23.6. Схеми узгодження довгих ліній зв'язку для зменшення відбиття:

а — з послідовно ввімкненим резистором; б — з подільником на резисторах на кінці лінії

В однострамованих лініях зв'язку потрібно підключати навантаження до далеких кінців (рис. 23.7, а), а в двострамованих — до обох (рис. 23.7, б). У симетричних лініях зв'язку з узгодженим навантаженням заглушення завад може досягти 70 дБ (3000 : 1) у діапазоні частот 0...100 кГц.

Приєднання узгодженого навантаження до кабелів, контактних площадок друкованих плат та проводів зв'язків має здійснюватися завжди, коли тривалість поширення сигналу перевищує половину тривалості наростання або спаду його амплітуди. Імпеданс узгодження плоских і коаксіальних кабелів, а також скручених пар становить приблизно 100 Ом ($75 \text{ Ом} \leq Z_0 \leq 120 \text{ Ом}$). Імпеданс узгодження контактних площадок друкованих плат має дорівнювати їхньому характеристичному імпедансу ($20 \text{ Ом} \leq Z_0 \leq 200 \text{ Ом}$).

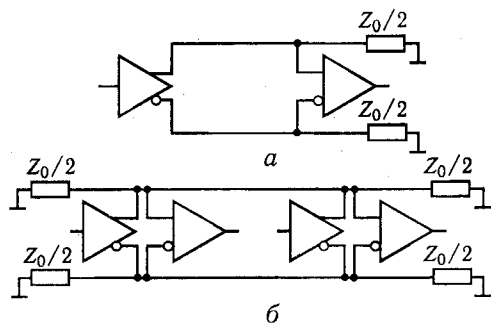


Рис. 23.7. Схеми підключення навантаження до симетричних ліній зв'язку:

а — однострамованих; б — двострамованих

Подільник на резисторах (рис. 23.8, а) може бути узгодженим навантаженням і подавати зсув на лінію зв'язку без додаткових джерел живлення. Наприклад, стандартні узгоджені навантаження для ТТЛ-схем становлять: $R_1 = 330 \text{ Ом}$ і $R_2 = 220 \text{ Ом}$, при цьому з вихідного опору 132 Ом знімається +2 В ($U_{\text{ж}} = +5 \text{ В}$); $R_1 = 150 \text{ Ом}$ і $R_2 = 470 \text{ Ом}$, при цьому з вихідного опору 114 Ом знімають +3,8 В та $R_1 = 120 \text{ Ом}$ і $R_2 = 470 \text{ Ом}$, при цьому з вихідного опору 96 Ом знімається +4 В.

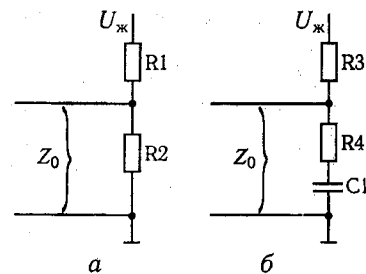


Рис. 23.8. Узгоджені навантаження для ліній зв'язку:

а — ТТЛ-схем; б — КМОН-схем

Більшість КМОН ІС не мають навантажувальної здатності, достатньої для приєднання подільників на резисторах. До них можна підключати резистор — ємнісний подільник, зображений на рис. 23.8, б, де $R_3 \approx 1 \text{ кОм}$, $R_4 \approx 330 \text{ Ом}$ і $C_1 \approx 1000 \text{ пФ}$.

Усі невикористані входи ІС мають перебувати або під високим, або під низьким потенціалом. Деякі системи передбачають можливість вимкнення невикористаних вузлів.

23.2. Рекомендації щодо монтажу інтегральних мікросхем

Однією з основних умов, що забезпечують надійну роботу електронної апаратури, сконструйованої із широким застосуванням цифрових інтегральних мікросхем, є дотримання правил щодо їх установлення, паяння і монтажу.

Основними елементами конструкції вузлів і блоків електронної апаратури, що дають змогу найповніше реалізувати переваги ІС, є друковані плати. Друковані плати використовують у масовому виробництві, а також для створення швидкодійних і малогабаритних систем. З їх допомогою можна збирати системи, вони компактні і мають хороші високочастотні характеристики. Їх основні недоліки — тривалий час конструювання і труднощі у процесі внесення конструктивних змін.

Конструювання монтажних плат умовно поділяють на вісім основних етапів:

- визначення розмірів і форми плати, а також положення з'єднувачів;

- визначення розміщення ІС;
- розміщення на платі кіл землі і живлення;
- розміщення дискретних компонентів;
- визначення топології кіл землі і живлення;
- розкладення кіл синхронізації;
- розкладення інших сигнальних кіл;
- остаточне доведення проекту.

Розмір і форму друкованих плат, а також положення з'єднувачів можна визначити, виходячи з фізичного проекту виробу.

У процесі розроблення конструкцій друкованих плат приймають деякі принципові рішення, пов'язані із вибором таких параметрів, як число позицій m для встановлення ІС, крок установлення ІС у горизонтальному hx і вертикальному hy напрямках, число зовнішніх виводів q та число прошарків для реалізації з'єднань s . Вибір цих параметрів пов'язаний з урахуванням економічних, технологічних, схематичних, технічних факторів і здійснюється за дослідними даними. При цьому порушення оптимальних співвідношень між параметрами істотно ускладнює процес конструювання і збільшує вартість розроблення апаратури.

Розглянемо основні співвідношення. Потрібне число зовнішніх виводів можна оцінити за формулою $q = cnr$, де c — середнє число виводів на ІС; n — число ІС на платі; $r = 0,57 \dots 0,75$. Найбільше значення n відповідає операційним пристроям паралельного типу, найменше — комбінаційним логічним схемам.

Кроки встановлення ІС у горизонтальному і вертикальному напрямках, що виражаються числом кроків між друкованими провідниками, можна знайти так:

$$hx = b + \frac{n_y c}{4}; \quad hy = a + \frac{n_x c}{4},$$

де a, b — відповідно розміри модуля вздовж вертикальної і горизонтальної осей плати, що виражаються числом кроків між друкованими провідниками; n_y — число ІС у стовпчику; n_x — число ІС у ряду; c — середнє число виводів у ІС.

Питома площа плати (на один модуль)

$$s = hxhy = ab + \frac{c}{4}(bn_x + an_y) + \frac{n_x n_y c^2}{16}.$$

Зі збільшенням числа модулів $n_x n_y$ питома площа s збільшується. При заданому числі елементів площа плати буде мінімальна, якщо $n_x = \frac{a}{b} n_y$. За цих умов конфігурація плати наближається до квадрата. Крім того, така форма сприяє змен-

шенню довжини провідників та полегшує її конструювання і виготовлення.

Максимальний розмір сторони друкованої плати як одно-, так і багатошарової не має перевищувати 500 мм. Це обмеження зумовлене вимогами міцності й щільністю монтажу: що більша плата, то менша щільність монтажу. На практиці друковані плати зі стороною до 100 товщини матеріалу діелектрика виготовляють без додаткових деталей, що підвищують її жорсткість. Для плат з більшими розмірами передбачають спеціальні заходи підвищення жорсткості (додаткові точки кріплення в пристрої, введення ребер жорсткості тощо). Співвідношення розмірів сторін друкованої плати для спрощення компоновання блоків і уніфікації розмірів друкованих плат рекомендуються такі: 1 : 1, 2 : 1, 3 : 1, 4 : 1, 3 : 2, 5 : 2. Наведені оцінки можуть бути початковою базою для вибору основних параметрів плати.

На другому етапі потрібно вирішити, де розмістити ІС. Від правильного розміщення корпусів мікросхем на друкованих платах залежать такі параметри приладу, як габаритні розміри, маса, надійність роботи. Чим щільніше будуть розміщуватися корпуси мікросхем на площині друкованих плат, тим складніше автоматизувати їхній монтаж, та тим жорсткішим буде температурний режим їх роботи, та тим більший рівень завад буде наводитися в сигнальних зв'язках. І навпаки, що більша відстань між мікросхемами, то менш ефективно використовується фізичний об'єм і тим більша довжина зв'язків. Тому при встановленні мікросхем на друковані плати слід урахувати всі наслідки вибору того або іншого варіанта їх розміщення.

Вибір кроку встановлення мікросхем на друкованій платі зумовлений потрібною щільністю компоновання мікросхем в апаратурі, температурним режимом роботи, методом розроблення топології друкованих плат (ручний, машинний), складністю принципової електричної схеми і конструктивних параметрів корпусу мікросхеми. Незалежно від типу корпусу крок установлення мікросхем рекомендується брати кратним 2,5 мм. При цьому зазори між корпусами не повинні бути меншими ніж 1,5 мм. У технічно обгрунтованих випадках крок установлення мікросхем може бути кратним 1,25 мм.

На друкованих платах потрібно дотримуватися лінійно-багаторядного розміщення ІС. Однак допускається їх розміщення в шаховому порядку, оскільки таке розміщення корпусів мікросхем дає змогу автоматизувати процеси складання і контролю, ефективніше використовувати корисну площу друкованої плати і прямокутну систему координат для визначення місця монтування корпусів.

Мікросхеми зі штировими виводами в корпусах слід встановлювати тільки з одного боку друкованої плати. Це пояснюється тим, що монтаж штирових виводів зазвичай роблять у наскрізні металізовані отвори, причому кінці виводів виступають на зворотному боці плати. Встановлення мікросхем у корпусах зі штировими виводами на друковану плату роблять із зазором 1,0...2,0 мм або з електроізоляційною прокладкою завтовшки 1,0...1,5 мм, попередньо приклеюючи їх до поверхні друкованої плати. Прокладку потрібно розміщувати під усією площею основи корпусу або між виводами на площі не менше ніж $2/3$ основи, при цьому вона має виключати можливість стикання виступних виводів. Зазор між корпусом ІС і платою має бути не більшим ніж 1,5 мм; зазор між корпусами ІС має бути не меншим ніж 1,6 мм; виступні частини виводів мають розміщуватися над поверхнею плати в межах 0,5...1,0 мм (якщо в ТУ не передбачено інше). Рекомендований крок установа мікросхеми на вузькому боці корпусу становить 10 мм, на широкому — 25 мм (рис. 23.9).

Під час встановлення ІС на друковані плати часто виникає потреба у формуванні виводів. Вимоги до формування наведено в технічній документації. Для мікросхем зі штировими виводами плата має формуватися з радіусом вигину не меншим ніж $2d$ (d — діаметр виводу) і відстанню від корпусу мікросхеми до центра кола вигину не меншою ніж 1 мм (якщо в технічних умовах не передбачено інше). Штирові виводи утримують корпус мікросхеми досить міцно і витримують практично будь-які механічні впливи.

Мікросхеми з планарними виводами також рекомендується встановлювати з одного боку друкованої плати, лише в технічно обґрунтованих випадках допускається їх установа по обидва боки плати. Існує три варіанти встановлення корпусів мікросхем у корпусах із площинними виводами на

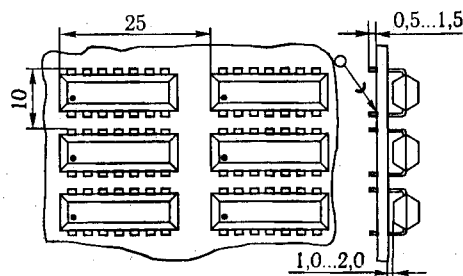
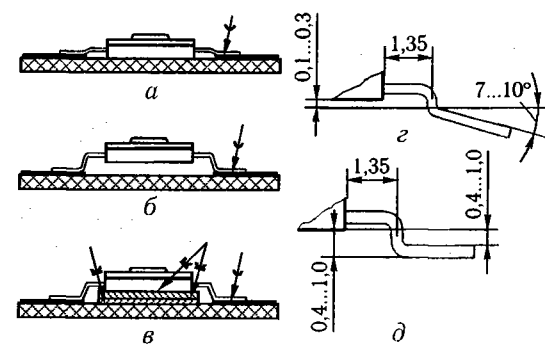


Рис. 23.9. Схема встановлення мікросхем зі штировими виводами на друковану плату

Рис. 23.10. Схема встановлення на друковану плату корпусів мікросхем з площинними виводами: а — без зазору; б — із зазором; в — із прокладкою; г — формування виводів для встановлення із зазором; д — формування виводів для встановлення без зазору



друковані плати (рис. 23.10, а—в): без зазору (формування за рис. 23.10, г), із зазором і на прокладку (формування за рис. 23.10, д).

У процесі монтажу без зазору корпус мікросхеми встановлюють на друковану плату, виводи орієнтують щодо контактних площадок і припаюють. Корпус утримується на виводах або його приклеюють до поверхні плати пітроклеєм або епоксидним клеєм. У деяких випадках допускається встановлення ІС упритул на платі або із зазором не більшим ніж 0,7 мм (якщо в ТУ не передбачено інше).

У разі встановлення мікросхем із зазором корпус утримується на платі на припаяних виводах, а в разі встановлення на прокладку використовують ізоляційні або металеві матеріали. За ізоляційну прокладку можна використовувати смужки тонкого (до 0,3 мм) склотекстоліту або перфоровану плівку з вікнами під виводи мікросхем. Прокладку приклеюють до поверхні друкованої плати, а на ній приклеюють корпуси мікросхем. Металева прокладка призначена для відводу тепла й виконує роль екрана. Щоб уникнути виникнення коротких замикань між друкованими провідниками на платі, металеву прокладку ізолюють від поверхні плати спеціальною плівкою.

Варіанти встановлення мікросхем у корпусах із площинними виводами наведено на рис. 23.11. Крок установа на вузькому боці корпусу становить 17,5 мм, на широкому — 15 мм.

Площинні виводи утримують корпус мікросхеми тільки через адгезію металізованих контактних площадок з матеріалом плати. Оскільки ці сили порівняно невеликі, а маса корпусу може виявитися істотною за великих переваптажень, то для пристроїв, які зазнають підвищеного впливу ударів і вібрації, потрібно передбачати додаткові заходи кріплення корпусів із площинними виводами.

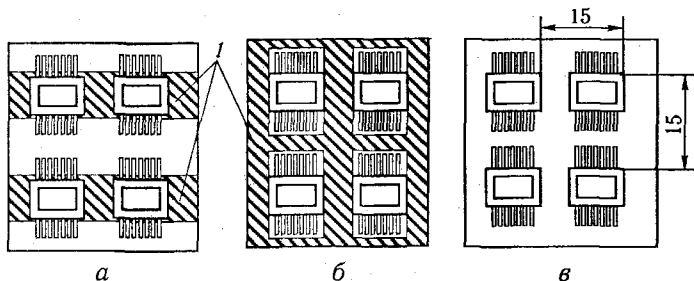


Рис. 23.11. Варіанти встановлення мікросхем у корпусах із площинними виводами:

a — на полоскових прокладках; *б* — на прокладку з вікнами; *в* — без прокладки; 1 — прокладка

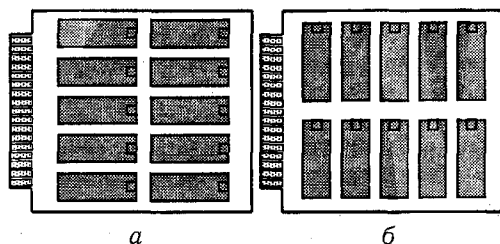


Рис. 23.12. Переважна орієнтація ІС на друкованих платах:
a — двобічні друковані плати; *б* — те саме, багатошарові

Слід також урахувати належну орієнтацію ІС та інших великих компонентів. Так, на двобічних платах ІС потрібно розміщувати паралельно з'єднувачам (рис. 23.12, *a*), а у випадку багатошарових плат — паралельно більшій осі плати (рис. 23.12, *б*).

Установлення та кріплення мікросхем на друкованих платах мають забезпечувати їх нормальну роботу в умовах експлуатації апаратури. Мікросхеми слід віддаляти від елементів, які під час роботи виділяють велику кількість теплоти. Їх не дозволяється розміщувати в магнітних полях постійних магнітів, трансформаторів і дроселів.

Зв'язані між собою схеми встановлюють поряд, однак при цьому потрібно чутливі схеми розміщувати якнайдалі від схем, в яких велика ймовірність виникнення завад. Швидкодіючі логічні схеми (кола синхронізації, зовнішні логічні кола) примикають до основного з'єднувача, схеми інтерфейсу — до з'єднувача інтерфейсу, а аналогові схеми ізольовані від цифрових (рис. 23.13). Матриці запам'ятовувальних пристроїв потрібно поділити навпіл, а в проміжку між ними слід розмістити схеми обрання.

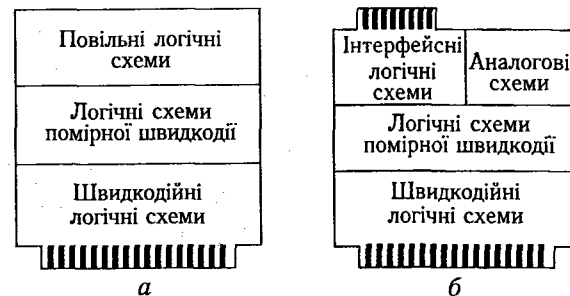


Рис. 23.13. Розміщення компонентів на друкованих платах:
a — процесорна плата; *б* — плата інтерфейсу; *в* — плата ПЗП



Для правильної орієнтації ІС на друкованій платі мають бути передбачені перемикачі, що визначають положення першого виводу кожної мікросхеми (рис. 23.14). Мікросхеми з відстанню між виводами, кратною 2,5 мм, слід розміщувати на друкованій платі так, щоб їх виводи збігалися з вузлами координатної сітки; якщо відстань між виводами ІС не кратна 2,5 мм, їх треба розміщувати так, щоб один чи кілька виводів мікросхеми збігалися з вузлами координатної сітки.

На третьому етапі потрібно скласти схему живлення і кіл заземлення, використовуючи такі варіанти: 1) площинні лінії передавання; 2) паралельні шини; 3) площини заземлення (рис. 23.15).

Копланарні лінії добре зарекомендували себе в платах з монтажем пакручуванням та двобічних друкованих платах. Паралельні шини сприяють зменшенню завад, однак у них має бути спеціальна форма. Шини можна розміщувати під ІС або паралельно ним. Вони здатні витримувати струм 2,5...15 А, мають розподілені ємність (0,001...2 мкФ/м) і індуктивність (14...35 нГ/м), а імпеданс джерело живлення — земля

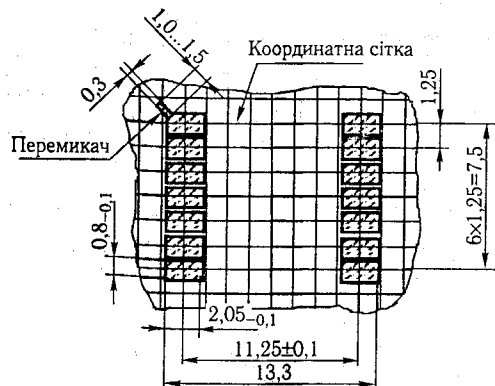


Рис. 23.14. Розмітка місць розміщення для ІС з площинними виводами

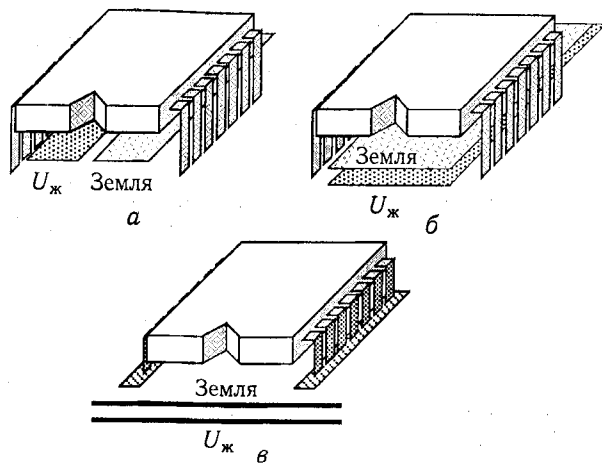


Рис. 23.15. Розміщення шин живлення і заземлення:
а — копланарні лінії; б — паралельне розміщення шин; в — площина заземлення

становить 0,15...5 Ом. Для зменшення завад на шинах заземлення контактні площадки схем заземлення мають бути великими і розміщуватися перпендикулярно до шин.

У багатошарових друкованих платах можна використовувати суцільні шари заземлення і шари живлення; можна також розподілити шари живлення між кількома джерелами. Для надійнішого захисту від завад верхні й нижні шари плати мають бути шарами заземлення або живлення, а сигнальні шари слід поміщати в середині. Шар живлення над шаром

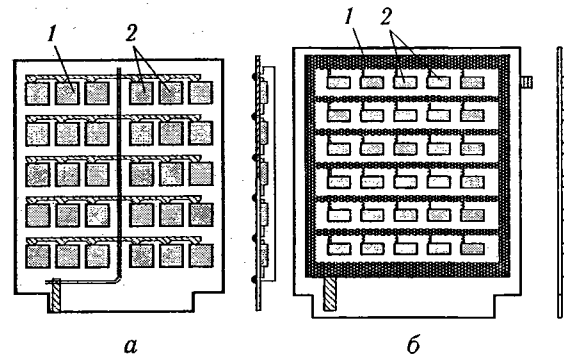


Рис. 23.16. Приклади схеми встановлення шини живлення (заземлення):

а — перпендикулярно до площини плати; б — паралельно до площини плати; 1 — навісна шина живлення; 2 — живлення до ІС

заземлення має розподілену ємність 0,1...10 мкФ/м² і малу індуктивність. У платах типу Multiwire використовують тільки шари заземлення та живлення, а як сигнальні лінії застосовують тонкий провід в ізоляції.

З метою розвантаження друкованого монтажу і зменшення числа шарів плати живлення до мікросхем можна підводити за допомогою навісних шин. Число шин може дорівнювати числу номіналів джерел живлення. Застосовують два способи встановлення таких шин — перпендикулярно до площини плати і паралельно до неї.

На рис. 23.16, а схематично зображено приклад установлення навісної шини живлення 1, перпендикулярної до площини плати. Живлення 2 до ІС підводиться короткими друкованими провідниками, що відходять від відводів навісної шини, запаяних у металізовані отвори плати. Шина сполучена відводом з контактом роз'єднання, до якого підводиться живлення.

На рис. 23.16, б схематично зображено конструкцію, в якій навісна шина живлення 1 паралельна до площини плати. Подавання живлення 2 до ІС здійснюється індивідуальними відводами. Для кріплення шини потрібно передбачати спеціальні стояки.

Четвертий етап полягає в розміщенні компонентів у кожній схемі. Якщо компонент належить відразу до кількох схем, то його встановлюють поблизу спільної межі. Об'єми конденсатори та феритові кільця слід помістити якнайближче до виводів живлення і заземлення з'єднувачів. Шунтувальні конденсатори, розв'язувальні кола, а також кола зменшення ду-

гового розряду та викидів напруги мають розміщуватися на мінімальному віддаленні (не більше ніж 37 мм) від компонентів, що потребують відповідного захисту. Шунтувальні конденсатори монтують безпосередньо під ІС, що дає змогу не змінювати топологію плати.

П'ятий етап — вибір розміщення контактів силових ліній та ліній заземлення. Треба звернути увагу на топологію плат, до недоліків якої належать протяжні контури проходження струму, висока паразитна індуктивність між силовими лініями та лініями заземлення. На цьому етапі дістав поширення метод зменшення спільних ділянок проходження струмів елементів по шинах живлення. Цей метод полягає в установленні додаткових перемичок у шинах живлення і заземлення, які зменшують довжину спільних ділянок проходження струмів елементів.

Варіанти з'єднання елементів шиною живлення і заземлення наведено на рис. 23.17. У першому варіанті (рис. 23.17, а) перемикання елемента, наприклад Е12 (зміна струму споживання схеми), призводить до виникнення паразитного наведення в інших одинадцяти елементах по шині живлення і заземлення. У другому варіанті (рис. 23.17, б) ця завада в

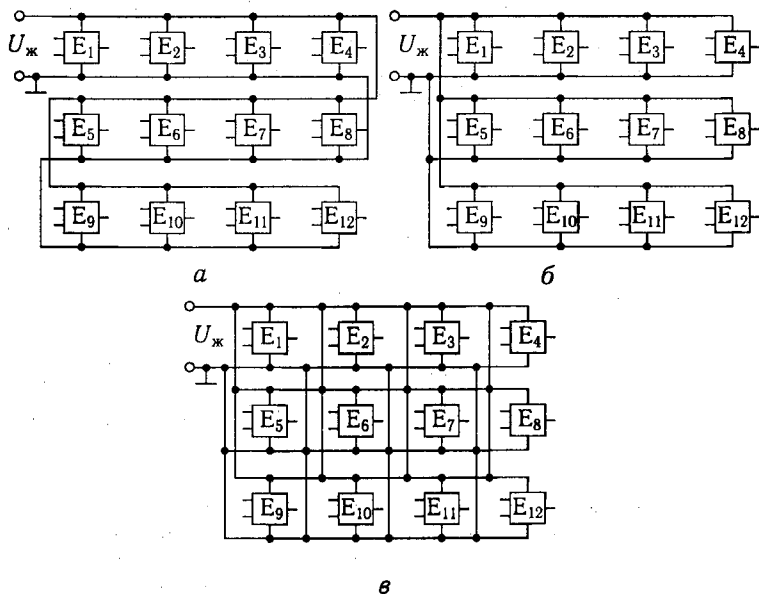
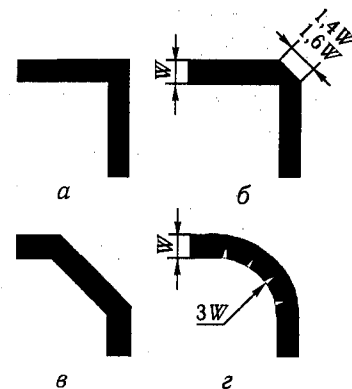


Рис. 23.17. Схеми (а–в) зменшення спільних ділянок проходження струмів елементів по шинах живлення

Рис. 23.18. Різновиди вигину контактних площадок на друкованих платах:

а — неприйнятний; б–г — прийнятний



гіршому випадку впливає тільки на чотири елементи, а в третьому варіанті (рис. 23.17, в) завада ще більше зменшується внаслідок введення додаткових перемичок. Рівень завад у платах з такою топологією ліній живлення і ліній заземлення близький до того, що спостерігається в високовартісних багатошарових платах.

Шостий етап — монтаж синхронізуючих кіл так, щоб вони розміщувалися поблизу цифрової землі та далі від чутливих схем. Добре зарекомендував себе метод, за якого формується пара кіл із прямого і зворотного проводів сигналу синхронізації. Зворотні проводи сигналів синхронізації потрібно з'єднати з цифровою землею поблизу кожної ІС, яка передає чи приймає синхронізуючі імпульси. У випадку багатошарових плат розміщувати ці кола слід після розміщення шарів живлення і заземлення. Кола синхронізації мають бути дуже короткими, оскільки синхронізуючі імпульси та їх гармоніки створюють сильне випромінювання. Один контур площею більше ніж $0,001 \text{ м}^2$ може створювати електромагнітне поле, що набагато перевищує допустимі межі.

Потім зазвичай розміщують інші кола сигнальних ліній. Якщо є матриця кристалів ПЗП, адресну шину потрібно розміщувати в одному напрямі, а шини даних — в іншому. Коло до наймолодшого розряду адреси слід розміщувати безпосередньо після контакту заземлення. Потрібно прагнути до того, щоб ширина кіл була не більше ніж $1/150$ їх довжини, і не допускати зигзагоподібних трактів (рис. 23.18, а). Якщо закруглити вершини кутів, обмежити вигини кутом у 45° чи використовувати плавні криві (рис. 23.18, б–г), то це дасть змогу підтримувати імпеданс постійним за частот від нуля до кількох гігагерц.

На останньому етапі потрібно вирішити: 1) наскільки можливо розширити кола ліній живлення та ліній заземлення; 2) якщо є вільне місце на платі, заповнити його та з'єднати між собою заземлення цифрових схем; 3) заповнити вільні ділянки поверхні мідною фольгою та заземлити їх за допомогою кіл або наскрізних отворів. При цьому утвориться протяжна сітка заземлення, що сприяє зменшенню струмових кон-

турів, імпедансу кіл заземлення і завад, що утворюються за рахунок паразитного зв'язку між джерелом і землею та між провідниками заземлення.

За потреби переналадження рекомендується критично проаналізувати наявний варіант пристрою для виявлення можливостей удосконалення. Слід вимірювати рівень завад земля—земля між ІС та завад живлення—земля поблизу кожної ІС. Далі потрібно перевірити за допомогою осцилографа, чи не виникають перехідні процеси у вигляді згасаючих коливань у схемах синхронізації та інших критичних схемах.

Занадто велика тривалість паростання фронтів, перевищення рівня завад живлення—земля та згасаючі коливання на передніх фронтах імпульсів свідчать про недопустимо малі ємності шунтувальних конденсаторів. Амплітуда завад земля—земля більше ніж 150...300 мВ свідчить про велику паразитну індуктивність схеми заземлення. Наявність паразитних згасаючих коливань на спадному фронті сигналів означає підвищену паразитну індуктивність живлення—земля.

Мікросхеми з іншими елементами вузлів і блоків електронної апаратури зазвичай з'єднують, пропаюючи виводи, тому особливу увагу слід звернути на якість монтажу. В серійному виробництві часто використовують групове паяння і паяння «хвилею». У лабораторних умовах і при заміні мікросхем здійснюють паяння одиножильним паяльником.

У разі розпаювання площинних виводів ІС одножильним паяльником потрібно дотримуватися таких вимог (якщо в технічних умовах не передбачено інше): температура жала паяльника має бути не більшою ніж 265 °С, тривалість дотику до кожного виводу — не більшою ніж 3 с, інтервал між паянням сусідніх виводів 3...10 с (залежно від типу корпусу ІС), відстань від корпусу до місця паяння за довжиною виводу має бути не меншою ніж 1 мм.

Для мікросхем зі штировими виводами температура жала паяльника не повинна бути більшою ніж 280 °С.

Контрольні запитання і завдання

1. Поясніть причини виникнення завад у цифрових пристроях.
2. Яким чином можна підвищити завадостійкість цифрових пристроїв?
3. Які види шунтування використовують у цифрових схемах?
4. Наведіть схеми узгодження довгих ліній зв'язку для зменшення відбитків.
5. Назвіть етапи конструювання монтажних плат.
6. Наведіть рекомендації щодо монтажу ІС зі штировими виводами.
7. Наведіть рекомендації щодо монтажу ІС із планарними виводами.
8. Перелічіть варіанти розміщення шин живлення і заземлення.
9. Поясніть схеми зменшення спільних ділянок проходження струмів елементів по шинах живлення та порівняйте їх ефективність.

24.1. Класифікація мікропроцесорів

Мікропроцесор (МП) — пристрій, який здійснює приймання, оброблення і видачу інформації. Конструктивно МП містить одну або кілька інтегральних схем і виконує дії за програмою, записаною в пам'яті.

Мікропроцесорна система — обчислювальна, контрольно-вимірювальна або керуюча система, в якій основним пристроєм обробки інформації є МП. Мікропроцесорна система складається з набору великих інтегрованих схем (ВІС).

Мультимікропроцесорна, або мультипроцесорна, система — система, яка утворюється об'єднанням деякої кількості універсальних або спеціалізованих МП, завдяки чому забезпечується паралельна обробка інформації і роздільне керування.

Мікропроцесорний комплект (МПК) — сукупність інтегральних схем, сумісних за електричними, інформаційними та конструктивними параметрами і призначених для побудови електронно-обчислювальної апаратури й мікропроцесорних систем керування. Типовий склад МПК: ВІС МП (одина чи кілька корпусів інтегральних схем); ВІС оперативних запам'ятовувальних пристроїв (ОЗП); ВІС постійних запам'ятовувальних пристроїв (ПЗП); інтерфейси, або контролери, зовнішніх пристроїв; службові ВІС (тактовий генератор, регістри, шинні формувачі, контролери та арбітри шин).

Мікропроцесори та мікропроцесорні комплекти класифікують за такими ознаками: призначенням, кількістю ВІС, способом керування, типом архітектури і типом системи подання команд.

За призначенням МП поділяють на універсальні та спеціалізовані. *Універсальними мікропроцесорами* є мікропро-

песори загального призначення, які дають змогу розв'язувати широкий клас задач — обчислення, оброблення і керування. Спеціалізовані мікропроцесори призначені для розв'язання задач лише певного класу. До них належать сигнальні, медійні та мультимедійні МП, а також трансп'ютери.

Сигнальні процесори призначені для цифрового оброблення сигналів у реальному масштабі часу (наприклад, фільтрація сигналів, обчислення згортки, обчислення кореляційної функції, підсилення, обмеження і трансформація сигналу, пряме і зворотнє перетворення інтегралів Фур'є). До сигнальних процесорів належать процесори фірм «Texas Instruments» — TMS320C80, «Analog Devices» — ADSP2106x, «Motorola» — DSP560xx та DSP9600x.

Медійні й мультимедійні процесори використовують для оброблення аудіосигналів, графічної інформації, відеозображень та для розв'язання задач у мультимедіакомп'ютерах, ігрових приставках, побутовій техніці. До медійних і мультимедійних процесорів належать процесори фірм «MicroUnity» — Mediaprocessor, «Philips» — Trimedia, «Cromatic Reserch» — Mpacst Media Engine, «Nvidia» — NV1, «Cyrix» — MediaGX.

За кількістю ВІС у МПК розрізняють багатокристалльні МПК та однокристалні мікроконтролери (ОМК). Багатокристалні комплекти — це МПК з однокристалльними і секційними МП.

Однокристалльний мікропроцесор, або мікропроцесор з фіксованою розрядністю даних, є конструктивно завершеним виробом у вигляді однієї ВІС. До цього типу належать процесори фірм «Intel» — Pentium (P5, P6, P7), «AMD» — K5, K6, «Cyrix» — 6x86, «Digital Equipment» — Alpha 21064, 21164A, «Silicon Graphics» — MIPS R10000, «Motorola» — Power PC 603, 604, 620, «Hewlett Packard» — PA-8000, «Sun Microsystems» — Ultra SPARC II.

Однокристалльний мікроконтролер — пристрій, що конструктивно виконаний в одному корпусі ВІС і містить основні складові МПК. До таких мікроконтролерів належать ОМК фірм «Intel» — MCS-196/296, «MicroChip» — PIC17C4x, PIC17C75x, «Mitsubishi Electric» — M3820, «Motorola» — MC33035, MC33039.

За типом архітектури, або принципом побудови, розрізняють МП з фоннейманівською архітектурою і МП з гарвардською архітектурою.

За типом системи команд розрізняють CISC (Complete Instruction Set Computing) — процесори з повним набором команд і RISC (Reduced Instruction Set Computing) — процесори зі зменшеним набором команд.

Слід зазначити, що багато МПК підпадають під різні класифікаційні ознаки, оскільки здатні вирішувати задачі різних класів. Так, існують універсальні МП з мультимедійним розширенням наборів команд, наприклад, Pentium MMX, Pentium II, Cyrix 6x86MX, AMD K6, Ultra SPARC. У CISC-процесорах Pentium PRO реалізовано ядро з RISC-архітектурою.

24.2. Організація шин

Шина — інформаційний канал, що об'єднує всі функціональні блоки МПС і забезпечує обмін даними у вигляді двійкових чисел. Конструктивно шина складається з n провідників та з одного спільного провідника (землі). Дані передаються по шині у вигляді слів, що є групою бітів.

У паралельній шині n бітів передаються по окремих лініях одночасно, у послідовній — по єдиній лінії послідовно у часі. Паралельні шини виконують у вигляді плоского кабелю, а послідовні — у вигляді коаксіального або волоконно-оптичного кабелю. Коаксіальний кабель використовують для передавання даних на відстань до 100 м, узгоджуючи передавальні та приймальні каскади з хвильовим опором лінії. Волоконно-оптичний кабель використовують для передавання на значно більші відстані.

Усі основні блоки МПС з'єднані з єдиною паралельною шиною, яку називають системною шиною SB (System Bus). Системна шина містить три шини — адреси, даних і керування.

Шина адреси AB (Address Bus) є однонапрямленою. Вона призначена для передавання адреси комірки пам'яті або пристрою введення-виведення. Напрямок передавання по шині адреси — від МП до зовнішніх пристроїв. Варіанти умовних позначень однонапрямленої паралельної шини показано на рис. 24.1, на якому стрілка вказує напрям передавання.

Число 16 на рис. 24.1 означає розрядність шини. Зазначимо, що допускається позначення шин і без наведення розрядності.

Шина даних DB (Data Bus) є двонапрямленою. Вона призначена для передавання даних між блоками МПС. Інформація по одних і тих самих лініях DB може передаватися у двох напрямках — як до МП, так і від нього. Варіанти умовних позначень двонапрямленої шини показано на рис. 24.2.



Рис. 24.1. Варіанти умовних позначень однонапрямленої паралельної 16-розрядної шини



Рис. 24.2. Варіанти умовних позначень двонапрямленої паралельної 8-розрядної шини

Шина керування СВ (Control Bus) призначена для передавання керуючих сигналів. Хоча напрям керуючих сигналів може бути різним, однак шина керування не є двонапрямленою, оскільки для сигналів різного напрямку використовуються окремі лінії.

24.3. Принципи побудови мікропроцесорних систем

В основу побудови мікропроцесорних систем (МПС) покладено три принципи — магістральності, модульності, мікропрограмного керування.

Принцип магістральності визначає характер зв'язків між функціональними блоками МПС — усі блоки з'єднані з єдиною системною шиною.

Принцип модульності полягає в тому, що система будується на основі обмеженої кількості типів конструктивно і функціонально завершених модулів. Кожний модуль МПС системи має вхід керування третім (високоімпедансним) станом. Цей вхід називається \overline{CS} (Chip Select) — вибір кристала або \overline{OE} (Output Enable) — дозвіл виходу.

Дію сигналу \overline{CS} для тригера показано на рис. 24.3. Вихідний сигнал тригера Q з'являється на виводі лише за активного (у цьому випадку — нульового) рівня сигналу \overline{CS} . Якщо $\overline{CS} = 1$, тригер переводиться у високоімпедансний стан. Вихід тригера є *тристабільним*, тобто може перебувати в одному з трьох станів: логічної одиниці, логічного нуля або у високоімпедансному. У кожний момент часу до системної шини МПС під'єднано лише два модулі — той, що приймає, і той, що передає інформацію. Інші знаходяться у високоімпедансному стані.

Принципи магістральності та модульності дають змогу напрошувати керуючі й обчислювальні можливості МП через під'єднання інших модулів.

Узагальнену структурну схему МПС зображено на рис. 24.4.

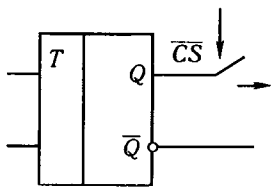


Рис. 24.3. Дія сигналу \overline{CS} для тригера

До складу МПС входять центральний процесор (ЦП), ПЗП, ОЗП, система переривань, таймер, ПВВ. Пристрої введення-виведення під'єднані до системної шини через інтерфейси введення-виведення.

Постійний та оперативний запам'ятовувальні пристрої — це *система пам'яті*, яку використовують для збереження інформації у вигляді двійко-

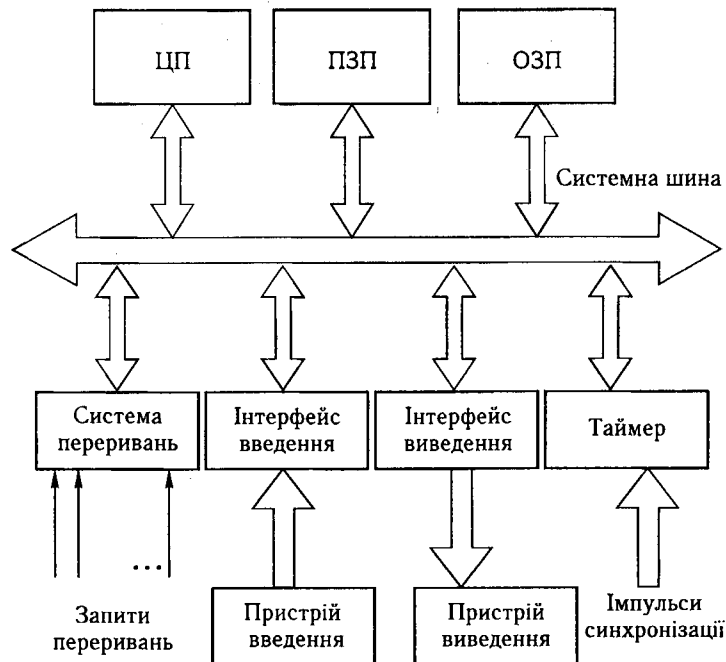


Рис. 24.4. Узагальнена структурна схема мікропроцесорної системи керування

вих чисел. Постійний запам'ятовувальний пристрій призначений для збереження програм керування таблиць і констант, а оперативний запам'ятовувальний пристрій (ОЗП) — для збереження проміжних результатів обчислень. Пам'ять організовано у вигляді масиву комірок, кожна з яких має свою адресу і містить байт або слово. *Байтом* називають групу із 8 біт. Слово може мати будь-яку довжину в бітах. Під *словом* найчастіше розуміють двійкове число завдовжки два байти.

Для звернення до комірки пам'яті потрібно видати її адресу на шину адреси. Структуру пам'яті з 8 одnobайтових комірок, де кожній адресі відповідає певний вміст комірки, зображено на рис. 24.5. Так, комірка з адресою 000 має вміст $01011111_2 = 5F_{16}$.

Модуль центрального процесора здійснює оброблення даних і керує всіма іншими модулями системи. Крім ВІС МП центральний процесор містить схеми синхронізації та інтерфейсу із системною шиною. Віп вибирає коди команд з пам'яті, дешифрує їх і виконує. Впродовж часу виконання коман-

Адреса	Дані
000	01011111
001	00010011
010	01110111
011	00001100
100	00000000
101	11111111
110	10101010
111	11110000

Рис. 24.5. Структура пам'яті з 8 однобайтових комірок

ди — *командного циклу* — центральний процесор (ЦП) виконує такі дії:

- виставляє адресу команди на шину адреси *AB*;
- отримує код команди з пам'яті та дешифрує його;
- обчислює адреси операнда і зчитує дані;
- виконує операцію, визначену командою;
- сприймає зовнішні керуючі сигнали, наприклад запити переривань;
- генерує сигнали стану і керування, потрібні для роботи пам'яті та пристрою введення-виведення (ПВВ).

Пристрої введення-виведення, або *зовнішні пристрої*, — це пристрої, призначені для введення інформації в МП або виведення інформації з нього. Прикладами ПВВ є дисплеї, друкувальні пристрої, клавіатура, цифроаналоговий та аналого-цифровий пристрої, реле, комутатори. Для з'єднання ПВВ із системною шиною їхні сигнали мають відповідати певним стандартам. Це досягається за допомогою інтерфейсів введення-виведення.

Інтерфейси введення-виведення називають також *контролерами*, або *адаптерами*. Мікропроцесор звертається до інтерфейсів за допомогою спеціальних команд введення-виведення. При цьому МП виставляє на шину адреси *AB* адресу інтерфейсу і по шині даних *DB* зчитує дані з пристрою введення або записує у пристрій виведення. На рис. 24.4 зображено один інтерфейс введення та один інтерфейс виведення.

Система переривань дає змогу МПС реагувати на зовнішні сигнали — запити переривань, джерелами яких можуть бути сигнали готовності від зовнішніх пристроїв, сигнали від генераторів та сигнали з виходів датчиків. З появою запиту переривання ЦП перериває основну програму і переходить до виконання підпрограми обслуговування запиту переривання. Для побудови системи переривань МПК містять ВІС спеціальних програмованих контролерів переривань.

Таймер призначений для реалізації функцій, пов'язаних з відліком часу. Після того як МП завантажує в таймер число, що задає частоту, затримку або коефіцієнт ділення, таймер реалізує потрібну функцію.

24.4. Подання чисел у мікропроцесорах

У регістрах або комірках пам'яті МП інформацію розміщено у вигляді двійкових чисел, причому для кожного розряду числа відведено окрему комірку, що зберігає один біт інформації. Сукупність комірок, призначених для розміщення одного двійкового числа, називають *розрядною сіткою*. Кількість комірок у розрядній сітці обмежена і залежить від конструктивних особливостей МП.

Подання цілих чисел в МП. Беззнакові цілі числа подають у МП натуральним кодом. *Натуральним кодом* називають подання числа як *цілого беззнакового* у двійковій системі числення. Діапазон чисел у натуральному коді для n -розрядної сітки становить від 0 до $2^n - 1$, тобто для 8-розрядної сітки діапазон чисел у натуральному коді становить від 0 до 255. Наприклад, натуральний код числа 53_{10} у 8-розрядній сітці наведено на рис. 24.6.

Для подання *цілих знакових чисел* використовують *додатковий код*. Старший розряд сітки є знаковим. Значення цього розряду дорівнює нулю для додатних чисел і одиниці — для від'ємних. В інших розрядах розміщується модуль числа. *Додатні числа* подаються натуральним кодом. Так, додатне число $+53_{10}$ має вигляд, поданий на рис. 24.6. Оскільки старший розряд є знаковим, діапазон додатних чисел становить від 0 до $2^{n-1} - 1$. Наприклад, для 8-розрядної сітки діапазон додатних чисел становить від 0 до $+127$.

Подання *від'ємного числа* у додатковому коді здійснюється обчисленням числа, яке доповнює додатне число з тим самим модулем до найбільшого беззнакового числа, з подальшим додаванням одиниці до результату. Отже, додатковий код отримують додаванням 1 до оберненого (інверсного) коду.

Додатковий код можна отримати за наступним формальним правилом: цифри прямого коду додатного числа потрібно інвертувати послідовно зліва направо до останньої одиниці, не включаючи її. Останню праву одиницю і наступні за нею (праворуч) нулі потрібно залишити без зміни. Діапазон від'ємних чисел у додатковому коді становить від 0 до -2^{n-1} . На рис. 24.7 показано додатковий код числа -53_{10} у 8-розрядній

Розряди	D7	D6	D5	D4	D3	D2	D1	D0
Вага розрядів	2 ⁷	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
53 ₁₀	0	0	1	1	0	1	0	1

Рис. 24.6. Натуральний код числа 53_{10} у 8-розрядній сітці

Розряди	D7	D6	D5	D4	D3	D2	D1	D0
Вага розрядів	—	2 ⁶	2 ⁵	2 ⁴	2 ³	2 ²	2 ¹	2 ⁰
Знак числа	Модуль числа							
1	1	0	0	1	0	1	1	

Рис. 24.7. Додатковий код числа -53_{10} у 8-розрядній сітці

сітці, для якої діапазон від'ємних чисел становить від 0 до -128_{10} . При цьому додатковим кодом найменшого числа -128_{10} є число $10\,000\,000_2$.

Особливістю додаткового коду є те, що операцію віднімання двійкових чисел можна замінити операцією додавання у додатковому коді.

Перевагами додаткового коду є простота операцій отримання та додавання чисел з різними знаками, а також те, що нуль має єдине подання $0 = 00\,000\,000$. Завдяки цим перевагам додатковий код використовують найчастіше.

Подання дробових чисел в МП. Спосіб розміщення розрядів числа в розрядній сітці визначається формою подання двійкових чисел — із фіксованою або з плаваючою комою.

Подання чисел у формі з фіксованою комою. Для розміщення двійкового числа, що містить цілу і дробову частини (без урахування знака), у n -розрядній сітці k комірок приділяють для розміщення цілої частини та $n - k$ комірок — для розміщення дробової. За такого подання двійкових чисел положення коми у розрядній сітці фіксовано.

Подання чисел у формі з плаваючою комою. Форму з плаваючою комою застосовують для розширення діапазону і зменшення відносної похибки подання чисел у МП.

Число N зображують у вигляді добутку. Першим множником є правильний дріб a , який називається **мантисою** числа. Другим множником є основа 2, піднесена до степеня p , який називається **порядком числа**: $N = \pm a \cdot 2^{\pm p}$.

Мантиса і порядок є знаковими числами. Для зазначення знаків у розрядній сітці відводяться 2 додаткових розряди. З такою формою подання існують різні варіанти запису одного і того самого числа. Наприклад, число $11,01_2$ можна записати як $0,01101_2 \cdot 2^{112}$ або як $0,01101_2 \cdot 2^{10}$. Отже, кома у мантисі може зсуватися (плавати), а мантиса може набувати різних значень, менших від одиниці, за відповідних значень порядку. Форма подання числа, в якому старший розряд мантиси не дорівнює 0, називається **нормалізованим**. Усі інші форми подання є ненормалізованими.

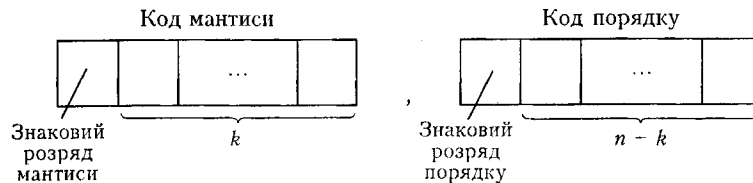


Рис. 24.8. Подання чисел у формі з плаваючою комою

У мікропроцесорних системах, в яких реалізовано подання чисел у формі з плаваючою комою, числа зберігають у нормалізованому вигляді. При цьому більша кількість розрядів використовується для зберігання дробової частини, внаслідок чого підвищується точність обчислень. Якщо після виконання арифметичних операцій, наприклад віднімання, результат виявляється ненормалізованим, то перед занесенням числа в пам'ять виконують його нормалізацію, тобто зсув мантиси ліворуч на відповідну кількість розрядів, і зменшення порядку числа на відповідну кількість одиниць.

Під час запису двійкового числа у формі з плаваючою комою у $(n + 2)$ -розрядній сітці k комірок приділяють для розміщення мантиси, а $n - k$ комірок — для розміщення порядку, а 2 розряди — для зазначення знаків (рис. 24.8).

Діапазон чисел у формі з плаваючою комою значно ширший, ніж із фіксованою комою, а відносна похибка значно менша. Форму подання двійкових чисел обирають залежно від типу задачі, потрібної швидкодії, точності виконання арифметичних операцій і діапазону зміни значень величин, з якими оперує МП.

Контрольні запитання

1. Назвіть складові МПК.
2. За якими класифікаційними ознаками поділяють МП і МПК?
3. На розв'язання яких задач орієнтовані спеціалізовані МП?
4. Яке призначення та які складові системної шини?
5. Назвіть принципи передавання інформації по шинах — адреси, даних, керування.
6. Назвіть принципи побудови МПС і схарактеризуйте їх.
7. Наведіть типову структуру МПС і поясніть призначення функціональних модулів.
8. Подайте число -75_{10} у додатковому коді.
9. Назвіть діапазон значень додатних і від'ємних чисел у додатковому коді: а) $n = 4$; б) $n = 8$; в) $n = 16$.
10. Розкажіть про переваги додаткового коду.
11. Запишіть числа $1110110,011_2$ у нормалізованій та ненормалізованій формах із плаваючою комою.
12. Поясніть призначення входу керування третім станом.

25.1. Архітектура 8-розрядних мікропроцесорів

Структурну схему узагальненого 8-розрядного однокристалного МП зображено на рис. 25.1. Схема має єдину внутрішню 8-розрядну шину, по якій передаються дані, коди команд та адреси.

Структурна схема містить пристрій керування ПК, дешифратор команд ДШК, регістр команд РК, арифметично-логічний пристрій АЛП, акумулятор А, часовий акумулятор ЧА, часовий регістр ЧР, регістр прапорців F, блок 8-розрядних регістрів загального призначення РЗП, мультиплексор, показчик стеку (*Stack Pointer SP*), показчик команд (*Instruction Pointer IP*), буферний регістр адреси БА, буферний регістр даних БД, схему інкремента-декремента СІД.

Пристрій керування відповідно до дешифрованих кодів команд та зовнішніх керуючих сигналів генерує керуючі сигнали для всіх блоків структурної схеми.

Функція початкового встановлення МП. Зовнішній сигнал початкового встановлення процесора *RESET* формується після ввімкнення джерела живлення МП або після натискання кнопки *RESET*. За появи цього сигналу пристрій керування забезпечує завантаження нульового значення у програмний лічильник, що ініціює вибирання з пам'яті байта команди із нульовою адресою. Наприкінці вибирання вміст лічильника команд збільшується на одиницю, і вибирається байт команд з наступною адресою. Таким чином виконується вся записана у пам'яті програма.

Функція синхронізації. Згідно із зовнішніми керуючими сигналами і сигналами синхросигналізації пристрій керування синхронізує роботу всіх блоків МП.

Функція переривань. З надходженням сигналу переривання пристрій керування ініціює роботу підпрограми обробки відповідного переривання. Потреба у реалізації функцій переривань виникає тоді, коли під час виконання основної програми

треба перевести МП на розв'язання іншої задачі, наприклад обробки аварійної ситуації або роботи з ПБВ.

Функція узгодження швидкодії модулів мікропроцесорної системи. Під час обслуговування пам'яті та ПБВ із значно меншою швидкодією, ніж МП, узгодження швидкодії вирішується генерацією тактів очікування МП, а під час обслуговування пристроїв з більшою швидкодією, ніж МП, використовується режим безпосереднього доступу до пам'яті.

Дешифратор команд формує сигнали для пристрою керування згідно з дешифрованим кодом команди. У 8-розрядному *регістрі команд* зберігається машинний код команди (один байт).

Арифметико-логічний пристрій — це комбінаційна схема на основі суматора і логічних елементів, який сигналами з виходів пристрою керування налагоджується на ту чи іншу арифметичну або логічну операцію — додавання, віднімання, І, АБО, ВИКЛЮЧАЛЬНЕ АБО, НІ, зсув.

Акумулятор є 8-розрядним регістром, в якому зберігається один з операндів у двооперандних командах, а також ре-

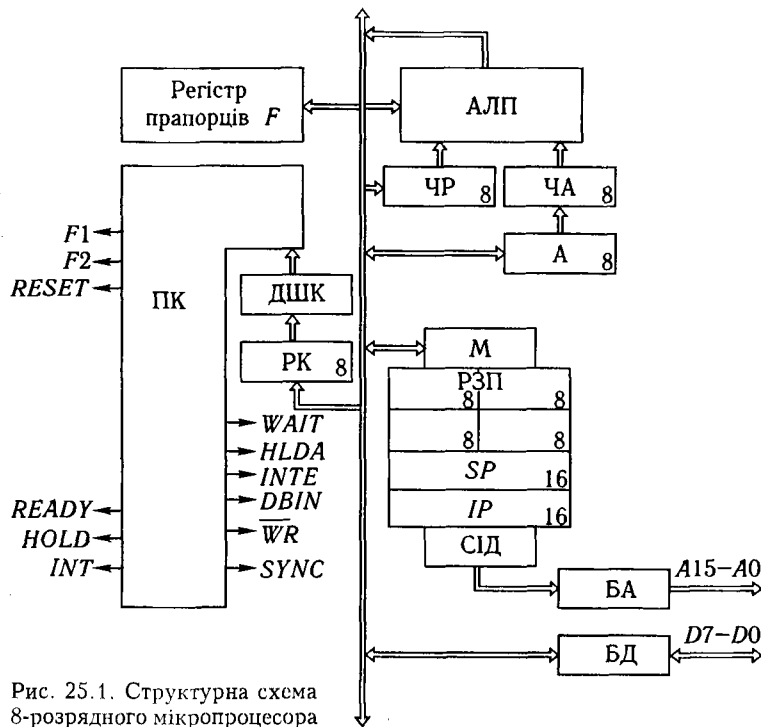


Рис. 25.1. Структурна схема 8-розрядного мікропроцесора

зультат операції. Наприклад, у команді додавання

$ADD\ B; A+B \rightarrow A$

вказано лише один операнд — 8-розрядний регістр *B*. Регістр *B* — один із регістрів загального призначення (РЗП). У деяких МП РЗП позначаються літерами латинського алфавіту: *B, C, D, H, L*, в інших — *R0, R1, R2, ...*. Другим операндом є акумулятор. Результат додавання вмісту акумулятора та регістра *B* переноситься в акумулятор, що символічно записується в коментарі до команди.

Часовий акумулятор і часовий регістр — це 8-розрядні буферні регістри, які дають змогу відокремити входи АЛП від його виходу, тобто виключити «гонку» сигналів.

Регістр прапорців *F* (Flags-прапорці), або ознак, — кілька тригерів (п'ять або шість), які встановлюються в одиничний (або скидаються в нульовий) стан залежно від результату операції в АЛП.

Регістри загального призначення — блок 8-розрядних РЗП, в яких зберігаються дані та проміжні результати. Цей блок РЗП можна розглядати як швидкодіючий ОЗП, що має найбільшу швидкодію серед ОЗП різних типів, оскільки він розміщений безпосередньо на кристалі ВІС МП. Деякі типи 8-розрядних процесорів, крім 8-розрядних РЗП, містять 16-розрядні індексні регістри для організації непрямої адресації, інші — пропускають звернення до пари 8-розрядних регістрів як до одного 16-розрядного.

Мультиплексор — пристрій, що з'єднує один з регістрів РЗП із внутрішньою шиною МП.

Показник стеку *SP* (Stack Pointer) — 16-розрядний регістр, в якому зберігається адреса останньої зайнятої комірки стеку.

Показник команд *IP* (Instruction Pointer) — 16-розрядний регістр, в якому зберігається адреса команди, що виконується. Після вибірки з пам'яті програм кожного байта команди вміст *IP* збільшується на одиницю. У літературі цей регістр інколи називають *PC* (Program Counter) — програмний лічильник.

Буферний регістр адреси та буферний регістр даних — регістри з трьома станами виходу, призначені для формування відповідно сигналів на лініях шин адреси і даних.

Схема інкремента-декремента — пристрій, що дає змогу без участі АЛП збільшити або зменшити на одиницю вміст одного з регістрів РЗП, *IP* або *SP*.

Конструктивно ВІС 8-розрядного процесора виконано в корпусі з 40 виводами, з яких 16 припадає на шину адреси,

8 — на шину даних, 2 (4) — на ввімкнення живлення, а інші — на лінії шини керування. Основні лінії шини керування показано на рис. 25.1:

F1, F2 — вхід двох послідовностей імпульсів синхронізації, що не перекриваються (рис. 25.2);

RESET — вхід сигналу початкового встановлення (скидання);

READY — вхід сигналу готовності зовнішнього пристрою або пам'яті до обміну; використовується для організації обміну з менш швидкодіючими (порівняно з МП) пристроями;

WAIT — вихід сигналу підтвердження-очікування; активний рівень сигналу свідчить про те, що процесор перейшов у режим очікування і виконує холості такти;

HOLD — вхід сигналу запиту прямого доступу до пам'яті або запиту захоплення шин; використовується для організації обміну з пристроями, швидкодія яких вища, ніж швидкодія процесора;

HLDA (HoLD Acknow-ledge) — вихід сигналу підтвердження прямого доступу до пам'яті; активний рівень цього сигналу свідчить про те, що процесор перевірив свої шини адреси, даних та керування у високоімпедансний стан;

INT (INTerrupt) — вхід сигналу запиту переривання;

INTE (INTerrupt Enable) — вихід сигналу дозволу переривання;

DBIN (Data Bus IN) — вихід сигналу читання; високий рівень (*H*-рівень) цього сигналу вказує, що двонаправлена шина даних знаходиться у режимі прийому інформації;

WR (Write) — вихід сигналу запису; низький рівень цього сигналу свідчить про те, що двонаправлена шина даних знаходиться у режимі видавання інформації;

SYNC (SYNChronization) — вихід сигналу синхронізації; високий рівень цього сигналу означає, що на шині даних передається байт стану, який використовується для формування деяких керуючих сигналів.

Схеми окремих МП відрізняються кількістю та позначенням регістрів, а також деякими керуючими сигналами. Наприклад, у МП i8085 замість двох сигналів *F1* і *F2* використовується один сигнал синхронізації *CLK (CLock)*; замість сигналу *DBIN* — сигнал читання *RD (Read)*. Нульовий рівень цього сигналу свідчить про те, що двонаправлена шина даних

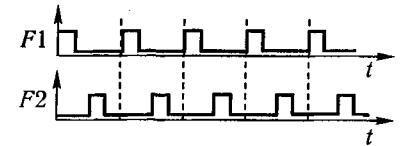


Рис. 25.2. Часові діаграми імпульсів синхронізації *F1* і *F2*

знаходиться у режимі приймання інформації. У МП i8085 є додатковий сигнал M/\overline{IO} (*Memory/Input-Output*) – ознака звернення до пам'яті (логічна одиниця) або до пристрою введення-виведення (логічний нуль), але немає сигналу SYNC.

Схема працює так (див. рис. 25.1). Під час ввімкнення живлення або під час формування сигналу початкового встановлення *RESET* вміст покажчика команд *IP* набуває нульового значення і починається машинний цикл вибірки команди з пам'яті. Вміст комірки пам'яті за нульовою адресою через буферний регістр даних та внутрішню шину МП надходить у регістр команд, а після цього — у дешифратор команд. Відповідно до дешифрованих кодів команд і зовнішніх сигналів синхронізації та керування пристрій керування формує керуючі імпульси для кожної мікрооперації команди.

Виконання команд в МП i8080. Кожна команда в МП виконується впродовж *командного циклу*. Командний цикл складається з *циклу вибірки команди* та *циклу виконання команди* (рис. 25.3).

Тривалість *циклу вибірки команди* залежить від формату команди (кількості байтів у машинному коді команди). Команди займають від одного до трьох байтів у програмній пам'яті. Багатобайтові команди зберігаються у сусідніх комірках пам'яті. Для вибірки одnobайтової команди (наприклад, додавання акумулятора *A* і регістра *B-ADD B*) потрібне одне звернення до пам'яті, для вибірки трибайтової команди (наприклад, виклику підпрограми за адресою *ADDR-CALL ADDR*) — три звернення. Тривалість *циклу виконання команди* залежить від способу адресації операндів. Так, під час виконання команд з регістровою адресацією додаткове звернення до пам'яті для читання операанда не використовується, а в командах з непрямою адресацією таке звернення обов'язкове.

Тому тривалість командного циклу в МП *i8080* є різною для різних команд і визначається кількістю звернень до пам'яті або до зовнішнього пристрою. Інтервал, упродовж якого здійснюється одне звернення процесора до пам'яті чи до зовнішнього пристрою, визначається як машинний цикл *M*. Отже, командний цикл процесора складається з деякої кількості ма-

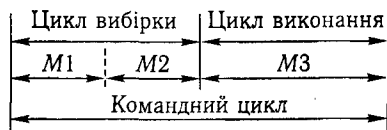


Рис. 25.3. Пример командного цикла 8-разрядного МП

шинних циклів (залежно від типу команди). У наведеному на рис. 25.2 прикладі цикл вибірки має два машинних цикли ($M1$ і $M2$), а цикл виконання — один машинний цикл ($M3$). У команді

може бути від одного (для одnobайтових команд з регістровою адресацією) до п'яти (для трибайтових складних команд) машинних циклів.

Машинний цикл, у свою чергу, поділяється на деяку кількість машинних тактів T , упродовж кожного з яких виконується елементарна дія (мікрооперація) у процесорі. Кількість тактів у циклі визначається кодом команди і становить від 3 до 5. Тривалість такту задається періодом імпульсів синхронізації і визначається як інтервал часу між фронтами двох сусідніх імпульсів послідовності $F1$, яка формується зовнішніми ланцюгами. Отже, командний цикл МП i8080 складається з певної кількості машинних тактів, а кожний машинний цикл — з визначеної кількості тактів, упродовж яких виконуються ті чи інші елементарні дії у процесорі.

Як приклад розглянемо виконання команди *ADD B* за мікроопераціями. Команда містить один машинний цикл ВІБІРКА, що виконується за чотири такти, а потрібна для ви-

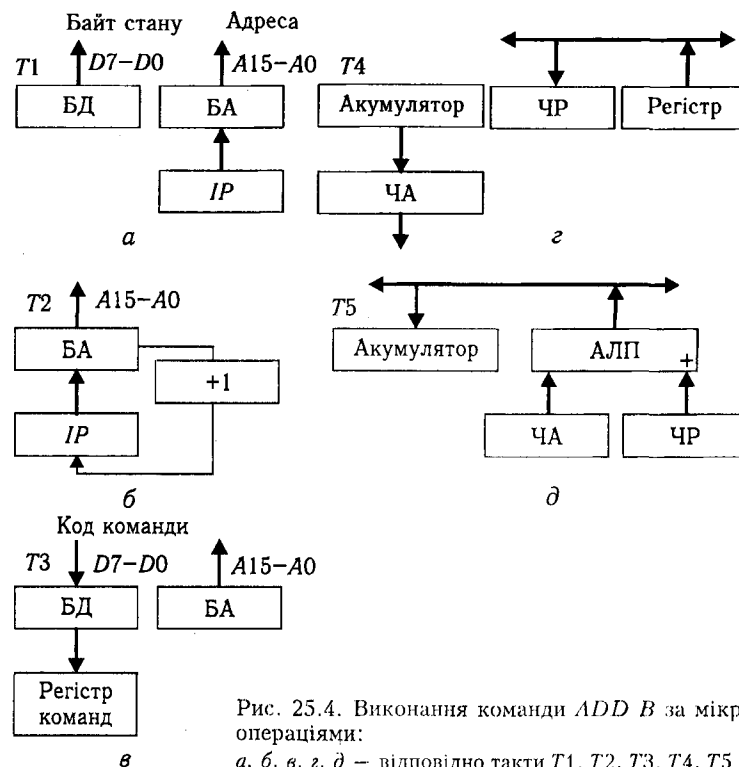


Рис. 25.4. Виконання команди *ADD B* за мікроопераціями:
а, б, в, г, д – відповідно такти *T1, T2, T3, T4, T5*

конання команди мікрооперація п'ятого такту виконується в такті $T2$ наступної команди. На рис 25.4, $a-d$ показано дії МП у кожному такті машинного циклу. У такті $T1$ (рис. 25.4, a) на шину адреси видається вміст показчика команд IP , який в такті $T2$ (рис. 25.4, b) збільшується на одиницю для адресації наступної команди. Команда вибирається з пам'яті у такті $T3$ (рис. 25.4, $в$). У такті $T4$ (рис. 25.4, $г$) здійснюється підготовка операндів до додавання: вміст регістра B по внутрішній шині пересилається в часовий регістр, а вміст акумулятора A — в регістр у часовий акумулятор. У п'ятому такті, який суміщений з тактом $T2$ наступної команди для збільшення швидкодії, виконується додавання операндів. Результат додавання запам'ятовується в акумуляторі.

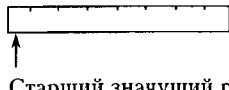
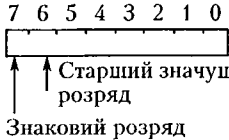
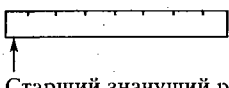
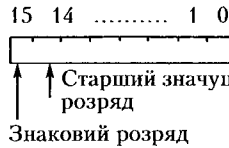
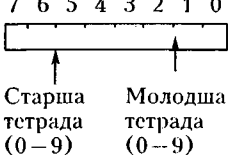
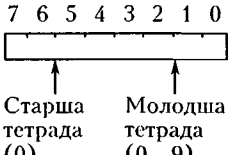
25.2. Архітектура 16-розрядних мікропроцесорів

До 16-розрядних МП першого покоління належать МП $i8086/i8088$ та $i80186/i80188$, до МП другого — $i80286$. Велика інтегральна схема МП $i8086$ з геометричними розмірами $5,5 \times 5,5$ мм має 40 контактів, містить близько 29 000 транзисторів і споживає 1,7 Вт від джерела живлення +5 В, тактова частота — 5,8 або 10 МГц.

Мікропроцесор виконує операції з 8- та 16-розрядними даними, наведеними у двійковому або двійково-десятковому вигляді, може обробляти певні біти та рядки або масиви даних. Він має вбудовані апаратні засоби множення і ділення. Формати даних і виконувані операції наведено в табл. 25.1. Мікропроцесор має внутрішній надоперативний запам'ятовувальний пристрій (НОЗП) ємністю 14×16 байт. Шина адреси 20-розрядна, що дає змогу безпосередньо адресувати до $2^{20} = 1\,048\,576$ комірок пам'яті (1 Мбайт). Простір адрес введення-виведення становить 64 Кбайт. У ВІС $i8086$ реалізовано багаторівневу векторну систему переривань з кількістю векторів до 256. Передбачено також організацію прямого доступу до пам'яті, після чого МП припиняє роботу та переводить у третій стан шини адреси, даних і керування.

Середня тривалість виконання команди займає 12 тактів. Особливістю МП $i8086$ є можливість часткової реконфігурації апаратної частини для забезпечення роботи у двох режимах — мінімальному і максимальному. Режим роботи задається апаратно. У *мінімальному режимі*, що використовується для побудови однопроцесорних систем, МП самостійно формує всі сигнали керування внутрішнім системним інтер-

Таблиця 25.1. Формати даних і операцій, що виконуються МП $i8086$

Тип даних	Формат	Діапазон	Операції
Байт без знака		0...255	Додавання, віднімання, множення, ділення
Байт зі знаком		-128...+127	Те саме
Слово без знака		0...65 535	- « -
Слово зі знаком		-32 768 ... +32 767	- « -
Упаковане двійково-десятькове число		0...99	Додавання, віднімання з корекцією
Розпаковане двійково-десятькове число		0...9	Додавання, віднімання, множення, ділення з корекцією

Примітка. Знакові числа подають у додатковому коді.

фейсом. У *максимальному режимі*, який використовується для побудови мультипроцесорних систем, МП формує на лініях стану двійковий код, який залежить від типу циклу шини. Відповідно до цього коду системний контролер K1810BГ88 формує сигнали керування шиною. Контакти, які звільнилися після кодування інформації, використовуються для керування мультипроцесорним режимом. Під час використання арифметичного співпроцесора слід обирати максимальний режим.

Структурна схема. У МП i8086 застосовано конвеєрну архітектуру, що дає змогу суміщувати у часі цикли вибирання команди та вибірки з пам'яті кодів наступних команд. Це досягається паралельною роботою двох порівняно незалежних пристроїв — операційного пристрою та шинного інтерфейсу. Структурну схему МП i8086 зображено на рис. 25.5. Операційний пристрій виконує команду, а шинний інтерфейс здійснює взаємодію із зовнішньою шиною — виставляє адреси, зчитує коди команд, операнди, записує результати обчислень у пам'ять або пристрої введення-виведення.

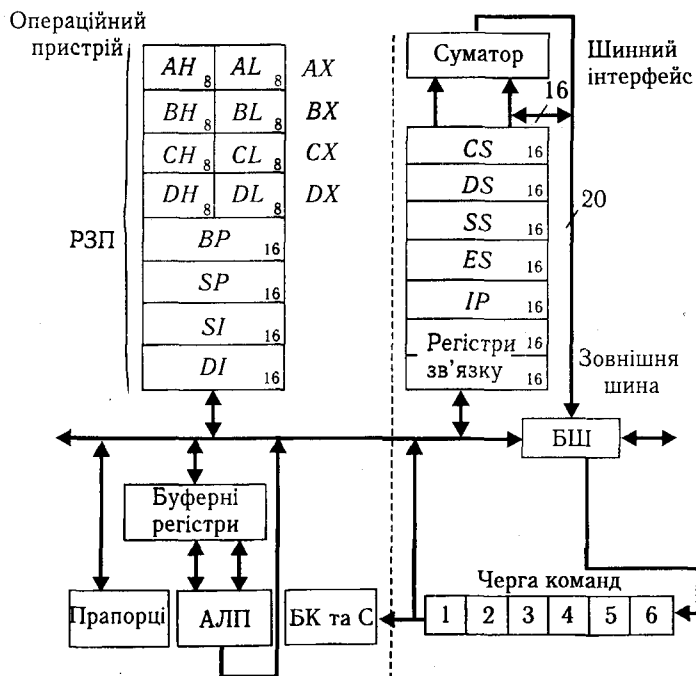


Рис. 25.5. Структурна схема мікропроцесора i8086

Операційний пристрій складається з РЗП, призначених для зберігання проміжних результатів — даних та адрес; АЛП з буферними реєстрами; реєстра прапорців; блоку керування та синхронізації, який дешифрує коди команд і генерує керуючі сигнали для всіх блоків схеми МП. Шинний інтерфейс складається з шестибайтової регістрової пам'яті, яку називають *чергою команд*, чотирьох сегментних реєстрів: *CS, DS, ES, SS*, покажчика команд *IP*, суматора допоміжних реєстрів зв'язку і буферних схем шини адреси-даних. Черга команд працює за принципом *FIFO (First Input — First Output, тобто перший прийшов — перший пішов)* і зберігає на виході порядок надходження команд. Довжина черги — 6 байт. Якщо операційний пристрій зайнятий виконанням команди, шинний інтерфейс самостійно ініціює випереджальну вибірку кодів команд з пам'яті у чергу команд. Вибирання з пам'яті чергового командного слова здійснюється тоді, коли в черзі виявляється два вільних байти. Черга збільшує швидкість процесора у разі послідовного виконання команд. Під час вибирання команд переходів, викликів і повернень з підпрограм та оброблення запитів переривань черга команд скидається і вибирання починається з нового місця програмної пам'яті.

Крім того, одним із завдань шинного інтерфейсу є формування фізичної 20-розрядної адреси із двох 16-розрядних слів. Першим словом є вміст одного із сегментних реєстрів *CS, SS, DS, ES*, друге слово залежить від типу адресації операнда або коду команди. Складання 16-розрядних слів відбувається зі зміщенням на чотири розряди і здійснюється за допомогою суматора, що входить до складу шинного інтерфейсу.

Організація пам'яті. Пам'ять — масив ємністю 1 Мбайт, тобто 2^{20} 8-розрядних комірок (рис. 25.6). У пам'яті зберігаються як байти, так і двобайтові слова. Слова розміщуються у двох сусідніх комірках пам'яті — старший байт зберігається у комірці зі старшою адресою, молодший — з молодшою. Адресою слова вважається адреса його молодшого байта. На рис. 25.6 подано приклад, коли за адресою 00000 зберігається байт 35H, а за адресою 00001 — слово 784AH. Початкові (00000H — 003FFFH) і кінцеві адреси (FFFF0H — FFFFFH) зарезервовані відповідно для системи переривань та початкового встановлення.

Організація пам'яті, коли кожній адресі відповідає вміст однієї комірки пам'яті (див. рис. 25.6) називають *лінійною*. У МП i8086 застосовано *сегментну* організацію пам'яті, яка характеризується тим, що програмно-доступною є не вся пам'ять, а лише деякі сегменти, тобто області пам'яті. Усередині сегмента використовують лінійну адресацію.

00000	35
00001	4A
00002	78
FFFFE	
FFFFF	

Рис. 25.6. Програмна модель пам'яті

Впровадження сегментної організації пам'яті можна пояснити так. Мікропроцесор i8086 — це 16-розрядний процесор, тобто він має 16-розрядну внутрішню шину, 16-розрядні регістри і суматори. Прагнення розробників ВІС адресувати якомога більший масив пам'яті зумовило використання 20-розрядної шини даних. Для порівняння: 16-розрядна шина адреси дає змогу адресувати

$2^{16} = 64$ Кбайт, а 20-розрядна — $2^{20} = 1$ Мбайт.

Для формування 20-розрядної адреси у 16-розрядному процесорі використовують інформацію двох 16-розрядних регістрів. У МП i8086 20-розрядна адреса формується з двох 16-розрядних адрес, які називають *логічними*.

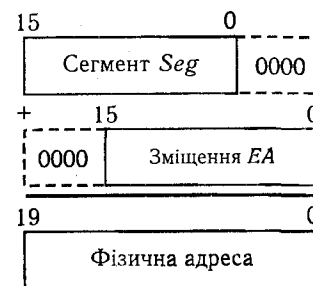
Перша логічна адреса, доповнена праворуч чотирма нулями, — це початкова адреса сегмента ємністю 64 Кбайт. Друга логічна адреса вказує зміщення у сегменті, визначаючи відстань від початку сегмента до адресованої комірки. Якщо вона має 0000, то адресується перша комірка сегмента, якщо FFFFH, — то остання. Отже, логічний адресний простір поділено на блоки суміжних адрес розміром 64 Кбайт, тобто сегменти.

Такий підхід до організації пам'яті зручний ще й тому, що пам'ять зазвичай логічно поділяють на області коду (програмної пам'яті), даних і стеку. Фізична 20-розрядна адреса комірки пам'яті формується з двох 16-розрядних адрес — адреси сегмента *Seg* і виконавчої адреси *EA* (*Executive Address*), які додаються зі зміщенням на чотири розряди (рис. 25.7).

Зміщення адреси сегмента на чотири розряди ліворуч еквівалентне його множенню на 2^4 . Тоді фізична адреса дорівнює $16 \times \text{Seg} + \text{EA}$. У вигляді першої логічної адреси *Seg* використовується вміст одного з чотирьох сегментних регістрів: *CS* (*Code Segment* — сегмент кодів), *DS* (*Data Segment* — сегмент даних), *ES* (*Extended Segment* — додатковий сегмент даних), *SS* (*Stack Segment* — сегмент стеку). Друга логічна адреса *EA*, або зміщення, залежить від сегмента. Так, у сегменті кодів як *EA* використовується вміст лічильника інструкцій *IP*, у сегментах даних значення *EA* залежить від способу адресації операнда, в сегменті стеку використовуються регістри *SP* або *BP*.

Перетворення логічних адрес на фізичні є завжди однозначним, тобто парі *Seg* і *EA* відповідає єдина фізична адреса. Зворотнє перетворення не є однозначним: фізичну адресу можна подати за допомогою 4096 пар логічних адрес.

Рис. 25.7. Формування фізичної адреси



У подальшому будемо позначати фізичну адресу у вигляді *Seg:EA*, де як *Seg* і *EA* можуть використовуватися як позначення регістрів, так і 16-розрядні дані.

Приклад 25.1. Знайти значення фізичної адреси за двома значеннями логічних адрес *CS:IP*.

Нехай умістом сегментного регістра *CS* є число 2002H, вмістом показника команд *IP* — 3175H. Додамо до значення *CS* чотири нулі праворуч:

$$CS(0000) = 0010\ 0000\ 0000\ 0010\ 0000B = 20020H.$$

Виконавши операцію додавання цієї величини до вмісту регістра *IP*, отримаємо фізичну адресу:

$$\begin{array}{r} 0010\ 0000\ 0000\ 0010\ 0000 \\ + \quad 0011\ 0001\ 0111\ 0101 \\ \hline 0010\ 0011\ 0001\ 1001\ 0101 \end{array} = 23195H.$$

Тому запис *CS:IP* за *CS* = 2002H, *IP* = 3175H відповідає фізичній адресі 23195H.

Приклад 25.2. Знайти значення двох логічних адрес, які б відповідали фізичній адресі 23195H і не дорівнювали логічним адресам прикладу 25.1.

Значення фізичної адреси 23195H можна отримати додаванням двох інших логічних адрес 2100H: 2195H:

$$\begin{array}{r} 0010\ 0001\ 0000\ 0000\ 0000 \\ + \quad 0010\ 0001\ 1001\ 0101 \\ \hline 0010\ 0011\ 0001\ 1001\ 0101 \end{array} = 23195H.$$

Ємність пам'яті 1 Мбайт, починаючи з нульової адреси, розбивають на *параграфи* по 16 байт. Сегмент може починатися лише на межі параграфа, тобто в адресі сегмента молодші чотири біти адреси — нульові. Розміщення сегментів у пам'яті довільне: сегменти можуть частково або повністю перекриватися або не мати загальних частин. Змінюючи значення як першої, так і другої логічних адрес, можна адресувати будь-яку комірку із загальної пам'яті ємністю 1 Мбайт.

Розміщення у просторі пам'яті 1 Мбайт чотирьох сегментів по 64 Кбайт без перекриття показано на рис. 25.8, а. Початкові адреси сегментів визначаються вмістом 16-розрядних сегментних регістрів, які доповнено праворуч чотирма нульови-

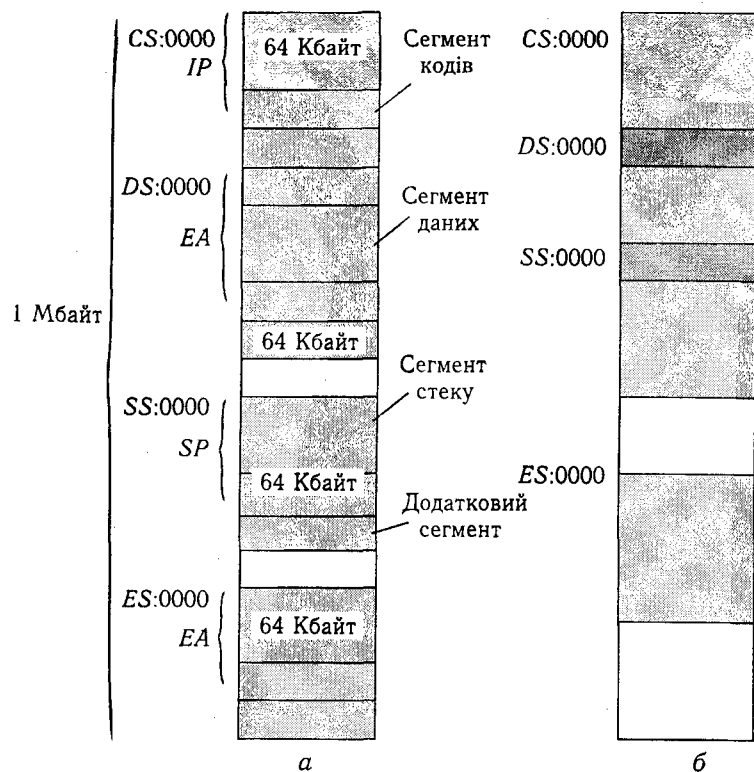


Рис. 25.8. Розміщення сегментів у просторі пам'яті 1 Мбайт:
а — без перекриття; б — із частковим перекриттям

ми бітами. Зміщення в сегменті кодів визначається вмістом регістра *IP*, зміщення в сегменті даних і додатковому сегменті даних — ефективною адресою *EA*, яка наводиться у команді, у сегменті стеку — вмістом регістра *SP*.

У сегментах кодів розміщено коди команд, тобто програма у машинних кодах, у решті сегментів — дані. Програма може звертатися лише до даних у сегментах (рис. 25.8), які позначені заштрихованими областями.

Змінюючи вміст сегментних регістрів, можна пересувати сегменти в межах усієї пам'яті 1 Мбайт. На рис. 2.15, б показано розміщення сегментів кодів, даних, стеку та додаткового сегмента із частковим перекриттям. Це випливає тоді, коли вміст сегментних регістрів відрізняється менш ніж на 64 Кбайт/16 = 4096 байт.

Програмна модель. Програмна модель МП i8086 (рис. 25.9) складається з РЗП, сегментних регістрів, показника команд і регістра прапорців.

Регістри загального призначення поділяють на регістри даних і регістри-показники. До *регістрів даних* належать чотири 16-розрядних регістри: *AX*, *BX*, *CX*, *DX*. Кожен із цих регістрів складається з двох 8-розрядних регістрів, які можна незалежно адресувати за символічними іменами *AH*, *BH*, *CH*, *DH* (старші байти — *High*) та *AL*, *BL*, *CL*, *DL* (молодші

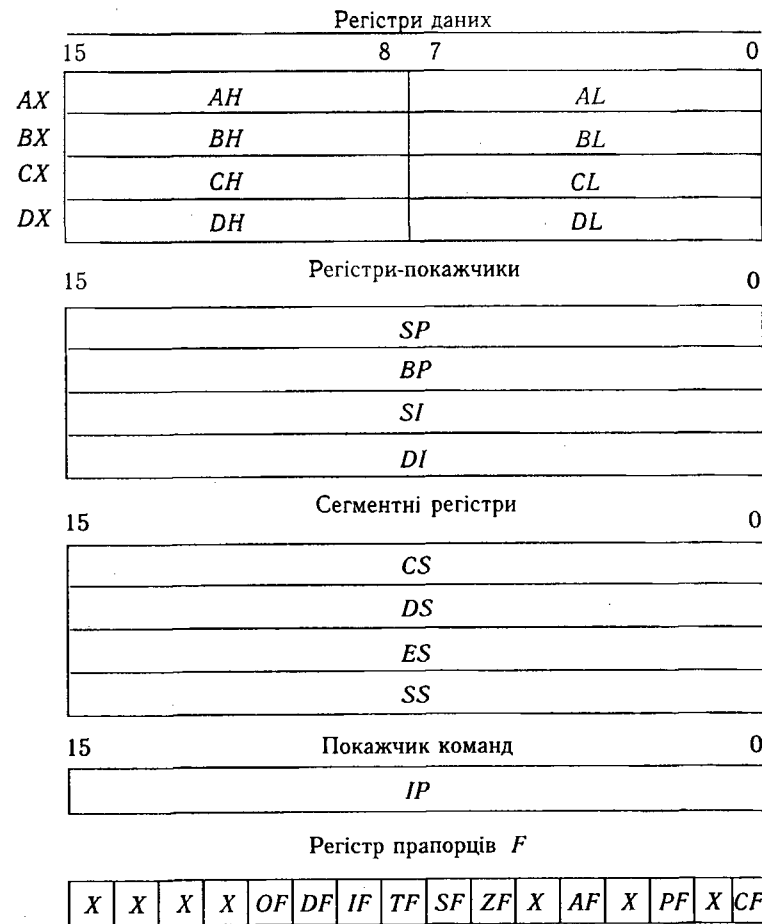


Рис. 25.9. Програмна модель МП i8086

байти — *Low*). *Регістр-показчик SP (Stack Pointer — показник стеку), BP (Base Pointer — базовий регістр), SI (Source Index — індекс джерела), DI (Destination Index — індекс призначення)* є 16-розрядними. Усі РЗП можна використати для зберігання даних, але в деяких командах припускається використання певного регістра за замовчуванням: *AX* — під час множення, ділення, введення та виведення слів; *AL* — під час множення, ділення, введення та виведення байтів; десятикової корекції, перетворення байтів (команда *XLAT*); *AH* — під час множення і ділення байтів; *BX* — під час трансляції; *CX* — як лічильник циклів і показчик довжини рядків у рядкових командах; *CL* — для зберігання зміщення з указанням змінної; *DX* — під час множення і ділення слів, введення і виведення з непрямою адресацією; *SP* — під час операцій зі стеком; *SI, DI* — під час рядкових операцій. На відміну від 8-розрядних МП регістр *SP* зберігає зміщення останньої зайнятої комірки стеку щодо початку сегмента стеку, а повна адреса стеку визначається як *SS : SP*.

Сегментні регістри CS, DS, ES, SS визначають початкові адреси чотирьох сегментів пам'яті. Використання сегментних регістрів визначається типом звернення до пам'яті (табл. 25.2).

Для деяких типів звернень допускається заміна сегментного регістра за замовчуванням на альтернативний, яка реалізується префіксами команд *CS:, DS:, SS:, ES:*.

Приклад 25.3. Переслати вміст комірки пам'яті з адресою *DS:1000H* в регістр-акумулятор *AL*.

Для того щоб переслати вміст комірки пам'яті в акумулятор, треба використати команду пересилки *MOV dst, src*, де операндом призна-

чення *dst (Destination)* є регістр *AL*, а операндом джерела інформації *src (Source)* — комірка пам'яті. Комірка пам'яті позначається квадратними дужками, всередині яких записується зміщення у сегменті, тобто друга логічна адреса. Перша логічна адреса за замовчуванням є вмістом регістра *DS*.

Після запису мнемоніки команди пересилання *MOV* записується операнд-призначення, а потім через кому — операнд-джерело. Після операндів через крапку з комою записується коментар до команди. Отже, за командою

MOV AL, [1000H]; AL ← DS:[1000H]

у регістр *AL* пересилається байт з комірки пам'яті з адресою *DS:1000H*.

Зазначимо, що перед використанням цієї команди вміст регістра *DS* має бути визначеним.

Приклад 25.4. Переслати вміст комірки пам'яті з адресою *ES:1000H* в регістр-акумулятор *AL*.

За командою з префіксом *ES*

MOV AL, ES:[1000H]; AL ← ES:[1000H]

в *AL* пересилається вміст комірки пам'яті з адресою *ES:1000H*.

На відміну від 8-розрядних МП показчик команд *IP* зберігає зміщення в сегменті кодів поточної команди.

Регістр прапорців зберігає ознаки результатів виконання арифметичних і логічних операцій та керуючі ознаки, які можна встановити або скинути програмно. Типи прапорців подано в табл. 25.3.

Приклад 25.5. Визначити значення прапорців після виконання команди *ADD AL, BL* (додавання вмісту 8-розрядних регістрів *AL, BL*; результат передається в *AL*), якщо в регістрі *AL* міститься число 49H, а в регістрі *BL* — 68H.

Після виконання команди додавання прапорці встановлюють так:

0	1	0	0	1	0	0	1
---	---	---	---	---	---	---	---

AL

+

0	1	1	0	1	0	0	0
---	---	---	---	---	---	---	---

BL

CF = 0 OF = 1 AF = 1

1	0	1	1	0	0	0	1
---	---	---	---	---	---	---	---

AL

AF = 1, CF = 0, OF = 1, SF = 1, PF = 1, ZF = 0.

Пояснимо встановлення прапорців. Результат операції додавання не є нульовим, тому прапорець *ZF* скинуто, тобто *ZF = 0*. Старший розряд результату дорівнює одиниці, тому *SF = 1*. Кількість одиниць у результаті 4, тобто парне число, отже, *PF = 1*. Після додавання виникло переповнення з молодшої тетради у старшу (*AF = 1*), у знаковий розряд (*OF = 1*). Переповнення розрядної сітки не відбулося, тому *CF = 0*.

Адресація портів введення-виведення. Простір адрес портів введення-виведення несементований, займає 64 Кбайт і адресується 16 молодшими розрядами 20-розрядної шини адреси.

Таблиця 25.2. Використання регістрів під час адресації пам'яті

Тип звернення до пам'яті	Сегментний регістр		Зміщення
	за замовчуванням	альтернативний	
Вибірка команд	<i>CS</i>	Немає	<i>IP</i>
Стекові операції	<i>SS</i>	Немає	<i>SP</i>
Адресація змінної	<i>DS</i>	<i>CS, ES, SS</i>	<i>EA</i>
Рядок-джерело*	<i>DS</i>	<i>CS, ES, SS</i>	<i>SI</i>
Рядок-приймач*	<i>ES</i>	Немає	<i>DI</i>
Використання <i>BP</i> під час звернення до стеку у процесі читання/запису даних	<i>SS</i>	<i>CS, ES, DS</i>	<i>EA</i>

* Рядок-джерело і рядок-приймач — це рядки даних (масиви), які беруть участь у рядкових командах.

Таблиця 25.3. Призначення різних типів прапорців

Позначення прапорця	Призначення прапорця	Розрядність операнда	
		8	16
AF	<i>Auxiliary Flag</i> — прапорець допоміжного перенесення-позики з молодшої тетради у старшу (з розряду D3 у розряд D4). Використовується за десяткової арифметики	+	—
CF	<i>Carry Flag</i> — прапорець перенесення-позики. Встановлюється у разі виходу результату додавання (віднімання) беззнакових операндів за межу діапазону. У командах зсуву прапорець CF фіксує значення старшого біта	+	+
OF	<i>Overflow Flag</i> — прапорець переповнення, встановлюється у разі виходу знакового результату за межу діапазону	+	+
SF	<i>Sign Flag</i> — прапорець знака. Дублює значення старшого біта результату; SF = 0 для позитивних чисел і SF = 1 — для негативних	+	+
PF	<i>Parity Flag</i> — прапорець паритету (парності). Встановлюється за парного числа одиниць у результаті	+	—
ZF	<i>Zero Flag</i> — прапорець нульового результату. Встановлюється у разі отримання нульового результату операції	+	+
DF	<i>Direction Flag</i> — прапорець керування напрямом у рядкових операціях. За DF = 1 індексні регістри SI, DI, що беруть участь у рядкових операціях, автоматично декрементуються на кількість байтів операнда, за DF = 0 — інкрементуються		
IF	<i>Interrupt-enable Flag</i> — прапорець дозволу переривань. За IF = 1 дозволяється виконання маскованих апаратних переривань		
TF	<i>Trap Flag</i> — прапорець трасування (покрокового режиму). Після його встановлення і виконання кожної команди відбувається внутрішнє переривання 1 (INT 1)		

Порти можуть бути як 8-, так і 16-розрядними. Будь-які два суміжних 8-розрядних порти можна вважати 16-розрядним портом аналогічно слову в пам'яті. При цьому для обміну з 8-розрядними портами використовується регістр AL, а з 16-розрядними — регістр AX. Перші 256 портів (з номерами 0—0FFH) можна адресувати за допомогою прямої адресації.

Приклад 25.6. Ввести інформацію з 8-розрядного порту з адресою 56H у регістр-акумулятор AL.

Для того щоб ввести інформацію з 8-розрядного порту з адресою 56H в акумулятор AL, слід виконати команду введення IN (введення). Першим операндом команди є позначення акумулятора AL, якщо вводиться байт інформації, або AX, якщо вводиться слово. У цьому випадку потрібно використати операнд AL. Другим операндом є номер порту 56H. Тому за командою

IN AL, 56H ; AL ← P₈(56H)

відбудеться введення інформації з 8-розрядного порту з адресою 56H до акумулятора.

Зазначимо, що допускається позначення номера порту у квадратних дужках:

IN AL, [56H] ; AL ← P₈(56H).

Приклад 25.7. Вивести інформацію з регістра-акумулятора AX у 16-розрядний порт з адресою 34H.

Для того щоб вивести інформацію з акумулятора AX до 16-розрядного порту з адресою 34H, слід виконати команду виведення OUT. Першим операндом команди є номер порту 34H, другим — позначення акумулятора AL, якщо виводиться байт інформації, або AX, якщо виводиться слово. У цьому разі потрібно використати операнд AX. Отже, за командою

OUT 34H, AX ; AX → P₁₆(34H)

відбудеться виведення інформації з регістра AX на 16-розрядний порт з адресою 34H.

Усі 64 Кбайт портів адресуються непрямо — за допомогою регістра DX.

Приклад 25.8. Ввести інформацію з 8-розрядного порту з адресою, що знаходиться у регістрі DX, у регістр-акумулятор AL.

Для того щоб ввести інформацію, потрібно виконати команду введення IN, першим операндом якої є позначення акумулятора AL, а другим — позначення регістра DX.

Тому за командою

IN AL, DX ; AL ← P₈(DX)

відбудеться введення інформації в акумулятор AL з 8-розрядного порту з адресою, що знаходиться в регістрі DX. Вміст регістра DX має бути визначений до моменту виконання команди введення.

Допускається запис команди з непрямою адресацією у вигляді

IN AL, [DX].

Типи переривань. Процесор i8086 може обробляти до 256 типів переривань. Кожному перериванню відповідає свій вектор — подвійне слово, що містить адресу CS: IP підпрограми, що викликається. Під вектори переривань у загальному просторі адрес пам'яті відводиться 1 Кбайт, починаючи з нульової адреси (рис. 25.10).

Під час переходу на підпрограму обробки переривань $INT\ n$ (n — тип переривання) процесор переміщує у стек вміст регістрів IP, CS, регістр прапорців F і скидає прапорець дозволу переривання IF; обчислює адресу $4 \times n$ і перше слово за цією адресою переміщує у IP, друге — у CS. Послідовність цих дій еквівалентна командам:

PUSHF ; Запам'ятовування у стеку прапорців
CALL FAR i_proc_4n ; Далекий виклик підпрограми обробки
; переривання

Скидання прапорця переривання IF не дозволяє перервати виконання підпрограми обробки переривання до її завершення або виконання команди дозволу *STI*. Останньою командою підпрограми обробки переривання є команда *IRET*. За цією командою процесор вибирає зі стеку адресу повернення (адресу команди, наступної за командою *INT*) і вміст регістра прапорців.

Типи переривань показано на рис. 25.11. Переривання поділяють на зовнішні апаратні та внутрішні. Запити *IRQ* і зовнішніх апаратних переривань надходять до системи переривань або на вивід немаскованого переривання *NMI* МП. Система переривання формує сигнал *INTR* маскованого переривання МП. Зазначимо, що маскування переривання відрізняється від немаскованого тим, що перше може бути заборонено програмно — командою

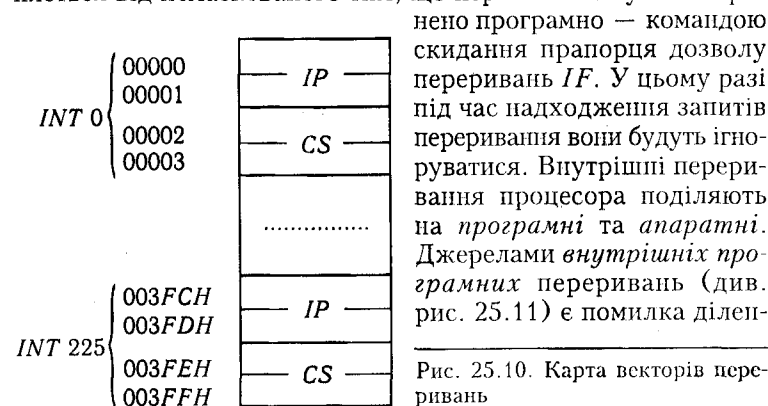


Рис. 25.10. Карта векторів переривань

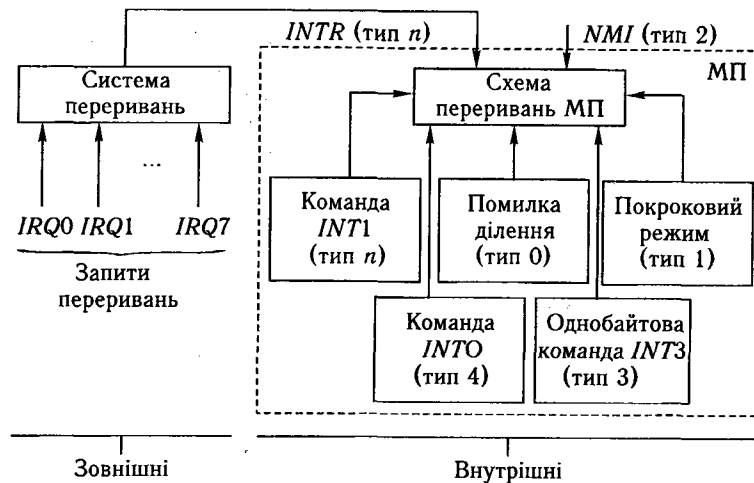


Рис. 25.11. Типи переривань

ня (тип 0), покроковий режим (тип 1) і команда *INTO* (тип 4).

Внутрішні програмні переривання $INT\ n$ та $INT\ 3$ виконуються за командами переривання і дозволяють викликати підпрограми обробки переривань (наприклад, сервісні підпрограми *BIOS* і *DOS*) без застосування дальших викликів. На відміну від $INT\ n$ переривання $INT\ 3$ є однобайтовою командою і зазвичай використовується для передавання керування підпрограми-налагоджувачу. Слід зазначити, що виконання програмних переривань не залежить від прапорця дозволу переривань IF.

Внутрішні апаратні переривання процесора виникають у таких випадках:

- під час ділення на нуль (тип 0);
- за встановленого прапорця трасування (тип 1). У цьому разі переривання відбувається після виконання кожної команди;
- після команди *INTO* (тип 4), якщо встановлений прапорець переповнення OF.

Апаратні переривання виникають у разі активного рівня сигналів на контактах МП-*NMI* (немасковане переривання — тип 2) і *INTR* (масковані, переривання типи 5—255). Масковані переривання виконуються за встановленого прапорця IF. Під час переходу до підпрограми обробки апаратного переривання процесор формує два цикли підтвердження переривання один за одним, в яких генерується сигнал *INTA*. За другим імпульсом *INTA* контролер переривань передає по

шині даних номер вектора переривання n . Далі дії процесора аналогічні виконанню програмного переривання. Обробка поточного переривання може бути перервана немаскованим перериванням або іншим маскованим перериванням вищого пріоритету тоді, якщо підпрограма-обробник встановить прапорець дозволу переривання IF . Немасковане переривання виконується незалежно від стану прапорця IF .

Мікропроцесор i8088 відрізняється від мікропроцесора i8086 тим, що має зовнішню 8-розрядну шину даних за наявності внутрішньої 16-розрядної шини. Зменшення розрядності шини даних спрощує побудову блоків пам'яті інтерфейсу із зовнішніми пристроями, але продуктивність процесора знижується на 20–30 %. Структурна схема МП i8088 аналогічна схемі МП i8086, однак довжина черги команд скорочена до 4 байт, а попередня вибірка виконується за наявності одного вільного байта. Ці властивості оптимізують кошвеер з урахуванням розрядності шини. З погляду програмного забезпечення процесори ідентичні, їхня система команд і набір регістрів однакові. Так само, як і МП i8086, МП i8088 виконує 8- і 16-розрядні логічні та арифметичні операції, включаючи множення й ділення в двійковому та двійково-десятковому кодах, операції з рядками, підтримує режими переривання, прямого доступу до пам'яті, операції з портами. Розміщення контактів МП i8088 і i8086 збігається, за винятком того, що лінії $AD_{15}-AD_8$ використовуються лише для адреси, а лінія \overline{BHE} замінена лінією стану ST_0 . Сигнали ST_0 , DT/\bar{R} і IO/\bar{M} можуть бути використані для ідентифікації циклу шини.

Мікропроцесори i80186(i80188) є програмно сумісними з МП i8086. Розрядність шини адреси — 20, шини даних — відповідно 16 і 8. Процесори мають вбудовані периферійні контролери переривань, прямого доступу до пам'яті, триканальний таймер і тактовий генератор. Мікропроцесори i80C186/i80C188 обладнані засобами керування енергоспоживанням. Є модифікації МП з вбудованим послідовним портом та контролерами динамічної пам'яті.

Мікропроцесор i80286 належить до другого покоління 16-розрядних МП. Віп виконаний за технологією 1,5 мкм, містить 134 000 транзисторів і працює з тактовою частотою 12,5 МГц. Після вдосконалення архітектури швидкодія МП i80286 у 6 разів вища, ніж МП i8086 з тактовою частотою 5 МГц. Розрядність регістрів дорівнює 16. Шина адреси 24-розрядна, що дає змогу адресувати $2^{24} = 16$ Мбайт пам'яті. Простір адрес введення-виведення становить 64 Кбайт. Система команд містить усі команди i8086, кілька нових команд

загального призначення та команди керування захистом. Мікропроцесор i80280 має спеціальні засоби для роботи у системах з багатьма користувачами та багатозадачних режимах. Його найістотнішою відмінністю від мікропроцесорів серії i8086/88 є механізм керування адресацією пам'яті, що забезпечує чотирирівневу систему захисту та підтримку віртуальної пам'яті. Спеціальні засоби призначено для підтримки механізму перемикання задач. Мікропроцесор i80286 має засоби контролю за переходом через межу сегмента, які працюють у реальному режимі.

Мікропроцесор може працювати у двох режимах:

- *8080 Real Address Mode*, або *Real Mode*, — режим реальної адресації, або реальний режим. У цьому режимі МП i80286 фактично є високошвидкісним МП i8086 і адресує 1 Мбайт пам'яті;

- *Protected Virtual Address Mode*, або *Protected Mode*, — захищений режим віртуальної адресації або просто захищений режим. У цьому режимі МП адресує до 16 Мбайт пам'яті, а за використання механізму сторінкової адресації до 1 Гбайт віртуальної пам'яті кожної задачі.

Перемикання у захищений режим здійснюється швидко — однією командою (із заздалегідь підготовленими таблицями дескрипторів), а в режим реальної адресації — повільно, лише через апаратне скидання процесора. У MS DOS використовується реальний режим. Захищений режим використовується в операційних системах на зразок XENIX, UNIX, OS/2, NetWare286, MS Windows.

Для процесора i80286 можливі 256 різних типів переривань. Відрізняється від системи переривань МП i8086 перериванням під час виникнення особливих умов під час виконання команд, наприклад за розміщення двобайтового операнда в останній комірці сегмента даних зі зміщенням $FFFFH$. Таке переривання називають *особливим випадком*, або *винятком*. На відміну від переривань після оброблення винятків (крім винятку 9, що стосується співпроцесора) керування передається знову тій самій команді (включаючи всі префікси), що зумовила переривання. Після усунення умов, що спричинили виняток, відбувається повторне виконання команди.

У реальному режимі адресація пам'яті переважно така сама, як і в МП i8086. Відмінність полягає у можливості використання додаткового блока пам'яті ємністю 64 Кбайт. Якщо у процесі виконання команди під час обчислення адреси комірки пам'яті виникає переповнення у двадцятій розряд шини адреси A_{20} , процесор починає працювати з комітками пам'яті, адреси яких знаходяться в діапазоні $100\ 000H - 10FFFFH$.

У захищеному режимі також використовується сегментна адресація; кількість сегментів може бути від 1 до 16 Мбайт, довжина сегментів задається і може варіювати від 1 до 64 Кбайт, задаються атрибути або права доступу до сегмента (дозвіл запису або лише читання, рівні привілеїв тощо). Кожний сегмент характеризується 8-розрядною структурою даних — *дескриптором сегмента*, що містить інформацію про базову адресу сегмента, його межу та атрибути. Дескриптори розміщені у спеціальних таблицях — глобальній дескрипторній таблиці *GDT* або локальній дескрипторній таблиці *LDT*, які зберігаються в ОЗП. Незалежно від рівня привілею програма не може звертатися до сегмента доти, доки він не описаний у дескрипторній таблиці.

25.3. Архітектура 32-розрядних мікропроцесорів

Існуючі 32-розрядні МП *i386*, *i486*, *Pentium*, *Pentium Pro* і *Pentium II* мають розрядність регістрів та шини адреси, яка дорівнює 32. Шина даних для процесорів *i386*, *i486* є 32-розрядною, а для процесорів *Pentium*, *Pentium Pro* і *Pentium II* — 64-розрядною. Вони дають змогу адресувати 4 Гбайт пам'яті за наявності засобів підтримки сегментної та сторінкової адресації пам'яті. Процесори мають чотирирівневу систему захисту пам'яті та портів введення-виведення, можуть працювати у багатозадачному режимі. До режимів роботи МП *i80286* доданий *Virtual Real Mode* — режим віртуального процесора *i8086*. Мікропроцесори допускають паралельну роботу кількох віртуальних процесорів *i8086* під керуванням операційної системи типу *Windows*, *OS/2*, *Unix*. Процесори оперують з бітами, полями бітів, 8-, 16- та 32-бітовими операндами, рядками бітів, байтів, слів (16-розрядних даних) і подвійних слів (32-розрядних даних). В архітектуру процесорів введено засоби налагодження і тестування.

Програмна модель. Програмну модель 32-розрядного процесора зображено на рис. 25.12. Вона містить такі групи регістрів: регістри загального призначення, лічильник команд, регістр прапорців, сегментні регістри, регістри керування, системні адресні регістри, регістри налагодження і тестування.

Регістри загального призначення містять усі регістри даних і регістри-показники МП *i8086* та *i80286* і стільки само додаткових 32-розрядних регістрів. У позначенні 32-роз-

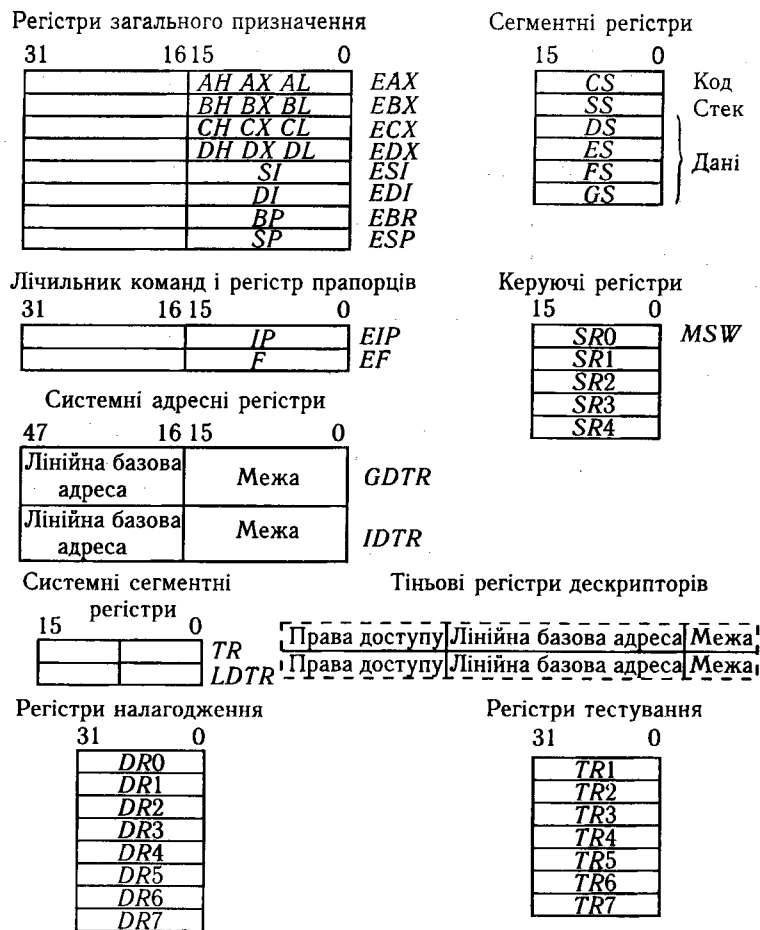


Рис. 25.12. Програмна модель 32-розрядного процесора

рядних регістрів використовується літера *E* (*Expanded* — *розширений*).

Лічильник команд *EIP* містить зміщення наступної виконуваної команди в сегменті кодів. Для 16-розрядних адрес використовуються молодші 16 розрядів (*IP*).

Регістр прапорців *EF* розширено до 32 розрядів. Молодші 16 розрядів регістра *EF* створюють регістр прапорців *F* 16-розрядного процесора. У регістр *EF* додано нові прапорці:

ID (Identification Flag) — прапорець дозволу команди ідентифікації **CPUID** (Pentium+ і деякі процесори типу 486)*;

VIP (Virtual Interrupt Pending) — віртуальний запит переривання (Pentium+);

VIF (Virtual Interrupt Flag) — віртуальна версія прапорця дозволу переривання **IF** для багатозадачних систем (Pentium+);

AC (Alignment Check) — прапорець контролю вирівнювання. Використовується лише на рівні привілеїв 3. Якщо **AC** = 1 і **AM** = 1 (**AM** — біт у регістрі керування **CR0**), то у разі звернення до операнда, не вирівняного за відповідною межею (2, 4, 8 байт)**, відбувається виняток 17 (i486+);

VM (Virtual 8086 Mode) — у захищеному режимі вмикає режим віртуального процесора 8086. Спроба використання привілейованих команд у цьому випадку приведе до винятку 13;

RF (Resume Flag) — прапорець поновлення. У режимі налагодження одиничне значення **RF** дозволяє здійснити рестарт команди після особливого випадку налагодження.

Сегментні регістри. Крім сегментних регістрів МП i8086 та i80286 (**DS**, **CS**, **SS**, **ES**) програмна модель містить два додаткових сегментних регістри даних — **FS** і **GS**. З кожним із шести сегментних регістрів пов'язані тіньові регістри дескрипторів. У тіньові регістри у захищеному режимі переписуються 32-розрядна базова адреса сегмента, 20-розрядна межа й атрибути (права доступу) з дескрипторних таблиць.

Керуючі регістри CR0—CR3 (Control Register) зберігають ознаки стану процесора, спільні для всіх задач. Молодші чотири розряди регістра **CR0** містять біти регістра **MSW** МП i80286 і деякі інші біти керування. Регістр **CR1** зарезервовано; регістр **CR2** зберігає 32-розрядну лінійну адресу, за якою отримано відмову сторінки пам'яті; регістр **CR3** у старших 20 розрядах зберігає фізичну базову адресу таблиці каталога сторінок і біти керування кеш-пам'яттю, а регістр **CR4** (Pentium+) містить біти дозволів архітектурних розширень МП.

Системні адресні регістри. Системні покажчики (регістри глобальної дескрипторної таблиці **GDTR** і таблиці переривань **IDTR**) зберігають відповідно 32-розрядні базові адреси і 16-розрядні межі таблиць. Системні сегментні регістри задач **TR** і локальної дескрипторної таблиці **LDTR** є

*У подальшому позначення i386+, i486+, Pentium+ означають, що наведені дані справедливі для вказаної моделі МП і всіх старших моделей.

**Вирівнювання операнда по межі 2, 4, 8 означає, що адреса операнда є кратною, тобто 2, 4, 8.

6-розрядними селекторами. Їм відповідають тіньові регістри дескрипторів, які містять 32-розрядну базову адресу сегмента, 20-розрядну межу і права доступу.

Регістри налагодження DR0—DR3 (Debug Register) зберігають 32-розрядні адреси точок зупини в режимі налагодження, **DR4—DR5** зарезервовані і не використовуються; **DR6** — відображує стан контрольної точки; **DR7** — керує розміщенням у програмі контрольних точок.

Регістри тестування TR (Test Register) входять до групи модельно-специфічних регістрів, їхній склад і кількість залежать від типу процесора: в МП 386 використовувалися два регістри — **TR6** і **TR7**, у Pentium-12 — **TR1—TR12**. Ця група регістрів зберігає результати тестування МП і кеш-пам'яті.

Сегментна організація пам'яті. У 32-розрядних МП розрізняють три адресні простори пам'яті — логічний, лінійний і фізичний. Логічна адреса (або віртуальна) складається з селектора і зміщення **EA**. Лінійна адреса утворюється додаванням базової адреси сегмента до ефективної адреси. Фізична адреса пам'яті створюється після перетворення лінійної адреси блоком сторінкової переадресації.

Організація пам'яті залежить від режиму роботи МП. У *реальному* і *віртуальному* режимах i8086 адресація пам'яті така сама, як у МП i8086. У *захищеному* режимі здійснюється сегментна і сторінкова організація пам'яті. Сегментна організація використовується на прикладному рівні, а сторінкова — на системному. Формування адреси комірки пам'яті у захищеному режимі подано на рис. 25.13. Блок сегментації перетворює простір логічних адрес на простір лінійних адрес.

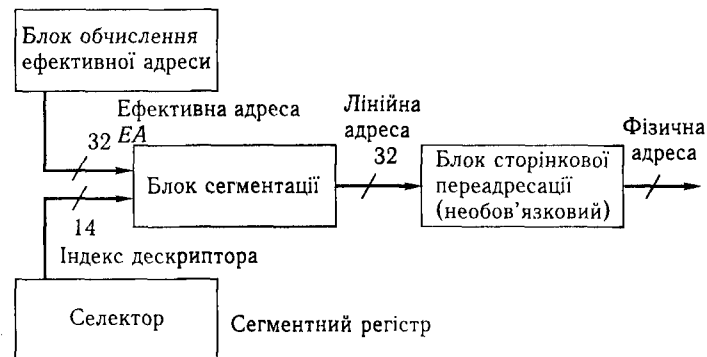


Рис. 25.13. Формування адреси комірки пам'яті у захищеному режимі

Вихідними даними для блока сегментації є зміщення *EA* у сегменті та сегментний реєстр, які задаються у команді. Вміст сегментного реєстра у захищеному режимі є селектором. Він містить інформацію про тип дескрипторної таблиці (глобальної або локальної) та індекс дескриптора (див. рис. 3.1). Індекс дескриптора є номером дескриптора у таблиці. Дескриптор містить базову адресу сегмента. Лінійна адреса створюється додаванням базової та ефективної адреси.

Блок сторінкової переадресації формує фізичну адресу пам'яті. За вимкненого блока лінійна адреса збігається з фізичною. Блок обчислення ефективної адреси обчислює адресу-зміщення операанда у сегменті у відповідності з типом адресації.

У реальному режимі за замовчуванням використовується 16-бітова адресація, але за допомогою префікса зміни розрядності адреси можна перемкнути на 16-розрядний режим. У захищеному режимі тип адресації залежить від біта *D* у дескрипторі кодового сегмента (за *D* = 0 використовується 16-розрядна адресація, а за *D* = 1 – 32-розрядна).

Формування базової адреси сегмента пояснює рис. 25.14. Поле *TI* селектора сегмента визначає робочу дескрипторну таблицю (глобальну або локальну), де знаходиться початкова адреса сегмента.

Поле *RPL* визначає запрошений рівень привілею сегмента, а поле *Index* – зміщення від початкової адреси таблиці. Зазна-

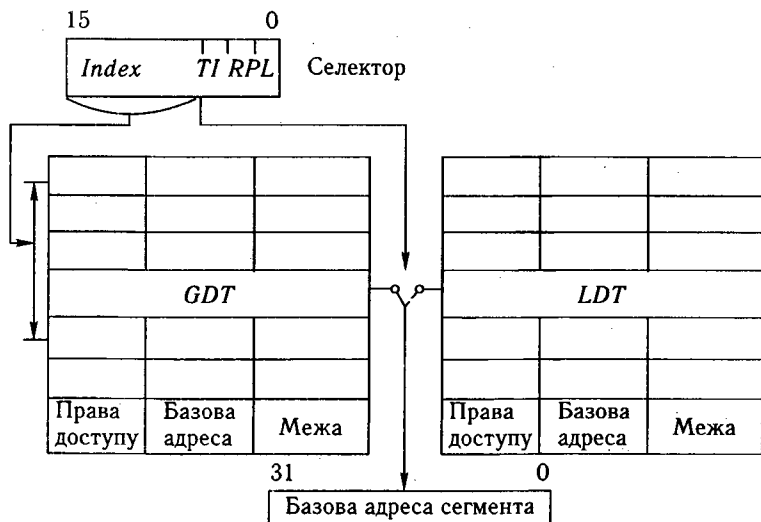


Рис. 25.14. Формування базової адреси сегмента

чимо, що початкова адреса таблиці зберігається або у реєстрі *GDTR* – для глобальної таблиці, або у тіншовому реєстрі. В останньому випадку реєстр *LDTR*, у свою чергу, є селектором і вказує, де в глобальній дескрипторній таблиці знаходиться інформація про початкову адресу локальної таблиці. Ця інформація переписується у тінзовий реєстр.

Формат дескриптора для 32-розрядних процесорів подано на рис. 25.15. Дескриптор МП i80286 містить нуль у бітах 63–48, а поля базової адреси і межі займають відповідно 24 і 16 біт. У 32-розрядному МП поле базової адреси займають другий, третій, четвертий і сьомий байти дескриптора. У процесі виконання команди ці байти об'єднуються в одну 32-розрядну базову адресу.

Поле межі займає байти з номерами 0, 1 і молодші чотири біти шостого байта дескриптора. Межа задає максимальне зміщення у сегменті або останню одиницю, що адресується в сегменті. За 20-розрядної межі максимальне значення елементів, що адресуються, становить 2^{20} . Оскільки елементом сегмента є не лише байт, а й сторінка 4 Кбайт, сегмент може містити від одного байта до 4 Гбайт. Байт з номером 5 дескриптора *AR* (*Access Rights*) містить право доступу, зокрема, такі біти керування: *P* (*Present*) – біт наявності; *DPL* (*Descriptor Privilege Level*) – поле рівня привілеїв сегмента; *S* (*System*) – системний біт; *Type* – поле типу сегмента; *A* (*Accessed*) – біт звернення.

Біт присутності *P* дорівнює одиниці, якщо сегмент знаходиться у фізичній пам'яті (ОЗП). У системі віртуальної пам'яті операційна система може передавати вміст деяких сегментів на диск, при цьому вона скидає біт *P* у стан логічного нуля в дескрипторі цього сегмента. Якщо програма після цього знову звертається до сегмента, випадає особливий випадок відсутності сегмента. Операційна система шукає вільну

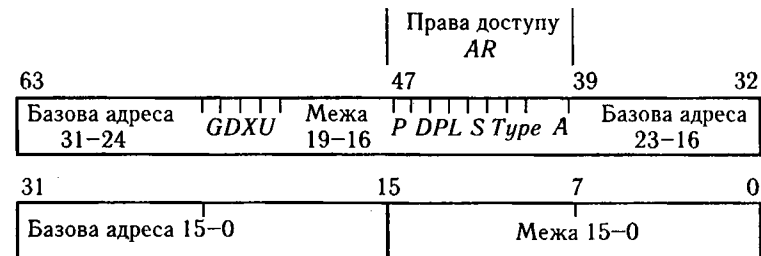


Рис. 25.15. Формат дескриптора для 32-розрядних процесорів

область фізичної пам'яті (при цьому, можливо, відправляє на диск деякий інший сегмент), копіює вміст запрошеного сегмента з диска у пам'ять, записує в його дескриптор нову базову адресу та здійснює рестарт команди, що викликала особливий випадок 11 відсутності сегмента. Описаний процес називають *свопінгом* (*swapping*), або *довантаженням*.

Поле рівня привілеїв сегмента DPL містить 2 біти. Найвищому рівню привілею відповідає значення 0, найнижчому — значення 3.

Системний біт S має нульове значення ($S = 0$) у дескрипторах сегмента кодів, системних сегментів для зберігання локальних таблиць дескрипторів, станів задач *TSS* (*Task State Segment*) та у дескрипторах, що називають *вентиллями* (*Gate*), або *шлюзами*. В інших випадках $S = 1$.

Вентиль містить інформацію про логічну адресу входу до деякої системної програми і займає 8 байт.

Сторінкова організація пам'яті. Цей тип організації здебільшого застосовують у системах віртуальної пам'яті, що дає змогу програмісту використовувати більший простір адрес, ніж існуюча фізична пам'ять. Враховуючи властивість просторової локальності кодів і даних (близького розміщення потрібних комірок пам'яті), доцільно оперувати не байтами, а деякими невеликими модулями пам'яті — сторінками. За сторінкового перетворення весь лінійний адресний простір 32-розрядного МП ємністю 4 Гбайт розбивається на 2^{20} сторінок по 4 Кбайт. Фізичний простір пам'яті мікропроцесорної системи також розбивається на сторінки, причому у фізичній пам'яті сторінок значно менше 2^{20} . Наприклад, за ємності пам'яті 4 Мбайт кількість фізичних сторінок (їх ще називають сторінковими кадрами, або *page frame*) становить 2^{10} . Відсутні у ВІС фізичної пам'яті зберігаються у зовнішній пам'яті (накопичувачі на твердому магнітному диску) і за потреби завантажуються у фізичну пам'ять, тобто відбувається процес свопінгу. Прикладні програми можуть розпоряджатися всім простором віртуальної пам'яті — 4 Гбайт. Процес сторінкового перетворення адреси подано на рис. 25.16.

У процесі перетворення старші 20 біт 32-розрядної лінійної адреси замінюються іншим 20-розрядним значенням — номером фізичної сторінки згідно з механізмом перетворення адреси (див. рис. 25.16). Регістр керування *CR3 PDBR* (*Page Directory Base Register*) містить фізичну базову адресу каталогу сторінок. *Каталог сторінок* знаходиться у фізичній пам'яті постійно і не бере участі у свопінгу. Він містить 1024 32-розрядні адреси *PDE* (*Page Directory Entry*). Кожна з

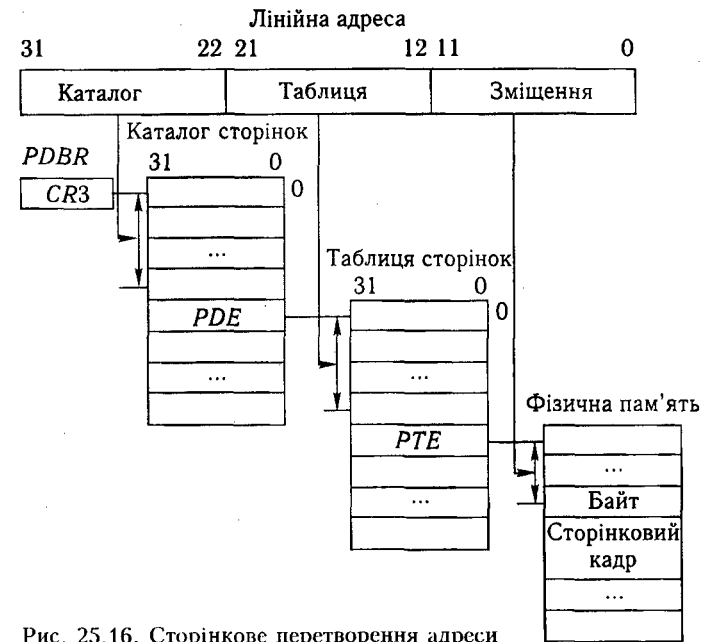


Рис. 25.16. Сторінкове перетворення адреси

них є початковою адресою таблиць сторінок. *Таблиця сторінок PTE* (*Page Table Entry*) містить адреси сторінкових кадрів у фізичній пам'яті.

Фізична базова адреса каталогу сторінок формується із значення рядка таблиці сторінок *PTE* і 12 розрядів зміщення лінійної адреси.

Захист за привілеями. Систему привілеїв призначено для запобігання недозволеним взаємодіям користувачів, несанкціонованому доступу до даних, пошкодженню програм і даних. Частково ці задачі розв'язуються організацією захищеного режиму пам'яті, частково — захистом за привілеями; 32-розрядні процесори підтримують чотири рівні привілеїв 0–3, причому рівень 0 є найбільш привілейованим. Рівень 0 зазвичай присвоюється ядру операційної системи, рівень 1 — системним сервісам, рівень 2 — розширенням операційної системи і рівень 3 — прикладним програмам користувача. Під час виконання програми контролюється, чи може програма:

- здійснювати привілейовані команди;
- звертатися до даних інших програм;
- передавати керування іншій програмі командами передавання керування типу *FAR*.

До привілейованих команд належать команди, що змінюють сегментацію, впливають на механізм захисту, модифікують прапорець дозволу переривань *IF*. За спроби виконати ці команди на рівнях привілеїв 1, 2, 3 генерується виняток 13.

Для контролю звернення програми до даних інших програм використовуються поля *CPL* (*Current Privilege Level* або *Code Privilege Level* — поточний рівень привілеїв; задається полем *RPL* селектора *CS*) і дескриптора даних *DPL*. Доступ до даних дозволяється, якщо $CPL \leq DPL$.

Передавання керування програм різних рівнів привілеїв здійснюється за допомогою використання:

- підлеглих сегментів коду;
- дескрипторів вентилів викликів (шлюзів).

У підлеглих сегментах виконання команд можливе, якщо поточний рівень привілеїв (*CPL*) не нижчий від рівня привілеїв дескриптора (*DPL*) підлеглого сегмента, у непідлеглих — керування сегмента передається за $CPL = DPL$. За звичай у підлеглих сегментах кодів розміщують бібліотеки, до яких можуть звертатися програми різних рівнів привілеїв. Використання підлеглих кодових сегментів не змінює поточний рівень привілеїв. Єдиним способом зміни рівня привілею є використання вентилів викликів. Вентилі ідентифікують дозволені точки входу в кодові сегменти з більшим рівнем привілею. У дескрипторі вентиля задається повна адреса точки входу (селектор: зміщення) тієї процедури, якій передається керування.

Перемикання задач. У багатозадачних системах і системах з великою кількістю користувачів МП виконує деяку частину команд однієї задачі (програм), після цього перемикається на виконання іншої задачі і так триває доти, доки знову не повертається до першої задачі. Для підтримки багатозадачного режиму в МП є такі засоби:

- сегмент стану задачі *TSS*;
- дескриптор сегмента стану задачі;
- регістр задачі *TR*;
- вентиль задачі.

Дескриптор сегмента стану задачі вказує на сегмент, що містить повний стан задачі, а вентиль задачі містить селектор, що вказує на дескриптор *TSS*. Регістр *TR* є селектором сегмента *TSS* поточної задачі. Кожна задача має свій сегмент стану. В сегменті *TSS* міститься інформація про стан процесора на час перемикання задач — уміст майже всіх регістрів МП, включаючи регістр прапорців, роздільні покажчики стеків для рівнів привілеїв 0, 1, 2 і посилання на селектор *TSS* задачі, що її викликала.

Перемикання задач здійснюється або за командами між-сегментних переходів *JMP FAR* чи викликів підпрограм *CALL FAR*, або за апаратними чи програмними перериваннями і винятками. У першому випадку програма має посилатися на сегмент стану задачі *TSS* або на дескриптори вентиля задачі в *GDTR(LDT)*, у другому — відповідний переривання дескриптор в таблиці переривань *IDT* має бути дескриптором вентиля задачі.

Під час передавання керування викликаній задачі за командою *IRET* перевіряється прапорець вкладеної задачі *NT* (*Nested Task*). Якщо $NT = 0$, команда *IRET* працює у звичайному режимі, залишаючись у поточній задачі. Якщо $NT = 1$, команда *IRET* виконує перемикання на попередню задачу.

25.4. Особливості архітектури мікропроцесорів Pentium

Мікропроцесор Pentium — високопродуктивний 32-розрядний процесор з внутрішньою 64-розрядною шиною даних. Процесор є продовженням розробок процесорів $i80 \times 86$ і програмно-сумісний з ними, але має певні особливості. У МП Pentium уперше застосовано 0,8 мкм ВіСМОS-технологію, яка поєднує переваги двох технологій — швидкодію біполярної і мале енергоспоживання СМОS. Використання субмікронної технології дало змогу збільшити кількість транзисторів до 3,1 млн. Для порівняння: процесор 8086 містить 29 тис. транзисторів, а найближчий до Pentium процесор *i486* — 1,2 млн транзисторів. Збільшення кількості транзисторів (більше ніж удвічі) дало змогу розмістити в одній мікросхемі компоненти, що раніше розміщувалися в інших мікросхемах. Це зменшило тривалість доступу і збільшило продуктивність процесора. Висока тактова частота, суперскалярна архітектура, роздільна кеш-пам'ять для програм і даних та інші вдосконалення сприяли більшій продуктивності та сумісності з програмним забезпеченням, розробленим для мікропроцесорів фірми «Intel». Мікропроцесор Pentium дає змогу використовувати такі операційні системи, як UNIX, Windows NT, OS/2, Solaris і NEXTstep. Розглянемо особливості архітектури.

Структурна схема і характеристики. Узагальнена структурна схема МП Pentium (рис. 25.17) містить:

- ШІ — 64-розрядний шинний інтерфейс;
- два 32-розрядних цілочислових АЛІ;

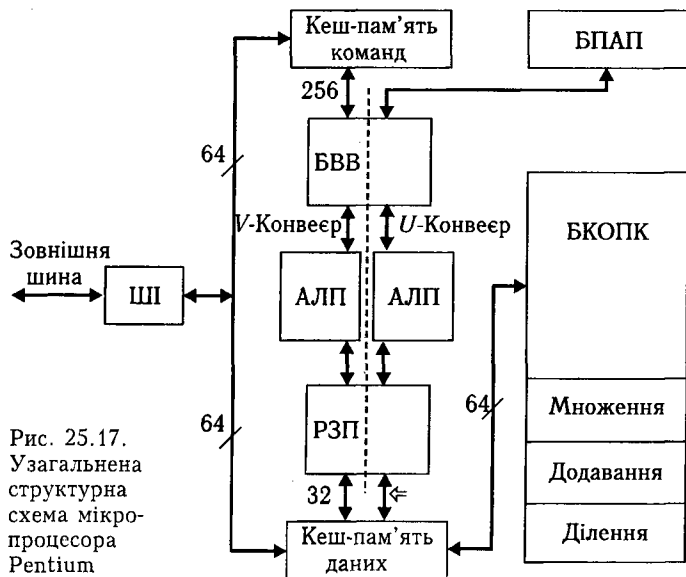


Рис. 25.17.
Узагальнена
структурна
схема мікро-
процесора
Pentium

- кеш-пам'ять команд;
- кеш-пам'ять даних;
- РЗП;
- буфери вибірки з випередженням (БВВ);
- блок передбачення адреси переходу (БПАП);
- блок конвеєрних обчислень з плаваючою комою (БКОПК).

Шинний інтерфейс призначений для сполучення внутрішньої шини процесора із зовнішньою шиною.

Розширена 64-разрядна шина даних. Завдяки цьому МП Pentium підтримує кілька типів циклів шини, включаючи і пакетний режим, за якого частина даних з 256 біт передається у кеш-пам'ять даних за один цикл. Це істотно підвищує швидкість передавання порівняно з процесором i486 DX. Наприклад, МП Pentium з частотою шини 66 МГц має швидкість передавання 528 Мбайт/с, МП i486 DX з частотою шини 50 МГц — 160 Мбайт/с. Розширена шина даних забезпечує конвеєризацію циклів шини, що збільшує пропускну здатність шини і дає змогу другому циклу розпочинатися раніше, ніж завершився перший.

Суперскалярна архітектура. Термін «суперскалярна» означає мікропроцесорну архітектуру, що містить більше ніж один обчислювальний блок. Процесор Pentium має два конвеєри, які можуть виконувати дві команди одночасно — U-конвеєр з

повним набором і V-конвеєр з обмеженим набором команд. На рис. 25.17 конвеєри спрощено подано двома цілочисловими АЛП, РЗП і БВВ.

Високопродуктивний математичний співпроцесор БКОПК містить 8-тактовий конвеєр та апаратні засоби реалізації арифметичних операцій — множення, додавання, ділення. Більша частина команд операцій з плаваючою комою можуть виконуватися в одному цілочисловому конвеєрі, після чого вони надходять у конвеєр обчислень з плаваючою комою. Продуктивність вбудованого арифметичного співпроцесора Pentium переважає продуктивність математичного співпроцесора FPU-486 (Floating-Point Unit) у 2–10 разів.

Використання подвійного конвеєра дає змогу кільком командам знаходитися у різних стадіях виконання і додатково збільшувати продуктивність МП повним заповненням конвеєрів командами. У процесорі Pentium використовується апаратне виконання команд, що також підвищує продуктивність процесора.

Роздільні кеш-пам'яті для команд і даних. Мікропроцесор Pentium має розділені кеш-пам'яті команд і даних. Це дає змогу уникнути конфліктів між процесом вибірки для однієї команди і доступом до даних для іншої, які можуть виникати, наприклад, у процесорі i486. Під час реалізації роздільних кеш-пам'яті для команд і даних обидві команди можуть виконуватися одночасно. Ємність кеш-пам'яті команд та кеш-пам'яті даних у процесорі Pentium однакова і становить 8 Кбайт. Кеш-пам'ять команд і даних виконано за схемою двоканальної асоціативної кеш-пам'яті, причому кеш-пам'ять даних має два інтерфейси (по одному для кожного конвеєра), що дає змогу забезпечувати даними дві окремі команди впродовж одного машинного циклу.

Кеш-пам'ять даних працює з відкладеним (до звільнення зовнішньої шини) записом і палагоджується у режим паскрізного або зворотного запису. В останньому випадку дані зчитуються з кеш-пам'яті, а після цього записуються в основну пам'ять. Такий спосіб використання кеш-пам'яті сприяє збільшенню продуктивності порівняно з кеш-пам'яттю із безпосереднім записом, за якого процесор записує дані одночасно в кеш-пам'ять та основну пам'ять.

Підтримування мультипроцесорного режиму роботи. Архітектура МП Pentium дає змогу працювати двом і більше Pentium-процесорам у мультипроцесорних системах. Реалізовано інтерфейс побудови двопроцесорних систем із симетричною архітектурою (починаючи з другого покоління МП Pentium).

Засоби задання розміру сторінки пам'яті. Pentium-процесор має опцію (спеціальний біт керування) для вибору розміру сторінок пам'яті — традиційну (4 Кбайт) і розширену (4 Мбайт). Збільшення розміру сторінки доцільне під час використання громіздких графічних додатків.

Засоби виявлення помилок і тестування за допомогою функціональної надмірності. З метою підвищення надійності у процесорі Pentium передбачено внутрішнє виявлення помилок внутрішніх пристроїв (внутрішній контроль паритету) та зовнішнього шинного інтерфейсу, контроль паритету шини адреси та тестування за допомогою функціональної надмірності. *Внутрішнє визначення помилок* полягає у доповненні кодів команд і даних бітом парності, що дає змогу визначати помилки непомітно як для системи, так і для користувача. *Тестування за допомогою функціональної надмірності* використовується у програмних додатках, особливо критичних щодо достовірності результатів. Тестування за допомогою функціональної надмірності ґрунтується на роботі двох Pentium-процесорів у конфігурації *головний-контрольований (master/checker)*. У такій конфігурації основний процесор працює у звичайному однопроцесорному режимі. Контрольований процесор виконує ті самі операції, але не керує шиною, і порівнює вихідні сигнали основного процесора з тими сигналами, які він генерує сам. У разі розбіжності отриманих результатів формується сигнал помилки, який може оброблятися системою як переривання. Такий спосіб дає змогу виявляти понад 99 % помилок. Крім того, засоби тестування передбачають можливість виконання вбудованого теста *BIST (Built In Self Test)*, що забезпечує виявлення помилок мнемокодів, програмованих логічних матриць, тестування кеш-пам'яті команд і даних, адресних буферів і ПЗП. У цілому самотестування охоплює понад 70 % вузлів процесора. Усі процесори мають стандартний тестовий порт *IEEE 1149.1* для самотестування за допомогою стандартного інтерфейсу *JTAG*.

25.5. Особливості архітектури 64-розрядних мікропроцесорів

У 1997 р. фірми «Intel» і «Hewlett-Packard» розробили нову мікропроцесорну архітектуру *EPIC (Explicitly Parallel Instruction Computing* — явного паралельного обчислення інструкцій), яку було покладено в основу 64-розрядних мікропроцесорів IA-64, McKinley, Itanium, Itanium 2.

Особливостями архітектури *EPIC* є:

велика кількість регістрів загального призначення. Так, кількість регістрів МП IA-64 містить 128 64-розрядних регістрів для операцій з цілими числами і 12880 — з дробовими;

пошук залежностей між командами, причому пошук виконує не процесор, а компілятор. Команди МП IA-64 групуються компілятором у «зв'язку» завдовжки 128 розрядів. Зв'язка містить три команди і шаблон, в якому зазначені залежності між командами (тобто визначається, чи можна з командою k_1 виконати одночасно команду k_2 або команда k_2 має виконатися лише після команди k_1), а також між іншими зв'язками (чи можна з командою k_3 зі зв'язки c_1 виконати одночасно команду k_4 зі зв'язки c_2);

масштабованість архітектури, тобто пристосування набору команд до великої кількості функціональних пристроїв. Наприклад, одна зв'язка із трьох команд відповідає наборові з трьох функціональних пристроїв процесора. Процесори IA-64 можуть мати різну кількість таких функціональних пристроїв, залишаючись при цьому сумісними за кодом. Завдяки тому, що в шаблоні зазначена залежність і між зв'язками, процесору з N однаковими блоками із трьох функціональних пристроїв відповідатиме командне слово з $N \times 3$ команд (N зв'язок);

предикація (Predication). Предикацією називають спосіб обробки умовних розгалужень. Команди з різних гілок умовного розгалуження позначаються предикатними полями (полями умов) і виконуються паралельно, але їхні результати не записуються, доки значення предикатних регістрів не визначені. Якщо наприкінці циклу визначається умова розгалуження, предикатний регістр, який відповідає «правильній» гілці, встановлюється у стан логічної одиниці, а другий — у стан логічного нуля. Перед записом результатів процесор перевіряє предикатне поле і записує результати лише тих команд, предикатне поле яких містить одиницю;

завантаження за припущенням (Speculative loading). Цей механізм призначений знизити простой процесора, пов'язані з чеканням виконання команд завантаження з відносно повільної основної пам'яті. Компілятор переміщує команди завантаження даних з пам'яті так, щоб вони виконувалися якомога раніше. Отже, якщо дані з пам'яті знадобляться будь-якій команді, процесор не простоюватиме.

Процесор Itanium 2, виконаний за 0,18 мкм технологією, здатний виконувати шість команд за один машинний цикл.

У сукупності з підвищенням тактової частоти та пропускної спроможності системної шини (6,4 Гб/с, частота шини — 400 МГц, розрядність шини — 128) цей чинник забезпечує в 1,5—2 рази більшу продуктивність, ніж у процесорі Itanium. Процесор має велику ємність кеш-пам'яті третього рівня, розміщеної на кристалі (до 3 Мбайт працює на частоті ядра).

У 2003 році на ринку з'явилися процесори, виготовлені за 0,12 мкм технологією:

- Deerfield, призначений для використання в двохпроцесорних системах;

- Madison, орієнтований на мультипроцесорні системи.

Процесор, Montecito, буде вироблений з використанням 90 нм технології найближчим часом.

Контрольні запитання

1. Розкажіть про призначення регістра команд, акумулятора, блока РЗП.
2. Яке призначення прапорців у МП?
3. Які керуючі сигнали використовує МП для забезпечення роботи з пристроями, швидкодія яких значно менша, ніж швидкодія самого МП?
4. Які керуючі сигнали використовує МП для забезпечення роботи з пристроями, швидкодія яких перевищує швидкодію МП?
5. Які дії виконує процесор за сигналом *RESET*?
6. Назвіть існуючі формати даних МП i8086.
7. Наведіть приклади упакованого і розпакованого двійково-десятичних чисел.
8. Як у МП подати від'ємні числа?
9. Поясніть принцип конвеєрної архітектури.
10. Назвіть функції операційного пристрою і шинного інтерфейсу.
11. Які блоки МП беруть участь у формуванні 20-розрядної фізичної адреси?
12. Обчисліть 20-розрядну фізичну адресу $DS:SI$, якщо $DS = 1234H$, $SI = 5678H$.
13. Підберіть дві пари 16-розрядних логічних адрес, які є еквівалентними фізичній адресі $12008H$.
14. Які групи регістрів входять до програмної моделі МП?
15. Які сегментні регістри за замовчуванням адресують початок сегментів кодів, стеку, даних?
16. Яке призначення регістра прапорців?
17. Наведіть приклад виконання команди, після якої встановлюється прапорець знака.
18. Наведіть приклад виконання команди, після якої встановлюється прапорець паритету.
19. Наведіть приклад виконання команди, після якої встановлюється прапорець нульового результату.
20. Дайте визначення вектора переривань і карти векторів переривань.
21. Назвіть та схарактеризуйте існуючі типи переривань МП i8086.

22. Яке призначення регістрів, що входять до програмної моделі 32-розрядного процесора?
23. Яке призначення прапорців, що входять до програмної моделі 32-розрядного процесора?
24. Яке призначення регістрів керування і регістрів тестування?
25. Розкажіть про призначення та існуючі типи дескрипторних таблиць.
26. Дайте визначення процесу свопінгу і поясніть, як він відбувається.
27. Поясніть принцип сторінкової організації пам'яті.
28. Поясніть потребу і принцип функціонування механізму захисту за привілеями.
29. За яких умов дозволяється зчитувати (записувати) дані певного сегмента?
30. Поясніть особливості багатозадачного режиму роботи.
31. Яке призначення регістра *TR*?
32. Які операційні системи можуть використовуватися у МП Pentium?
33. Назвіть призначення основних блоків структурної схеми процесора Pentium.
34. Поясніть роботу блока передбачення адреси переходу на прикладі виконання команди *JC LABEL*.
35. Яка ефективність поділу кеш-пам'яті на кеш-пам'ять команд та кеш-пам'ять даних?
36. Які засоби виявлення помилок має процесор Pentium?
37. У чому полягає принцип тестування за допомогою функціональної надмірності?
38. Які функції тестування має процесор Pentium?
39. Поясніть позитивний ефект предикації.
40. Які переваги має завантаження по припущенню порівняно із звичайним?
41. Які особливості архітектури *EPIC*?

26.1. Формат команд

Програма — послідовність команд, виконання яких приводить до розв'язання задачі.

Команда визначає операцію, яку має виконати МП з даними та містить у явній або неявній формі інформацію про те, де буде розміщений результат операції, та про адресу наступної команди. Код команди складається з кількох частин, які називають *полями*. Склад, призначення і розміщення полів називається *форматом команди*. У загальному випадку формат команди містить операційну та адресну частини. Операційна частина містить код операції, наприклад додавання, множення, передавання даних. Адресна частина складається з кількох полів і має інформацію про адреси операндів, результати операції та наступні команди. Формат команди, в якому адресна частина складається з двох полів (ознаки адресації та адреси операндів), зображено на рис. 26.1.

Поле «ознака адресації» визначає спосіб адресації операнда. Біти полів «Ознака адресації» та «Адреси операндів» разом визначають комірки пам'яті, в яких зберігаються операнди.

Розрізняють такі групи команд: 1) команди передавання даних; 2) команди операцій введення-виведення; 3) команди оброблення інформації (арифметичні, логічні, зсуву, порівняння операндів, десяткової корекції); 4) команди керування порядком виконання програми (переходу, викликів підпрограм, повернення з підпрограм, переривань); 5) команди задання режимів роботи МП.

Загальну кількість бітів у коді команди називають *довжиною формату*. Кількість двійкових розрядів m у полі «код операції» забезпечує можливість подання всіх операцій, які виконує МП. Якщо МП виконує M різних операцій, то кількість розрядів визначається так:

$$m \geq \log_2 M.$$

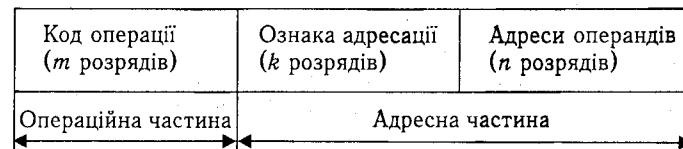


Рис. 26.1. Формат команди

Якщо пам'ять містить S комірок, то потрібна для запису адреси одного операнда кількість розрядів у полі «адреси операндів» становить

$$n \geq \log_2 S.$$

Довжина формату команди визначає швидкість виконання команди і залежить від способу адресації операндів.

26.2. Система команд мікропроцесора i8086

Система команд мікропроцесора i8086 (табл. 26.1) містить 91 мнемокод. Усі команди МП поділяють на п'ять груп:

- команди передавання інформації (команди пересилання, роботи зі стеком, введення-виведення);
- команди оброблення інформації (арифметичні, логічні, команди зсуву);
- рядкові команди;
- команди передавання керування, включаючи команди переривань;
- команди керування станом МП.

У цій таблиці використано такі позначення:

- src* — операнд-джерело;
- dest* — операнд-призначення;
- reg* — 8-/16-розрядний РЗП;
- reg8* — 8-розрядний РЗП;
- reg16* — 16-розрядний РЗП;
- sr* — сегментний регістр;
- mem* — 8-/16-розрядна комірка пам'яті;
- mem8* — 8-розрядна комірка пам'яті;
- mem16* — 16-розрядна комірка пам'яті;
- r/m* — 8-/16-розрядний регістр або комірка пам'яті;
- r/m/i* — 8-/16-розрядний регістр, комірка пам'яті або безпосередній операнд;
- immed* — безпосередній операнд;
- disp* — 8-/16-розрядне зміщення під час задання адреси;

disp8 — 8-розрядне зміщення;
disp16 — 16-розрядне зміщення;
target — мітка, до якої здійснюється перехід;
seg target — перша логічна адреса (сегментний адрес) мітки *target*;
offset target — друга логічна адреса (зміщення у сегменті) мітки *target*;
A — акумулятор *AL* або *AX*;
m[disp] — комірка пам'яті з ефективною адресою $EA = disp$.
 Значення кількості тактів *EA*, потрібне для обчислення ефективної адреси, залежить від способу адресації операнда (табл. 26.2).
 Вплив команд на значення прапорців ілюструє табл. 26.3, в якій позначено: «+» — команда впливає на прапорець; «-» — не впливає; «1» — встановлює прапорець у стан логічної одиниці; «0» — скидає прапорець у стан логічного нуля; «?» — стан невизначений (залежить від конкретних значень операндів).

Таблиця 26.1. Система команд мікропроцесора i8086

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
КОМАНДИ ПЕРЕДАВАННЯ ІНФОРМАЦІЇ				
Команди пересилання				
<i>MOV dest, src</i>	Пересилання даних з регістра, комірки пам'яті або безпосереднього операнда у регістр або пам'ять	$reg \leftarrow reg$	2	2
		$sr \leftarrow reg$	2	2
		$reg \leftarrow sr$	2	2
		$mem \leftarrow reg$	$2-4^{*1}$	$9 + EA$
		$reg \leftarrow mem$	$2-4^{*1}$	$8 + EA$
		$mem \leftarrow sr$	$2-4^{*1}$	$9 + EA$
		$sr \leftarrow mem$	$2-4^{*1}$	$8 + EA$
		$a \leftarrow mem$	3	11
		$mem \leftarrow a$	3	11
		$mem8 \leftarrow immed$	$3-5^{*2}$	$10 + EA$
		$mem16 \leftarrow immed$	$4-6^{*3}$	$10 + EA$
		$reg8 \leftarrow immed$	2	4
		$reg16 \leftarrow immed$	3	4
<i>XCHG r/m, reg</i>	Обмін даними між регістрами або регістром і пам'яттю	$reg \longleftrightarrow reg$	2	4
		$mem \longleftrightarrow reg$	$2-4^{*1}$	$17 + EA$
		$A \longleftrightarrow reg$	1	3
<i>XLAT</i>	Перекодування вмісту <i>AL</i> у значення байта пам'яті, з адресою <i>ES: [BX + (AL)]</i>	$AL \leftarrow ES: [BX + (AL)]$	1	11

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
<i>LEA reg16, mem</i>	Завантаження ефективної адреси комірки пам'яті <i>mem</i> у регістр	$reg \leftarrow EA$	$2-4^{*1}$	$2 + EA$
<i>LDS reg16, mem</i>	Завантаження у регістр <i>reg16</i> слова із комірки пам'яті за адресою <i>[mem]</i> , у <i>DS</i> — наступного слова з комірки за адресою <i>[mem + 2]</i>	$reg \leftarrow [mem]$ $DS \leftarrow [mem+2]$	$2-4^{*1}$	$16 + EA$
<i>LES reg16, mem</i>	Завантаження у регістр <i>reg16</i> слова із комірки пам'яті за адресою <i>[mem]</i> , в <i>ES</i> — наступного слова з комірки за адресою <i>[mem + 2]</i>	$reg \leftarrow [mem]$ $ES \leftarrow [mem + 2]$	$2-4^{*1}$	$16 + EA$
<i>LAHF</i>	Завантаження молодшого байта регістра прапорців <i>FL</i> в <i>AH</i>	$AH \leftarrow FL$	1	4
<i>SAHF</i>	Збереження <i>AH</i> у молодшому байті регістра прапорців <i>FL</i>	$FL \leftarrow AH$	1	4
Команди роботи зі стеком				
<i>PUSH r/m/sr</i>	Пересилання слова з регістра або з пам'яті у стек	$SP \leftarrow SP - 2$ $[SS:SP] \leftarrow r/m$	$2-4^{*1}$	$11/(16 + EA)$
		$SP \leftarrow SP - 2$ $[SS:SP] \leftarrow sr$	1	10
<i>PUSHF</i>	Пересилання у стек вмісту регістра прапорців	$SP \leftarrow SP - 2$ $[SS:SP] \leftarrow F$	1	10
<i>POP r/m/sr</i>	Пересилання слова даних зі стеку в регістр або пам'ять	$r/m \leftarrow [SS:SP]$ $SP \leftarrow SP + 2$	$2-4^{*1}$	$8/(16 + EA)$
		$sr \leftarrow [SS:SP]$ $SP \leftarrow SP + 2$	1	8
<i>POPF</i>	Пересилання даних зі стеку в регістр прапорців	$F \leftarrow [SS:SP]$ $SP \leftarrow SP + 2$	1	8

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
Команди введення-виведення				
<i>IN AL, P8</i> <i>IN AL, DX</i>	Введення в акумулятор <i>AL</i> байта з 8-розрядного порту з адресою <i>P8</i> або з адресою, що зберігається в <i>DX</i>	$AL \leftarrow \text{Порт (P8)}$ $AL \leftarrow \text{Порт (DX)}$	2 1	10 8
<i>IN AX, P8</i> <i>IN AX, DX</i>	Введення в акумулятор <i>AX</i> слова із 16-розрядного порту з адресою <i>P8</i> або з адресою, що зберігається в <i>DX</i>	$AX \leftarrow \text{Порт (P8)}$ $AX \leftarrow \text{Порт (DX)}$	2 1	10 8
<i>OUT P8, AL</i> <i>OUT DX, AL</i>	Виведення байта з акумулятора <i>AL</i> у 8-розрядний порт з адресою <i>P8</i> або з адресою, що зберігається в <i>DX</i>	$\text{Порт (P8)} \leftarrow AL$ $\text{Порт (DX)} \leftarrow AL$	2 1	10 8
<i>OUT P8, AX</i> <i>OUT DX, AX</i>	Виведення слова з акумулятора <i>AX</i> у 16-розрядний порт з адресою <i>P8</i> або з адресою, що зберігається в <i>DX</i>	$\text{Порт (P8)} \leftarrow AX$ $\text{Порт (DX)} \leftarrow AX$	2 1	10 8
КОМАНДИ ОБРОБЛЕННЯ ІНФОРМАЦІЇ				
Арифметичні команди				
<i>ADD r/m, r/m/i</i>	Додавання двох операндів	$r/reg \leftarrow r/reg + reg$ $reg \leftarrow reg + r/m$ $reg8 \leftarrow reg8 + immed$ $reg16 \leftarrow reg16 + immed$ $mem8 \leftarrow mem8 + immed$ $mem16 \leftarrow mem16 + immed$ $AL \leftarrow AL + immed$ $AX \leftarrow AX + immed$	2 2-4*1 2-4*1 3 4 3-5*2 2 3	3 16 + EA 9 + EA 4 4 17 + EA 4 4
<i>ADC r/m, r/m/i</i>	Додавання двох операндів і прапорця перенесення <i>CF</i> від попередньої операції. Прапорець перенес-	$reg \leftarrow reg + reg + CF$ $mem \leftarrow mem + reg + CF$ $reg \leftarrow reg + mem + CF$	2 2-4*1 2-4*1	3 16 + EA 9 + EA

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
	сення додається до молодшого біта результату	$reg8 \leftarrow reg8 + immed + CF$ $reg16 \leftarrow reg16 + immed + CF$ $mem8 \leftarrow mem8 + immed + CF$ $mem16 \leftarrow mem16 + imm + CF$ $AL \leftarrow AL + immed + CF$ $AX \leftarrow AX + immed + CF$	3 4 3-5*2 4-6*3 2 3	4 4 17 + EA 17 + EA 4 4
<i>INC r/m</i>	Інкремент (додавання з одиницею). Команда не діє на прапорець <i>CF</i>	$reg8 \leftarrow reg8 + 1$ $reg16 \leftarrow reg16 + 1$ $mem \leftarrow mem + 1$	2 1 2-4*1	3 2 15 + EA
<i>AAA</i>	Корекція після додавання розпакованих двійково-десяткових чисел		1	4
<i>DAA</i>	Корекція після додавання упакованих двійково-десяткових чисел		1	4
<i>SUB r/m, r/m/i</i>	Віднімання двох операндів	$reg \leftarrow reg - reg$ $mem \leftarrow mem - reg$ $reg \leftarrow reg - mem$ $reg8 \leftarrow reg8 - immed$ $reg16 \leftarrow reg16 - immed$ $mem8 \leftarrow mem8 - immed$ $mem16 \leftarrow mem16 - immed$ $AL \leftarrow AL - immed$ $AX \leftarrow AX - immed$	2 2-4*1 2-4*1 3 4 4 3-5*2 4-6*3 2 3	3 16 + EA 9 + EA 4 4 4 17 + EA 17 + EA 4 4
<i>SBB r/m, r/m/i</i>	Віднімання байта та прапорця позики <i>CF</i> від попередньої операції. Прапорець позики віднімається від молодшого біта результату	$reg \leftarrow reg - reg - CF$ $mem \leftarrow mem - reg - CF$ $reg \leftarrow reg - mem - CF$ $reg8 \leftarrow reg8 - immed - CF$ $reg16 \leftarrow reg16 - immed - CF$ $mem8 \leftarrow mem8 - immed - CF$ $mem16 \leftarrow mem16 - immed - CF$	2 2-4*1 2-4*1 3 4 3-5*2 4-6*3	3 16 + EA 9 + EA 4 4 17 + EA 17 + EA

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
		$AL \leftarrow AL -$ $- \text{immed} - CF$ $AX \leftarrow AX -$ $- \text{immed} - CF$	2 3	4 4
DEC r/m	Декремент (віднімання одиниці). Команда не діє на прапорець CF	$reg8 \leftarrow reg8 - 1$ $reg16 \leftarrow reg16 - 1$ $mem \leftarrow mem - 1$	2 1 2-4*1	3 2 15 + EA
NEG r/m	Зміна знака операнда	$reg \leftarrow - reg$ $mem \leftarrow - mem$	3 2-4*1	3 16 + EA
CMP r/m, r/m/i	Порівняння двох операндів - встановлення вмісту регістра прапорів F за результатом віднімання (без збереження результату віднімання)	$F \leftarrow reg - reg$ $F \leftarrow mem - reg$ $F \leftarrow reg - mem$ $F \leftarrow reg8 - \text{immed}$ $F \leftarrow reg16 - \text{immed}$ $F \leftarrow mem8 - \text{immed}$ $F \leftarrow mem16 - \text{immed}$ $F \leftarrow AL - \text{immed}$ $F \leftarrow AX - \text{immed}$	2 2-4*1 2-4*1 3 4 3-5*2 4-6*3 2 3	3 9 + EA 9 + EA 4 4 1 + EA 1 + EA 4 4
AAS	Корекція після віднімання розпакованих двійково-десятичних чисел		1	4
DAS	Корекція після віднімання упакованих двійково-десятичних чисел		1	4
MUL r/m	Множення AL (AX) на беззнакове значення r/m	$AX \leftarrow AL \times reg8 $ $(DX, AX) \leftarrow AX \times$ $\times reg16 $ $AX \leftarrow AL \times mem8 $ $(DX, AX) \leftarrow AX \times$ $\times mem16 $	2 2 2-4*1 2-4*1	70-77 118-133 76-83 + + EA 124-139 + + EA
IMUL r/m	Множення AL (AX) на знакове значення r/m	$AX \leftarrow AL \times reg8 $ $(DX, AX) \leftarrow AX \times$ $\times reg16 $ $AX \leftarrow AL \times mem8 $ $(DX, AX) \leftarrow AX \times$ $\times mem16 $	2 2 2-4*1 2-4*1	80 - 98 128 - 154 96-104 + + EA 134-160 + + EA
AAM	Корекція після множення розпакованих двійково-десятичних чисел		2	83

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
DIV r/m	Ділення акумулятора на беззнакове число (ділення на нуль зумовлює переривання INT 0)	$ AX : reg8 \rightarrow AL$ (остача AH) $ DX, AX : reg16 \rightarrow AX$ (остача DX) $ AX : mem8 \rightarrow AL$ (остача AH) $ DX, AX : mem16 \rightarrow$ $\rightarrow AX$ (остача DX)	2 2 2-4*1 2-4*1	80 - 90 144 - 162 86-96 + + EA 150-168 + EA
IDIV r/m	Ділення акумулятора на ціле число (8- або 16-розрядне). Ділення на нуль зумовлює переривання INT 0	$AX : reg8 \rightarrow AL$ (остача AH) $(DX, AX) : reg16 \rightarrow AX$ (остача DX) $AX : mem8 \rightarrow AL$ (остача AH) $DX, AX : mem16 \rightarrow$ $\rightarrow AX$ (остача DX)	2 2 2-4*1 2-4*1	101-112 165-184 144-168 + + EA 166-190 + + EA
AAD	Корекція перед діленням розпакованих двійково-десятичних чисел		2	60
CBW	Перетворення байта AL на слово AX (повторення вмісту знакового розряду (AL7) регістра AL в усіх розрядах регістра AH)	$AH \leftarrow (AL7)$	1	2
CWD	Перетворення слова AX на подвійне слово DX, AX (повторення вмісту знакового розряду (AX15) регістра AX в усіх розрядах регістра DX)	$DX \leftarrow (AX15)$	1	5
Логічні команди				
NOT r/m	Інверсія (інверсія всіх бітів операнда)	$reg \leftarrow \overline{reg}$ $mem \leftarrow \overline{mem}$	2 2-4*1	3 16 + EA
AND r/m, r/m/i	Логічне І двох операндів	$reg \leftarrow reg \wedge reg$ $mem \leftarrow mem \wedge reg$ $reg \leftarrow reg \wedge mem$ $reg8 \leftarrow reg8 \wedge \text{immed}$ $reg16 \leftarrow reg16 \wedge \text{immed}$ $mem8 \leftarrow mem8 \wedge \text{immed}$ $mem16 \leftarrow mem16 \wedge$ $\wedge \text{immed}$	2 2-4*1 2-4*1 3 4 4 3-5*2 4-6*3	3 16 + EA 9 + EA 4 4 17 + EA 17 + EA

Продовж. табл. 26.1

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
<i>MOVSW</i>	Копіювання слова з <i>DS:[SI]</i> у <i>ES:[DI]</i>	$ES:[DI] \leftarrow DS:[SI]$ $SI \leftarrow SI \pm 2^{*7}$ $DI \leftarrow DI \pm 2^{*7}$	1	18^{*5} 9 + $+17 CX^{*6}$
<i>LODSB</i>	Копіювання байта з <i>DS:[SI]</i> в <i>AL</i>	$AL \leftarrow DS:[SI]$ $SI \leftarrow SI \pm 1^{*7}$	1	11^{*5} 9 + $+10 CX^{*6}$
<i>LODSW</i>	Копіювання слова з <i>DS:[SI]</i> в <i>AX</i>	$AX \leftarrow DS:[SI]$ $SI \leftarrow SI \pm 2^{*7}$	1	11^{*5} 9 + $+10 CX^{*6}$
<i>STOSB</i>	Запис байта з <i>AL</i> в <i>ES:[DI]</i>	$ES:[DI] \leftarrow AL$ $DI \leftarrow DI \pm 1^{*7}$	1	11^{*5} 9 + $+10 CX^{*6}$
<i>STOSW</i>	Запис слова з <i>AX</i> в <i>ES:[DI]</i>	$ES:[DI] \leftarrow AX$ $DI \leftarrow DI \pm 2^{*7}$	1	11^{*5} 9 + $+10 CX^{*6}$
<i>CMPSB</i>	Порівняння байтів <i>DS:[SI]</i> і <i>ES:[DI]</i> із записом результату порівняння у регістр прапорців	$F \leftarrow ES:[DI] - DS:[SI]$ $SI \leftarrow SI \pm 1^{*7}$ $DI \leftarrow DI \pm 1^{*7}$	1	22^{*5} 9 + $+22 CX^{*6}$
<i>CMPSW</i>	Порівняння слів <i>DS:[SI]</i> і <i>ES:[DI]</i> із записом результату порівняння у регістр прапорців	$F \leftarrow ES:[DI] - DS:[SI]$ $SI \leftarrow SI \pm 2^{*7}$ $DI \leftarrow DI \pm 2^{*7}$	1	22^{*5} 9 + $+22 CX^{*6}$
<i>SCASB</i>	Порівняння байта <i>DS:[SI]</i> і <i>AL</i> із записом результату порівняння у регістр прапорців	$F \leftarrow [DS:SI] - AL$ $SI \leftarrow SI \pm 1^{*7}$	1	15^{*5} 9 + $+15 CX^{*6}$
<i>SCASW</i>	Порівняння слова <i>DS:[SI]</i> і <i>AX</i> із записом результату порівняння у регістр прапорців	$F \leftarrow [DS:SI] - AX$ $SI \leftarrow SI \pm 2^{*7}$	1	15^{*5} 9 + $+15 CX^{*6}$
КОМАНДИ ПЕРЕДАВАННЯ КЕРУВАННЯ				
<i>JMP target16</i>	Внутрішньосегментний безумовний перехід до цільової адреси <i>target</i>	$IP \leftarrow IP + disp16$	3	15
<i>JMP NEAR target8</i>	Перехід до цільової адреси <i>target</i> (перехід у межах сегмента завдовжки 64 Кбайт)	$IP \leftarrow IP + disp8$	2	15
<i>JMP reg</i>		$IP \leftarrow IP + reg$	2	2
<i>JMP mem</i>		$IP \leftarrow IP + mem$	$2-4^{*1}$	$18 + EA$

Продовж. табл. 26.1

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
<i>JMP FAR target</i> <i>JMP FAR mem</i>	Міжсегментний безумовний перехід до цільової адреси <i>target</i> (перехід у межах усієї ємності пам'яті 1 Мбайт)	$IP \leftarrow offset\ target$ $CS \leftarrow seg\ target$ $IP \leftarrow [mem]$ $IP \leftarrow [mem+2]$	5 $2-4^{*1}$	15 $24 + EA$
<i>JCX target</i>	Перехід, якщо $CX = 0$		2	$18/6^{*8}$
<i>LOOP target</i>	Цикл: $CX \leftarrow CX - 1$ і перехід, якщо $CX \neq 0$		2	$16/4^{*8}$
<i>LOOPE (LOOPZ) target</i>	$CX \leftarrow CX - 1$ і перехід, якщо $CX \neq 0$ і $ZF = 1$		2	$18/6^{*8}$
<i>LOOPNE (LOOPNZ) target</i>	$CX \leftarrow CX - 1$ і перехід, якщо $CX \neq 0$ і $ZF = 0$		2	$19/5^{*8}$
<i>JA (JNBE) target</i>	Перехід, якщо перший беззнаковий операнд більше, ніж другий ($CF = ZF = 0$)		2	$16/4^{*8}$
<i>JAE (JNB) target</i>	Перехід, якщо перше беззнакове число не менше, ніж друге ($CF = 0$)		2	$16/4^{*8}$
<i>JB (JC) target</i>	Перехід, якщо перше беззнакове число менше, ніж друге ($CF = 1$)		2	$16/4^{*8}$
<i>JE (JZ) target</i>	Перехід, якщо числа дорівнюють ($ZF = 1$)		2	$16/4^{*8}$
<i>JG (JNLE) target</i>	Перехід, якщо перше знакове число більше за друге ($SF = (ZF \& OF)$)		2	$16/4^{*8}$
<i>JGE (JNL) target</i>	Перехід, якщо перше знакове число більше або дорівнює другому ($SF = OF$)		2	$16/4^{*8}$
<i>JL (JNGE) target</i>	Перехід, якщо перше знакове число менше за друге ($SF \neq OF$)		2	$16/4^{*8}$
<i>JLE (JNG) target</i>	Перехід, якщо перше знакове число менше або дорівнює другому ($SF \neq OF$ або $ZF = 0$)		2	$16/4^{*8}$
<i>JNC (JAE/JNB) target</i>	Перехід, якщо перенесення немає ($CF = 0$)		2	$16/4^{*8}$
<i>JNE (JNZ) target</i>	Перехід, якщо числа нерівні ($ZF = 0$)		2	$16/4^{*8}$
<i>JNO target</i>	Перехід, якщо немає переповнення ($OF = 0$)		2	$16/4^{*8}$

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
<i>JNP (JPO) target</i>	Перехід, якщо паритет непарний ($PF = 0$)		2	$16/4^{*8}$
<i>JNS target</i>	Перехід, якщо позитивний результат ($SF = 0$)		2	$16/4^{*8}$
<i>JO target</i>	Перехід, якщо є переповнення ($OF = 1$)		2	$16/4^{*8}$
<i>JP (JPE) target</i>	Перехід, якщо паритет парний ($PF = 1$)		2	$16/4^{*8}$
<i>JS target</i>	Перехід, якщо негативний результат ($SF = 1$)		2	$16/4^{*8}$
<i>CALL NEAR target</i> <i>CALL NEAR reg</i> <i>CALL NEAR mem</i>	Внутрішньосегментний виклик процедури (виклик у межах сегмента завдовжки 64 Кбайт)	$SP \leftarrow SP - 2$ $[SS:SP] \leftarrow IP$; $IP \leftarrow target$	3	19
		$IP \leftarrow reg$	2	16
		$IP \leftarrow mem$	$2-4^{*1}$	$21 + EA$
<i>CALL FAR target</i>	Міжсегментний виклик процедури (виклик у межах усієї ємності пам'яті 1 Мбайт)	$SP \leftarrow SP - 2$ $[SS:SP] \leftarrow CS$ $SP \leftarrow SP - 2$ $[SS:SP] \leftarrow IP$; $CS, IP \leftarrow target$	5	28
<i>CALL FAR mem</i>		$IP \leftarrow [mem]$; $CS \leftarrow [mem + 2]$	$2-4^{*1}$	$37 + EA$
<i>RET</i> <i>RET NEAR</i>	Повернення з внутрішньосегментної процедури.	$IP \leftarrow [SS:SP]$; $SP \leftarrow SP + 2$	1	8
<i>RET (n)</i> <i>RET NEAR (n)</i>	Необов'язковий параметр n задає корекцію значення вказівника стеку	$IP \leftarrow [SS:SP]$; $SP \leftarrow SP + n$	3	12
<i>RET FAR</i> <i>RET FAR (n)</i>	Повернення з міжсегментної процедури. Необов'язковий параметр n задає корекцію значення вказівника стеку	$IP \leftarrow [SS:SP]$; $SP \leftarrow SP + 2$ $CS \leftarrow [SS:SP]$; $SP \leftarrow SP + 2$	1 3	18 17
Команди переривань				
<i>INT n</i>	Виконання програмного переривання	$SP \leftarrow SP - 2$ $[SS:SP] \leftarrow F$	2	51

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
		$SP \leftarrow SP - 2$ $[SS:SP] \leftarrow CS$ $SP \leftarrow SP - 2$ $[SS:SP] \leftarrow IP$		
<i>INT 3</i>	Виконання програмного переривання 3		1	52
<i>INTO</i>	Виконання програмного переривання 4, якщо прапорець $OF = 1$		1	$53/4^{*9}$
<i>IRET</i>	Повернення з переривання	$IP \leftarrow [SS:SP]$; $SP \leftarrow SP + 2$ $CS \leftarrow [SS:SP]$; $SP \leftarrow SP + 2$; $F \leftarrow [SS:SP]$; $SP \leftarrow SP + 2$	1	24
КОМАНДИ КЕРУВАННЯ СТАНОМ МП				
<i>CLC</i>	Скидання прапорця перенесення	$CF \leftarrow 0$	1	2
<i>CMC</i>	Інверсія прапорця перенесення	$CF \leftarrow \overline{CF}$	1	2
<i>STC</i>	Установлення прапорця перенесення	$CF \leftarrow 1$	1	2
<i>CLD</i>	Скидання прапорця напряму	$DF \leftarrow 0$	1	2
<i>STD</i>	Установлення прапорця напряму	$DF \leftarrow 1$	1	2
<i>CLI</i>	Заборона маскованих апаратних переривань	$IF \leftarrow 0$	1	2
<i>STI</i>	Дозвіл маскованих апаратних переривань	$IF \leftarrow 1$	1	2
<i>HLT</i>	Зупинка процесора		1	2
<i>WAIT</i>	Очікування сигналу на лінії <i>TEST</i>		1	3
<i>ESC msk/mem</i>	Передавання коду команди <i>msk</i> або коду та операнда <i>mem</i> арифметичному співпроцесору		2 $2-4^{*1}$	2 $8 + EA$

Мнемокод команди	Опис команди	Алгоритм команди	Кількість байт	Кількість тактів
<i>LOCK</i>	Префікс блокування шини на час виконання наступної інструкції у максимальному режимі		1	2
<i>NOP</i>	Операцій немає		1	2

Примітки:

*1Команда займає два байти, якщо під час адресації комірки пам'яті не використовується зміщення, тобто $disp = 0$, наприклад, позначення комірки пам'яті *mem* відповідає позначенню $[SI]$; команда займає три байти, якщо використовується 8-розрядне зміщення $disp8$, наприклад, $[SI + 25H]$; команда займає чотири байти, якщо зміщення 16-розрядне – $disp16$, наприклад, $[SI + 1000H]$.

*2Команда займає три байти за $disp = 0$, чотири байти за $disp8$ і п'ять байт при $disp16$.

*3Команда займає чотири байти за $disp = 0$, п'ять байт за $disp8$ і шість байт за $disp16$.

*4Логічний зсув ліворуч збігається з арифметичним зсувом ліворуч. Допускається замість позначення *SAL* використовувати позначення *SHL*.

*5Наведено тривалість виконання рядкової команди без префікса повторення.

*6Наведено тривалість виконання рядкової команди із префіксом повторення. У регістрі *CX* записано кількість повторень.

*7За встановленого прапорця напрямку ($DF = 1$) – це операція додавання або віднімання.

*8 m/n – під час виконання переходу команда виконується за m або за n тактів.

*9За встановленого прапорця ($OF = 1$) команда виконується за 53 або за чотири такти.

Таблиця 26.2. Обчислення ефективної адреси *EA*

Адресація	Спосіб обчислення	Кількість тактів
Пряма	$[disp]$	6
Непряма	$[BX], [BP], [SI], [DI]$	5
Базова або індексна	$[BX + disp], [BP + disp], [SI + disp], [DI + disp]$	9
Базово-індексна	$[BP + DI], [BX + SI],$	7
без зміщення	$[BP + SI], [BX + DI]$	8

Адресація	Спосіб обчислення	Кількість тактів
Базово-індексна зі зміщенням	$[BP + DI + disp],$ $[BX + SI + disp],$ $[BP + SI + disp],$ $[BX + DI + disp]$	11 11 12 12

Таблиця 26.3. Встановлення прапорців

Операція	Команди	Прапорці									
		OF	CF	AF	SF	ZF	PF	DF	IF	TF	
Додавання, віднімання	ADD, ADC, SUB, SBB	+	+	+	+	+	+	-	-	-	
	CMP, NEG, CMPS, SCAS	+	+	+	+	+	+	-	-	-	
	INC, DEC	+	-	+	+	+	+	-	-	-	
Множення	MUL, IMUL	+	+	?	?	?	?	-	-	-	
Ділення	DIV, IDIV	?	?	?	?	?	?	-	-	-	
Десяткова корекція	DAA, DAS,	?	+	+	+	+	+	-	-	-	
	AAA, AAS	?	+	+	?	?	?	-	-	-	
	AAM, AAD	?	?	?	+	+	+	-	-	-	
Логічні команди	AND, OR, XOR, TEST	0	0	?	+	+	+	-	-	-	
Зсув	RCL, RCR, ROL, ROR dest - dest, CL	+	+	?	-	-	-	-	-	-	
	SHL, SHR dest	?	+	?	-	-	-	-	-	-	
	-dest, CL	+	+	?	+	+	+	-	-	-	
		?	+	?	+	+	+	-	-	-	
	SAR	0	+	?	+	+	+	-	-	-	
Відновлення прапорців	POPF, IRET	+	+	+	+	+	+	+	+	+	
	SAHF	-	+	+	+	+	+	-	-	-	
Переривання	INT, INTO	-	-	-	-	-	-	-	0	0	
Керування прапорцями	STC	-	1	-	-	-	-	-	-	-	
	CLC	-	0	-	-	-	-	-	-	-	
	CMC	-	\overline{CF}	-	-	-	-	-	-	-	
	STD	-	-	-	-	-	-	1	-	-	
	CLD	-	-	-	-	-	-	0	-	-	
	STI	-	-	-	-	-	-	-	1	-	
	CLI	-	-	-	-	-	-	-	0	-	

26.3. Приклади виконання команд

Розглянемо приклади виконання команд передавання інформації. До цієї групи команд належать команди пересилання даних з регістрів у регістри, з регістрів у пам'ять, з пам'яті у регістри, з пам'яті до пам'яті, в тому числі у стек та зі стеку.

Приклад 26.1. Передати дані з регістра *CL* у регістр *BL*. До виконання команди регістр *BL* містить число 10101111, а *CL* — 00001111. За командою

MOV BL,CL ; BL ← CL

(*MOVe* — переслати) вміст регістра *CL* пересилається у регістр *BL*. Після виконання команди вміст регістра *BL* дорівнює 00001111, вміст *CL* не змінюється, тобто в МП вміст двох регістрів стає однаковим:

BL = 00001111, *CL* = 00001111.

Приклад 26.2. Переслати вміст комірки пам'яті *DS:[100EH]* у регістр *CX*.

За командою

MOV CX, [00EH] ; CX ← DS:[100EH]

вміст 16-розрядної комірки пам'яті з адресою *DS:[100EH]* пересилається у 16-розрядний регістр *CX*. Нехай до виконання команди вміст регістра *CX* дорівнював 1234H, тобто 0001001000110100₂, а в пам'яті за вказаною адресою знаходиться слово 5678H, причому молодший байт слова 78H розміщений за адресою *DS:[100EH]*, старший байт 56H — за адресою *DS:[100FH]*. Після виконання команди молодший байт слова в пам'яті перепишеться у молодшу частину регістра *CX*, тобто на *CL*, а старший байт — у старшу частину, тобто на *CH*, унаслідок чого вміст *CX* буде 5678H, а інформація у пам'яті залишиться незмінною (рис. 26.2).

Зазначимо, що у двохоперандних командах типу

MOV dest, src

один з операндів має бути вмістом регістра:

MOV r1, r2 ; r1 ← r2

MOV m, r ; m ← r

MOV r, m ; r ← m

Приклад 26.3. Завантажити сегментний регістр *DS* початковим значенням 4000H.

Оскільки команди *MOV sr, immed* не існує, то для того щоб завантажити в сегментний регістр будь-яке значення, потрібно записати його у РЗП, а потім передати його в сегментний регістр, тобто використати дві команди:

MOV AX, 4000H ; AX ← 4000H

MOV DS, AX ; DS ← AX.

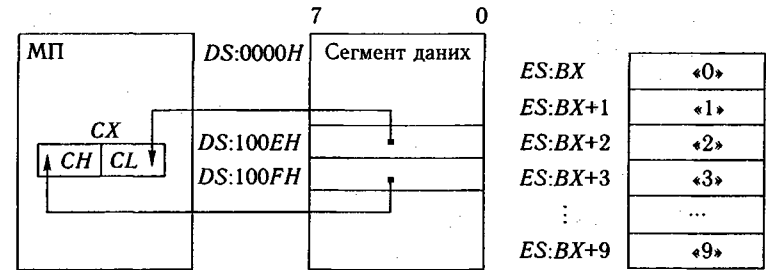


Рис. 26.2. Виконання команди *MOV [100EH], CX*

Рис. 26.3. Розміщення семисегментних кодів у пам'яті

Приклад 26.4. Здійснити обмін вмісту двох регістрів — *BL* і *CL*. За командою

XCNG BL,CL ; BL ↔ CL

(*eXChaNGe* — обмін) вміст регістрів *BL* і *CL* обмінюється місцями.

Нехай значення регістрів *BL* = 10101111, *CL* = 00001111. Після виконання команди вміст регістрів буде

BL = 00001111;

CL = 10101111.

Зазначимо, що під час виконання цієї команди, крім регістрів, які беруть участь у команді, використовуються буферні регістри МП, що зберігають проміжні дані.

Приклад 26.5. Нехай в таблиці з початковою адресою *ES : BX* послідовно розміщено байти семисегментного коду цифр від 0 до 9 (рис. 26.3). Замінити значення вмісту регістра *AL* на відповідний семисегментний код.

Для вирішення завдання скористаємося командою

XLAT ; AL ← ES:[BX + AL],

де *XLAT* (*indeX Load Accumulator from Table*) — індексне (за непрямою адресацією) завантаження акумулятора даними (див. рис. 26.3), що замінює вміст *AL* на вміст комірки пам'яті, розміщеної у сегменті *ES* зі зміщенням *BX + AL*.

Цю команду використовують для перекодування символу, який знаходиться в *AL*, на байт із таблиці перекодування. Для коректної роботи команди треба, щоб таблиця була розміщена за певною адресою, а саме, за початковою адресою *ES:BX*. Довжина таблиці не має перевищувати 256 байт.

Якщо в регістрі *AL* до виконання команди знаходиться, наприклад, число 3, то після виконання в *AL* буде семисегментний код числа 3.

Команду *XLAT* доцільно використовувати для заміни аргументу значенням функції, а значення функцій заздалегідь записувати у таблиці.

Приклад 26.6. Запам'ятати в стеку вміст 16-розрядного регістра загального призначення.

За командою

$PUSH\ AX ; SP \leftarrow SP - 2, AX \leftarrow SS : [SP],$

(*PUSH* — занести) вміст покажчика стеку *SP* зменшується на два, тобто $SP \leftarrow SP - 2$, для адресування верхньої вільної комірки стеку. Після цього вміст регістра *AX* запам'ятовується у 16-розрядній комірці стеку з адресою *SS:SP*. Виконання команди наведено на рис. 26.4.

Команди запису у стек та зчитуванням зі стеку можуть оперувати лише з 16-розрядними операндами.

Операції зі стеком є більш швидкодіючими порівняно зі зверненнями до пам'яті з довільною вибіркою завдяки тому, що адреса комірки стеку формується автоматично. Програміст має лише ініціювати вершину стеку на початку програми, тобто записати в регістри *SS* і *SP* початкові значення:

$MOV\ AX, 7000H ; AX \leftarrow 7000H$

$MOV\ SS, AX ; SS \leftarrow AX$

$MOV\ SP, 4000H ; SP \leftarrow 4000H$

Початковою адресою стеку в цьому прикладі є 7000H:4000H.

Розглянемо приклади виконання арифметичних, логічних команд та команд зсувів.

Приклад 26.7. Додати вміст двох регістрів: *CL* і *DL*. До виконання команди вміст регістрів: *CL* = 10011100, *DL* = 11000101.

За командою

$ADD\ CL, DL ; CL \leftarrow CL + DL$

(*ADD* — додати) додаються два операнди; при цьому результат записується на місце першого операнда. Після виконання команди у регістрі *CL* буде значення 01100001:

рядок перенесень 1 11

```

10011100
+
11000101
-----
01100001

```

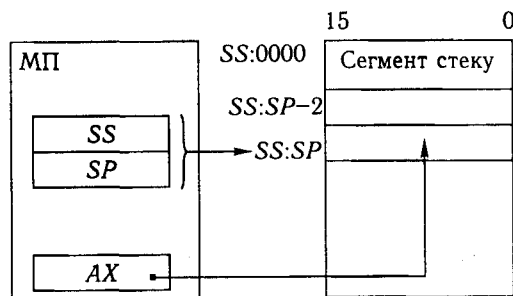
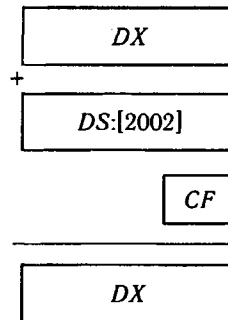


Рис. 26.4. Виконання команди *PUSH AX*

Рис. 26.5. Виконання команди *ADC DX, [2002H]*



Усі арифметичні команди впливають на встановлення прапорців. Так, після виконання цієї команди прапорці встановлюють:

- у стан одиниці: *AF* — прапорець перенесення з розряду *D3* в розряд *D4*; *CF* — прапорець перенесення з розряду *D7*; *OF* — прапорець переповнення (в результаті додавання двох знакових від'ємних чисел отримано позитивний результат);

- у стан нуля: *ZF* — прапорець нуля (результат ненульовий); *PF* — прапорець паритету (число одиниць у результаті непарне); *SF* — прапорець знака (знаковий розряд у результаті дорівнює нулю).

Приклад 26.8. Виконати додавання чотирибайтових операндів, які містяться у сусідніх комірках пам'яті з початковими адресами *DS:1000H* і *DS:2000H*. Результат запам'ятати у регістрах *CX*, *DX*.

Для виконання цього завдання потрібно переслати вміст молодшого слова першого доданка у регістр *CX* та скласти з молодшим словом другого доданка за допомогою команди *ADD*:

$MOV\ CX, [1000H] ; CX \leftarrow DS:[1000H]$

$ADD\ CX, [2000H] ; CX \leftarrow CX + DS:[2000H]$

Для того щоб врахувати перенесення, яке може виникнути під час додавання молодших слів, треба виконати додавання наступних слів операндів за допомогою команди *ADC*, що передбачає додавання значення біта *CF* до отриманої суми. Якщо *CF* = 0, сума не змінюється.

Отже, потрібно переслати вміст старшого слова першого доданка у регістр *DX* та скласти зі старшим словом другого доданка:

$MOV\ DX, [1002H] ; DX \leftarrow DS:[1002H]$

$ADC\ DX, [2002H] ; DX \leftarrow DX + DS:[2002H] + \text{біт } CF$

Якщо слова займають у пам'яті дві сусідні комірки, для адресації старшого слова доданка адресу слід збільшити на два.

Алгоритм команди додавання з урахуванням перенесення *ADC DX, [2002H]* (*ADC* — *Add with Carry* — додати з перенесенням) зображено на рис. 26.5.

Додавання наступних байтів багатобайтових операндів виконується так: молодші байти операндів додаються за командою *ADD*, а всі інші байти — за командою *ADC*.

Приклад 26.9. Виконати віднімання від вмісту регістра *AX* числа 5000H.

За командою

$SUB\ AX, 5000H ; AX \leftarrow AX - 5000H$

(*SUB* — *SUBtract* — відняти) різниця $AX - 5000H$ пересилається в акумулятор *AX*.

Приклад 26.10. Виконати віднімання вмісту комірки пам'яті з адресою *DS:1000H* та числа 35H з урахуванням позики від попередньої операції.

Для того щоб врахувати позику, потрібно виконати віднімання за допомогою команди *SBB*, яка передбачає віднімання біта *CF* від отриманої різниці $[DS:1000H] - 35H$. Якщо *CF* = 0, то результат віднімання залишиться незмінним:

SBB $[1000H], 35H$; $[DS:1000H] \leftarrow [DS:1000H] - 35H - \text{біт } CF$

Команду *SBB* використовують для віднімання багатобайтових операндів з урахуванням позики з попередніх операцій. Віднімання багатобайтових операндів здійснюється так: молодші байти віднімаються за командою *SUB*, а всі інші — за командою *SBB*.

Приклад 26.11. Визначити додатковий код операнда, який міститься у регістрі *BX*.

За командою

NEG BX ; $BX \leftarrow \overline{BX} + 1$

(*NEG* — *NEGative*) виконується переведення числа у додатковий код, тобто спочатку здійснюється його побітова інверсія, а потім додавання одиниці.

Приклад 26.12. Порівняти значення вмісту акумулятора і регістра *CX*. За командою

CMP AX, CX ; $AX - CX \Rightarrow F$

(*CoMPare* — порівняти) від вмісту *AX* віднімається вміст *CX*. При цьому різниця ніде не фіксується, але згідно з нею встановлюються прапорці. Так, прапорець нуля *ZF* встановлюється у стан логічної одиниці, якщо числа тотожні. Якщо значення *AX* за модулем менше ніж *CX*, встановлюється прапорець позики *CF*.

Приклад 26.13. Знайти добуток двох беззнакових 8-розрядних операндів, які знаходяться у регістрах *DL* і *AL*.

У команді множення *MUL* (*MULtiplay* — перемножити) беззнакових чисел вказується лише один операнд — *DL*, оскільки другий множник за замовчуванням знаходиться в акумуляторі. Результат множення байтів розміщується у 16-розрядному регістрі *AX*:

MUL DL ; $AL \times DL \rightarrow AX$.

Приклад 26.14. Знайти добуток двох беззнакових 16-розрядних операндів, які знаходяться у регістрах *CX* і *AX*.

Під час множення двобайтових операндів у мнемоніці команди *MUL* вказується лише один операнд *CX*. Другий операнд за замовчуванням знаходиться в акумуляторі *AX*. Молодша частина добутку зберігається в *AX*, старша — в *DX*. Результат розміщується у регістрах *AX* і *DX*:

MUL CX ; $AX \times CX \rightarrow (DX, AX)$.

Приклад 26.15. Знайти результат ділення вмісту акумулятора *AX* на вміст регістра *CL*.

За командою

DIV CL ; $AX:CL \rightarrow AL$, остача $\rightarrow AH$

(*DIVide* — поділити) вміст *AX* ділиться на вміст *CL*, результат записується в *AL*, а остача від ділення — в *AH*.

Приклад 26.16. Виконати команду ділення подвійного слова, що зберігається у регістрах *DX* і *AX*, на слово у регістрі *CX*.

Під час ділення подвійного слова на слово у мнемоніці команди *DIV* вказується лише дільник, який знаходиться у регістрі *CX*. Молодша частина діленого за замовчуванням знаходиться у регістрі *AX*, старша частина — у регістрі *DX*. Результат розміщується у регістрах *AX* і *DX*:

DIV CX ; $(DX, AX) : CX \rightarrow AX$, остача $\rightarrow DX$.

Приклад 26.17. Виконати команду десяткової корекції результату додавання двох упакованих двійково-десятичних чисел, які знаходяться у регістрах *AL* = 25H, *BL* = 37H. Команду додавання записати так, щоб після її виконання результат був розміщений у регістрі *AL*.

Команда

DAA

(*Decimal correction of Accumulator at Addition* — десяткова корекція акумулятора під час додавання) використовується після команди додавання і перетворює результат додавання двійково-десятичних чисел на двійково-десятичне число. Корекція полягає в узгодженні перенесень у процесі додавання десятичних та шістнадцятикових чисел. Така корекція потрібна, оскільки за порозрядного додавання десятичних чисел перенесення виконується, якщо результат перевищує 9, а за порозрядного додавання шістнадцятикових чисел, якщо результат перевищує $F = 15_{10}$. Алгоритм десяткової корекції такий:

- якщо прапорець *AF* = 1 або молодша тетрада $AL > 9$, то $AL \leftarrow AL + 06, AF \leftarrow 1$;

- якщо прапорець *CF* = 1 або старша тетрада $AL > 9$, то $AL \leftarrow AL + 60H, CF \leftarrow 1$.

Після виконання команди

ADD AL, BL

вміст регістра *AL* визначається так:

$$\begin{array}{r} 00100101 \\ + \\ 00110111 \\ \hline 01011100 \end{array} = 5CH.$$

Це число містить літери, тобто не є двійково-десятичним числом, тому після команди *ADD* виконується команда *DAA*, внаслідок виконання якої результат додавання змінюється. Значення молодшої тетради результату більше ніж 9. Згідно з алгоритмом

$$\begin{array}{r} 01011100 \\ + \\ \quad 110 \\ \hline 01100010_{2-10} \end{array} = 62.$$

Дійсно, $25 + 37 = 62$. Результат додавання 62 є двійково-десятичним числом.

Приклад 26.18. Здійснити порозрядну операцію ЛОГІЧНЕ АБО над числами, які містяться у регістрах *BL* = 11011010 та *CL* = 10001001.

Команда

$OR\ BL,\ CL ; BL \leftarrow BL \vee CL$

(OR — або) виконує операцію ЛОГІЧНЕ АБО, результат якої розміщується на місці першого операнда. Після виконання команди $BL = 11011011$.

Так само порозрядно діють усі логічні операції: AND , XOR , NOT .

Логічні команди діють на прапорці так: прапорці CF і OF встановлюються у стан логічного нуля, прапорці ZF , SF , PF — відповідно до результату (див. табл. 25.3), а значення прапорця AF не визначено. Після виконання команди прапорці набувають таких значень: $ZF = 0$, $SF = 1$, $PF = 1$.

Приклад 26.19. Установити прапорці відповідно до результату операції ЛОГІЧНЕ І над числом $38H$, яке міститься у регістрі CL , та числом $35H$.

За командою

$TEST\ CL, 35H ; CL \wedge 35H \Rightarrow F$

($TEST$ — перевірка) здійснюється кон'юнкція операндів, за результатом встановлюються прапорці, але результат операції не фіксується. Після виконання команди

```
00111000
^
00110101
00110000
```

прапорці набувають значень відповідно до результату операції: $ZF = 0$, $PF = 1$, $SF = 0$, $CF = 0$, $OF = 0$, стан прапорця AF не визначений.

Приклад 26.20. Виконати циклічний зсув вмісту регістра BX ліворуч на один розряд.

За командою

$ROL\ BX, 1$

або

$ROL\ BX, CL$

(ROL — $ROtate\ shift\ Left$ — циклічний зсув ліворуч) здійснюється циклічний зсув вмісту регістра BX ліворуч відповідно на один або CL розрядів (рис. 26.6). За результатами операції змінюються значення прапорців CF , SF , ZF , PF . Команда зсуву на один розряд змінює також прапорець OF — він встановлюється у стан логічної «1» за відповідної зміни знакового розряду.

Розглянемо приклади виконання групи *рядкових команд*. Рядкові команди оперують з масивами даних рядками. За замовчуванням один з масивів (джерело інформації) знаходиться в сегменті даних DS з початковою адресою, яка визначається вмістом регістра SI , а другий масив (приймач інформації) — у додатковому сегменті даних ES з початковою адресою, яка визначається вмістом регістра DI . Елементами рядків є слова або байти. Напряму оброблення інформації у рядках

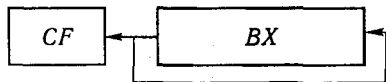


Рис. 26.6. Виконання команди $ROL\ BX, 1$

визначається прапорцем напряму DF . За $DF = 0$ оброблення інформації починається з молодших адрес, за $DF = 1$ — зі старших адрес.

Приклад 26.21. Передати вміст 8-розрядної комірки пам'яті з адресою $DS:SI$ у комірку пам'яті з адресою $ES:DI$.

Для виконання цього завдання використовується команда $MOVSB$ ($MOVe\ Serial\ Byte$ — перемістити послідовність байтів), яка пересилає байт або послідовність байтів з однієї області пам'яті в іншу. Якщо у мнемоніці команди використовується префікс REP , то пересилається послідовність байтів, при цьому кількість байтів у послідовності задається вмістом регістра CX ; якщо у мнемоніці команди префікса REP немає, то пересилається вміст однієї комірки пам'яті. За замовчуванням під час виконання команди $MOVSB$ пересилається вміст комірки пам'яті з адресою $DS:SI$ у комірку пам'яті з адресою $ES:DI$.

Приклад 26.22. Переслати слово, молодший байт якого зберігається у комірці пам'яті з адресою $DS:SI$, а старший байт — у комірці з адресою $DS:SI + 1$, у комірку пам'яті з адресою $ES:DI$.

За командою

$MOVSW$

($MOVe\ Serial\ Word$ — перемістити рядок слів) виконується пересилання слова (за замовчуванням використовуються ті самі адреси комірок, що й у прикладі 26.21).

Приклад 26.23. Переслати масив, що складається зі 100 слів, з області пам'яті, яка має початкову адресу $DS:SI$ ($DS = 2000H$, $SI = 1000H$) в область пам'яті, що має початкову адресу $ES:DI$ ($ES = 3000H$, $DI = 4000H$).

За командою

$REP\ MOVSW$

($REPeat\ MOVSW$) виконується пересилання слів, кількість яких зберігається за замовчуванням у регістрі CX .

Пересилання масиву здійснюється виконанням такої послідовності команд:

$MOV\ CX, 100$; Занести у CX значення довжини масиву
CLD	; Скинути прапорець напряму для автоінкрементації
	; адрес масивів
$MOV\ AX, 2000H$; Занести в регістри DS і SI адреси сегмента та
$MOV\ DS, AX$; зміщення джерела
$MOV\ SI, 1000H$;
$MOV\ AX, 3000H$; Занести в регістри ES і DI адреси сегмента та
$MOV\ ES, AX$; зміщення регістра-приймача даних
$MOV\ DI, 1000H$;
$REP\ MOVSW$; Переслати рядок слів

Розглянемо приклади виконання групи *команд передавання керування*. Команди передавання керування зазвичай змінюють вміст покажчика команд IP , а деякі ще й вміст регістра сегмента команд CS . За допомогою цих команд можна змінити послідовність виконання команд у програмі, оскільки регістр CS містить базову адресу поточного сегмента команд, з якого вибираються команди, а регістр IP — адресу, яка задає зміщення команд щодо початку сегмента команд. Після виконання команди передавання керування пристрій керування МП,

використовуючи новий вміст регістрів *CS* і *IP*, вибирає з пам'яті наступну команду, отже, виконується переоформлення черги команд, які надходять у блок операційного пристрою (див. рис. 25.5).

До цієї групи команд належать: команди безумовного та умовного переходів; команди викликів підпрограм та повернень з підпрограм; команди циклів; команди переривань.

Приклад 26.24. Виконати безумовний внутрішньосегментний перехід. За командою

JMP NEAR LABEL

або

JMP LABEL

(*JuMP NEAR* — стрибок неподалік) здійснюється перехід до виконання команд, перша з яких позначена міткою *LABEL*, що знаходиться у поточному сегменті кодів, тобто близько 64 Кбайт. Якщо тип переходу не вказано, за замовчуванням виконується тип *NEAR*. Під час переходу в межах сегмента змінюється вміст програмного лічильника *IP* ← '*LABEL*', де *LABEL* — символічна адреса або мітка, а '*LABEL*' — зміщення у сегменті кодів цієї мітки.

Приклад 26.25. Виконати безумовний міжсегментний перехід. За командою

JMP FAR LABEL

(*JuMP FAR* — стрибок далеко) здійснюється перехід до виконання команд, першу з яких позначено міткою *LABEL*. Ця мітка знаходиться у межах всієї пам'яті ємністю 1 Мбайт. У разі міжсегментного переходу змінюється як вміст програмного лічильника *IP*, так і вміст сегментного регістра кодів *CS* згідно з міткою *LABEL*.

Приклад 26.26. Виконати умовний перехід залежно від стану прапорця *CF*.

За командою

JC LABEL

(*Jump if Carry* — стрибок, якщо є перенесення) здійснюється перехід виконання команд на мітку *LABEL* лише тоді, коли прапорець *CF* = 1, а якщо прапорець *CF* = 0, здійснюється перехід до виконання команди, наступної після команди умовного переходу.

Приклад 26.27. Викликати підпрограму, розміщену у пам'яті ємністю 1 Мбайт із символічною адресою *NAME*.

Для переходу до виконання підпрограми використовують команду *CALL*. Під час виконання команди *CALL* змінюються значення регістрів *CS* і *IP*. Перед виконанням команди запам'ятовуються значення цих регістрів, щоб після виконання підпрограми можна було повернутися до виконання основної програми. Запам'ятовування значень регістрів відбувається у стеку.

За командою

CALL FAR NAME

(*CALL* — виклик) викликається підпрограма з адресою *NAME*:

- вміст *SP* зменшується на 2;
- у копірку пам'яті з адресою *SS:SP* пересилається вміст регістра *CS*;
- вміст *SP* зменшується на 2;

- у копірку пам'яті з адресою *SS:SP* пересилається вміст регістра *IP*;
- в *IP* і *CS* завантажуються нові значення, які відповідають символічній адресі *NAME*.

У результаті цих дій у стеку запам'ятовується вміст регістрів *CS* і *IP*, тобто повна адреса *CS:IP* тієї команди, яку потрібно виконати після закінчення підпрограми *NAME*. Останньою командою підпрограми, що викликається, є команда *RET FAR*. За цією командою зі стеку витягуються два слова, які були записані під час виклику підпрограми, і заносяться у регістри *CS* і *IP*, тобто відновлюється поточна адреса *CS:IP* команди основної програми.

Приклад 26.28. Виконати послідовність команд 100 разів.

Для повторення виконання послідовності команд 100 разів потрібно в регістрі *CX* задати кількість повторень

MOV CX, 100.

Потім записується послідовність команд, перша з яких позначається міткою

M1: <послідовність команд>

та виконується команда

LOOP M1

(*LOOP* — петля). Команда *LOOP M1* зменшує вміст *CX* на одиницю, а потім порівнює його з нулем. Якщо *CX* ≠ 0, то здійснюється перехід до виконання команди з міткою *M1*, а якщо *CX* = 0, то виконується команда, наступна за *LOOP M1* (вихід із циклу).

До команд циклів належать

LOOPE M1

(*LOOP if Equal* — петля, якщо дорівнює) та

LOOPNE M1

(*LOOP if Not Equal* — петля, якщо не дорівнює). Ці команди реалізують вихід з циклу, якщо або *CX* = 0, або виконується додаткова умова: значення прапорця *ZF* = 1 або *ZF* = 0. Прапорець *ZF* може бути встановлений або відбутися його скидання в результаті виконання однієї з команд циклу.

Приклад 26.29. Перейти до підпрограми обробки переривання типу *n* = 8.

Мікропроцесор i8086 обробляє до 256 типів переривань. У спеціальній області пам'яті, яка розміщена за початковою адресою 0000:0000 і називається *картою векторів переривань*, записано точки входів у підпрограми обробки переривань. За адресою 0000:4 × <номер переривання> зберігаються значення *IP*, за адресою 0000:4 × <номер переривання> + 2 зберігаються значення *CS*. Нові значення *CS:IP* визначають адресу першої команди підпрограми оброблення переривання.

Команда

INT 8

ініціює таку послідовність дій:

- відбувається скидання прапорців *IF* і *TF*, що забороняє переривання та покомандну роботу МП;

- вміст SP зменшується на 2;
- у комірку пам'яті з адресою $SS:SP$ пересилається вміст регістра прапорців F ;
- вміст SP зменшується на 2;
- у комірку пам'яті з адресою $SS:SP$ пересилається вміст регістра CS ;
- вміст SP зменшується на 2;
- у комірку пам'яті з адресою $SS:SP$ пересилається вміст регістра IP ;
- номер переривання множиться на 4: $4 \times 8 = 20H$;
- у регістри IP і CS завантажуються нові значення з карти векторів переривань (початкова адреса $0000H$):

$IP \leftarrow [0000:0020H],$
 $CS \leftarrow [0000:0022H].$

У результаті цих дій здійснюється міжсегментний непрямий виклик підпрограми обробки переривання, причому адреса підпрограми однозначно визначається номером переривання.

Отже, за командою $INT\ 8$ у стеку записується вміст регістрів IP , CS і F , а потім у регістри IP і CS записуються нові значення з карти векторів переривань; МП переходить до виконання підпрограми обробки переривання з номером 8.

Виконання команди $INT\ n$ може бути ініційоване як програмно, так і апаратно. У першому випадку машинний код команди INT зчитується з програмної пам'яті, у другому — машинний код команди INT формується на шині даних система переривань.

Розглянемо приклади виконання групи команд керування станом МП. До цієї групи належать такі команди: скидання, встановлення, інверсії прапорців, команда ESC (перемикання на співпроцесор), $LOCK$ (захоплення шини), NOP (немає операції), HLT (зупинка), $WAIT$ (очікування).

Приклад 26.30. Провести скидання прапорця напряму DF у стан логічного нуля.

За командою

$CLD \quad ; DF \leftarrow 0$

($CLear\ DF$ — очищення DF) відбувається скидання прапорця DF у стан логічного нуля.

Приклад 26.31. Установити прапорець напряму DF у стан логічної одиниці.

За командою

$STD \quad ; DF \leftarrow 1$

($SeT\ DF$ — встановлення DF) прапорець DF встановлюється у стан логічної одиниці.

26.4. Типи адресації операндів

Різноманітні способи адресації, тобто визначення місцезнаходження операнду, спрощують організацію та використання складних структур даних (одно- і двовимірних масивів) та розширюють гнучкість використання команд.

У МП i8086 існують такі способи адресації: регістрова, безпосередня, пряма, непряма, відносна, неявна.

Регістрова адресація. Операнд знаходиться в одному з регістрів МП. Регістр визначається або в єдиному байті однобайтового формату команди, або в другому байті двобайтового формату.

Приклад 26.32. Використовуючи регістрову адресацію, збільшити на одиницю вміст регістру BX .

За командою

$INC\ BX \quad ; BX \leftarrow BX + 1$

вміст BX збільшується на одиницю.

Значимо, що в однобайтових командах $INC\ r$, $DEC\ r$, $PUSH\ r$, $POP\ r$, $XCHG\ AX, r$ регістр визначається в бітах 2–0, а в командах $PUSH\ sr$, $POP\ sr$ — в бітах 4 і 3. В інших бітах визначено код операції.

Формат двобайтових команд з регістровою адресацією зображено на рис. 26.7. Так, у байті 1 команди міститься код операції та два біта — біт напряму d та біт слова w . При $d = 1$ передача здійснюється в регістр, що визначається полем reg байта 2, при $d = 0$ — із регістра reg . Біт w вказує на розрядність операндів — при $w = 1$ команда оперує словом, при $w = 0$ — байтом. У цьому прикладі $d = 1$, $w = 0$.

Байт 2, або *постбайт*, визначає операнди — регістри. Постбайт містить три поля: md — режим, reg — регістр (другий операнд), r/m — регістр/комірка пам'яті (перший операнд). Операнди визначають згідно з табл. 26.4.

За регістрової адресації поле $md = 11$.

Безпосередня адресація. Значення операнду розміщено безпосередньо у форматі команди — в останніх байтах.

Цими значеннями зазвичай є деякі константи, заздалегідь відомі програмісту. У процесі виконання програми значення операндів залишаються незмінними, оскільки вони разом із командою розміщуються в ПЗП. Використання такого способу не потребує адрес операндів.

Приклад 26.33. Використовуючи безпосередню адресацію, завантажити в BX число $1234H$.

За командою

$MOV\ BX, 1234H$

у BX запишеться число $1234H$.

Значимо, що число $1234H$ входить у формат команди.

Пряма адресація. За такої адресації ефективна адреса операнда вказана безпосередньо в команді. Як приклад розгля-

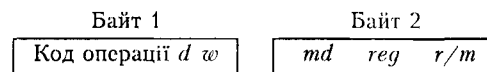


Рис. 26.7. Формат команди прямого завантаження

Таблиця 26.4. Визначення регістрів-операндів

reg, r/m	w = 0	w = 1	reg, r/m	w = 0	w = 1
000	AL	AX	100	AH	SP
001	CL	CX	101	CH	BP
010	DL	DX	110	DH	SI
011	BL	BX	111	BH	DI

немо команду МП i8086 прямого завантаження акумулятора вмістом комірки пам'яті, розміщеної за адресою $DS:0012_{16}$:

MOV AL, [0012H]

Формат цієї команди зображено на рис. 26.8. Байт 1 визначається так само, як і в прикладі 26.32. В байті 2 при цьому способі адресації поля $md = 00$, $r/m = 110$, reg — визначає регістр (в даному разі AL).

Байти 3 і 4 містять адресу комірки пам'яті. У байті 3 розміщений молодший (12_{16}), а в байті 4 — старший (00_{16}) байти адреси. Схему виконання цієї команди зображено на рис. 26.9.

Комірка пам'яті з адресою 0012_{16} має вміст 11010111_2 . Вміст акумулятора до операції становить 00000000_2 . Після виконання команди значення вмісту комірки пам'яті копіюється в акумулятор.

Непряма адресація. За такої адресації у форматі команди вказується номер регістра, в якому зберігається адреса комірки пам'яті, що містить операнд.

Непряма адресація має такі різновиди: базова; індексна; базово-індексна.

Поля md та r/m визначають спосіб обчислення ефективної адреси операнда (табл. 26.5).

Поле md визначає варіант використання зміщення $disp$, яке задається у 3 та 4 байтах команди:

$$md = \begin{cases} 00, & disp = 0 \\ 01, & disp = dispL \\ 10, & disp = dispH, dispL \end{cases}$$

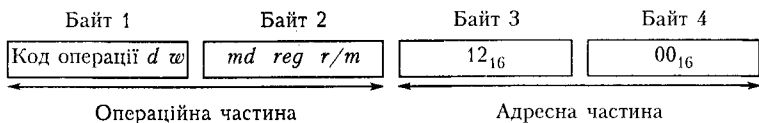


Рис. 26.8. Формат команди прямого завантаження в акумулятор вмісту комірки пам'яті

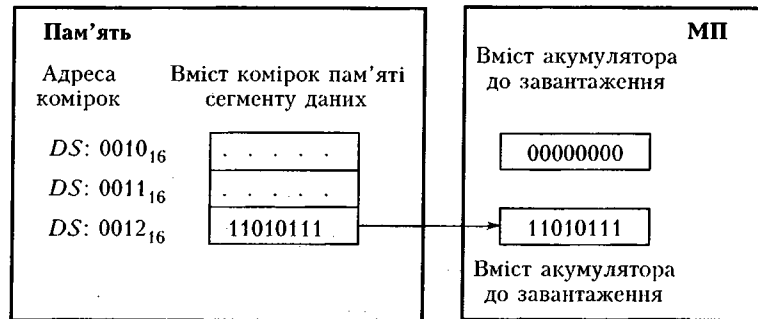


Рис. 26.9. Схема виконання прямого завантаження в акумулятор вмісту комірки пам'яті

Якщо $md = 00$, зміщення відсутнє, якщо 01 — це 8-розрядне число, якщо 10 — 16-розрядне число.

Базова адресація. Ефективна адреса операнда EA обчислюється складанням вмісту базових регістрів BX або BP і зміщенням (8- або 16-розрядного знакового числа). В окремому випадку зміщення може не відбуватися.

Приклад 26.34. Переслати в регістр-акумулятор AX вміст комірки пам'яті, яка розміщена у сегменті даних і має ефективну адресу (зміщення у сегменті), що дорівнює сумі вмісту регістра BX і числа $2000H$.

Для того, щоб переслати вміст комірки пам'яті в акумулятор, потрібно використати команду пересилки **MOV dst, src** , де операндом призначення dst (*destination*) є регістр AX , а операндом джерела інформації src (*source*) — комірка пам'яті. Комірка пам'яті позначається квадратними дужками, всередині записується значення ефективної адреси, тобто $BX + 2000H$.

Таблиця 26.5. Обчислення ефективної адреси операнда за непрямою адресацією

Поле r/m	Ефективна адреса	Тип адресації
000	$BX+SI+disp$	Базово-індексна
001	$BX+DI+disp$	
010	$BP+SI+disp$	
011	$BP+DI+disp$	
100	$SI+disp$	Індексна
101	$DI+disp$	
110	$BX+disp$	Базова
111	$BP+disp$	

Отже, за командою

`MOV AX, [BX + 2000H] ; AX ← DS:[BX + 2000H]`

у регістр *AX* пересилається байт із комірки пам'яті з такою адресою: *DS:[BX + 2000H]*.

Зазначимо, що перед використанням цієї команди вміст регістрів *DS* і *BX* визначаються заздалегідь.

Індексна адресація. За індексної адресації як адреси зміщення використовується вміст індексних регістрів *SI* або *DI* та зміщення у вигляді числа.

Приклад 26.35. Переслати у регістр-акумулятор *AX* вміст комірки пам'яті, розміщеної у сегменті даних з ефективною адресою (зміщення у сегменті), яка дорівнює сумі вмісту регістра *SI* і числа 5000H.

За командою

`MOV AX, [SI + 5000H] ; AX ← DS: [SI + 5000H]`

у регістр *AX* пересилається байт із комірки пам'яті з такою адресою: *DS:[SI + 5000H]*.

Перед використанням цієї команди вміст регістрів *DS* і *SI* визначаються заздалегідь.

Базово-індексна адресація. Ефективна адреса операнда *EA* дорівнює сумі вмісту базових регістрів *BX* або *BP*, індексних регістрів *SI* або *DI* та зміщення. Зазначимо, що числове зміщення може бути відсутнім.

Приклад 26.36. Переслати у регістр-акумулятор *AX* вміст комірки пам'яті, що розміщена у сегменті даних і має ефективну адресу, яка дорівнює сумі вмісту двох регістрів *SI* і *BX*.

За командою

`MOV AX, [SI + BX] ; AX ← DS: [SI + BX]`

у регістр *AX* пересилається байт із комірки пам'яті з такою адресою: *DS:[SI + BX]*.

Перед використанням цієї команди вміст регістрів *DS*, *SI* і *BX* визначаються заздалегідь.

Базову та індексну адресацію застосовують для звернення до елементів одновимірного масиву, базово-індексна — до двовимірного масиву.

Відносна адресація. За відносної адресації адреса операнда визначається додаванням вмісту програмного лічильника із зазначеним у команді числом. Використовується в командах переходів, викликах підпрограм, керування циклами. Під час автоматичного асемблювання програми вказується мітка команди, котрій передається керування, а потрібне зміщення обчислюється програмою Асемблер.

Неявна адресація. Операнд вказується разом із кодом операції. Він бере участь у цій команді за замовчуванням. Такий

спосіб адресації використовують у командах-порядках, де регістр *SI* адресує перший елемент рядка-джерела інформації, а регістр *DI* — перший елемент рядка-отримувача інформації.

26.5. Програмування мовою Асемблер

У МПС використовується програмування мовою Асемблер. **Асемблером** називається і мова програмування у мнемонічних командах, і спеціальна програма-транслятор, що переводить (транслює) мнемонічні коди на машинні коди, які зчитуються мікропроцесором з пам'яті програм, дешифруються і виконуються. Процес переведення мнемонічних кодів на машинні коди називають *асемблюванням*.

Програма на мові Асемблер містить два типи *виразів*:

- команди, що транслюються на машинні коди;
- директиви, що керують ходом трансляції.

Вираз має такий вигляд:

{<мітка>}: <мнемонічний код> {<операнд>} {,} {<операнд>} {,} {<коментар>};

У фігурних дужках наведено елементи виразу, яких може не бути у деяких командах. Мітка, мнемонічний код і операнди відокремлюються хоча б одним пробілом або табуляцією. Максимальна довжина рядка становить 132 символи, але найчастіше використовуються рядки з 80 символів, що відповідає довжині екрана.

Прикладами команд мови Асемблер є:

Мітка	Мнемонічний код	Операнд(и)	Коментар
	<code>MOV</code>	<code>AX, 0</code>	; Команда, два операнди
<code>M1:</code>	<code>ADD</code>	<code>AX, BX</code>	; Мітка, команда, два операнди
<code>DELAY:</code>	<code>MOV</code>	<code>CX, 1234</code>	; Мітка, команда, два операнди

Прикладом директиви є:

Мітка	Мнемонічний код	Операнд(и)	Коментар
<code>COUNT:</code>	<code>DB</code>	<code>1</code>	; Мітка, команда, один операнд

Мітка на мові Асемблер є символічною адресою команди. Мітками позначаються не всі команди, а лише ті, до яких потрібно виконувати перехід за допомогою команд переходів або викликів підпрограм. У командах переходів або викликів підпрограм позначення мітки використовується як операнд — символічна адреса переходу, наприклад:

Мітка	Мнемокод	Операнд(и)	Коментарі
	<i>JMP</i>	<i>M1</i>	; Перехід до команди з ; міткою <i>M1</i>
	<i>CALL</i>	<i>DELAY</i>	; Виклик підпрограми з ; міткою <i>DELAY</i> .

Після мітки ставиться двокрапка. Першим символом у мітці має бути літера або один із спеціальних символів: знак питання «?»; крапка «.»; знак амперсанд «@»; підкреслювання «_»; знак долара «\$». Знак питання і крапка можуть займати лише перше місце. Максимальна довжина мітки — 31 символ. Приклади міток: *COUNT*, *PAGE25*, *SE10*. Рекомендується використовувати описові й смислові мітки. Усі мітки у програмі мають бути унікальними, тобто не може бути кількох команд з однаковими мітками. Крім того, як мітки не можна використовувати зарезервовані асемблером слова, до яких належать коди команд, директиви, імена регістрів. Наприклад, імена *AX*, *DI* та *AL* є зарезервованими і використовуються лише для зазначення відповідних регістрів.

Мнемокод ідентифікує команду асемблера. Для мнемокодів використовують скорочені або повні англійські слова, які передають значення основної функції команди: *ADD* — додати, *SUB* (*SUBtract*) — відняти, *XCHG* (*eXCHanGe*) — поміняти.

Операнди відокремлюються комами. Якщо задано два операнди, то перший із них завжди є приймачем, а другий — джерелом інформації. Команда може містити різну кількість операндів різних типів, наприклад:

Мітка	Мнемокод	Операнд(и)	Коментарі
	<i>RET</i>		; Повернутися (операнди не ; вказані)
	<i>INC</i>	<i>CX</i>	; Збільшити <i>CX</i> (один операнд)
	<i>ADD</i>	<i>AX, 12H</i>	; Додати <i>12H</i> до вмісту <i>AX</i> ; (два операнди)
	<i>MOV</i>	<i>BX, [SI]</i>	; Занести до регістра <i>BX</i> чис- ; ло з комірки ; Пам'яті з адресою <i>DS:SI</i> ; (два операнди)

Коментарі ігноруються у процесі трансляції і використовуються для документування та кращого розуміння змісту програми. Коментар завжди починається із символу «;» і може містити будь-які символи. Він може також займати весь рядок або бути розміщеним за командою в одному рядку, наприклад:

Мітка	Мнемокод	Операнд(и)	Коментарі
			; Цей рядок є комента- ; рем
	<i>ADD</i>	<i>AX, BX</i>	; Команда і коментар в ; одному рядку

Оскільки коментарі не транслюються на машинні коди, то їхня кількість не впливає на ефективність виконання програми.

Програма мовою Асемблер називається *початковою програмою*, або *початковим програмним модулем*. Асемблювання, або переведення початкової програми на машинні коди, виконує програма-транслятор, наприклад *TASM.COM*. Залежно від установок, які задає користувач, програма переводить початковий модуль в один з двох програмних модулів: командний модуль (файл з розширенням *.COM*) або об'єктний модуль (файл з розширенням *.OBJ*).

Командний модуль містить машинні коди команд з абсолютними адресами і виконується МП. Командний модуль доцільно використовувати тоді, коли ємність програми не перевищує розміру одного сегмента (64 Кбайт). Першим оператором командного модуля є директива *ORG 100H* (*ORIGIN* — початок), яка розміщує першу команду програми у сегменті кодів зі зміщенням *100H*. Закінчуватися програма має або командою *RET*, або стандартною процедурою коректного виходу до *MSDOS*:

Мітка	Мнемокод	Операнд(и)	Коментарі
	<i>MOV</i>	<i>AH, 4CH</i>	; Запестити в <i>AH</i> число <i>4CH</i> ; (значення параметра пе- ; реривання <i>INT 21H</i>)
	<i>INT</i>	<i>21H</i>	; Викликати стандартну ; процедуру ; переривання <i>21H</i> -корект- ; ного виходу до <i>MSDOS</i> .

Останнім записом програми має бути директива *END*.

Об'єктний модуль містить машинні коди команд з відносними адресами і виконується МП після заміни відносних адрес на абсолютні за допомогою програми-укладача, наприклад *LINK.EXE*, яка генерує модуль із розширенням *.EXE* (*EXE*-файл або *EXE*-програму); *EXE*-файл, на відміну від командного модуля, може перевищувати ємність одного сегмента. Однак у цьому разі обов'язковим є визначення сегментів за допомогою директив асемблера. Закінчується *EXE*-файл стандартною процедурою коректного виходу до *MSDOS*.

Програма-укладач має ще одне призначення. Вона об'єднує об'єктний модуль з бібліотечними модулями або кілька окре-

Під час асемблювання програма-транслятор генерує лістинг і файл лістингу програми. *Лістинг* — відображення на дисплеї або папері текстів початкового програмного модуля, програмного модуля (.COM або .OBJ) та повідомлень, які вказують на помилки програмування, зумовлені порушенням правил запису виразів, наприклад немає операнда або неправильний мнемокод команди.

- початок і кінець сегмента *SEGMENT* та *ENDS*;
- початок і кінець процедури *PROC* та *ENDP*;
- призначення сегментів *ASSUME*;
- початок *ORG*;
- розподіл та ініціювання пам'яті *DB*, *DW*, *DD*;
- завершення програми *END*;
- відзначення *LABEL*.

Назва	Мнемокод	Операнд
<i>DATASG</i>	<i>SEGMENT</i>	{<параметри>}
	•	
	•	
	•	Інші команди або директиви сегмента

Обидві директиви *SEGMENT* і *ENDS* повинні мати однакові назви. Директива *SEGMENT* може містити три типи параметрів: вирівнювання, об'єднання і класу.

PAGE = xxx00;

PARA = xxxx0 (межа за замовчуванням);

WORD = xxxxe (парна межа);

BYTE = xxxxxx.

мовчущанням, береться параметр *PARA*, який вказує на те, що сегмент розміщується на початку параграфа, а початкова адреса сегмента є кратною 16. *Параграфом* називають область пам'яті розміром 16 байт, початкова адреса якої кратна 16, тобто має праворуч чотири нульових розряди.

- **NONE**: значення за замовчуванням. Сегмент має бути логічно відокремленим від інших сегментів, хоча фізично він може розміщуватися поряд. Передбачається, що сегмент має власну базову адресу;

- **PUBLIC:** усі **PUBLIC** – сегменти з однаковими назвою і класом завантажуються у суміжні області та мають одну базову адресу;

- **STACK**: призначення аналогічне параметру **PUBLIC**. У будь-якій програмі має бути визначений принаймні один сегмент **STACK**. Якщо визначено більше одного стеку, то покажчик стеку **SP** (*Stack Pointer*) встановлюється на початок першого стеку;

- **COMMON**: для сегментів **COMMON** з однаковими назвами та класами встановлюється одна спільна базова адреса. Під час виконання програми здійснюється накладання другого сегмента на перший. Розмір загальної області визначається найдовшим сегментом;

- *АТ-параграф*: цей параметр забезпечує визначення міток та змінних за фіксованими адресами у фіксованих областях пам'яті;

- 'Клас': цей параметр може мати будь-яку правильну назву, яка розміщується в одипарних лапках. Параметр використовується для обробки сегментів, що мають однакові назви та класи. Типовими є класи 'STACK' та 'CODE', наприклад:

Назва	Мнемокод	Операнд
STACKSG	SEGMENT	PARA STACK 'STACK'

Якщо програма не має об'єднуватися з іншими програмами, параметр об'єднання не вказується.

Директиви початку і кінця процедури PROC та ENDP використовуються для визначення підпрограм у сегменті кодів і мають такий формат:

<Назва> PROC {<тип процедури>}.

Можливі два типи процедур:

- *NEAR* — процедура знаходиться в тому самому сегменті, що й команди, які її викликають;

- *FAR* — процедура знаходиться за межами сегмента. За замовчуванням береться тип процедури *NEAR*.

Сегмент кодів може містити кілька процедур. Описання сегмента кодів, що містить лише одну процедуру, має такий вигляд:

Назва	Мнемокод	Операнд
Ім'я_сегмента	<i>SEGMENT</i>	<i>PARA</i>
Ім'я_процедури	<i>PROC</i>	<i>FAR</i>
		<i>RET</i>
Ім'я_процедури	<i>ENDP</i>	
Ім'я_сегмента	<i>ENDS</i>	

Ім'я процедури має бути обов'язково і збігатися з іменем у директиві *ENDP*, яка визначає кінець процедури.

Директива призначення сегментів *ASSUME* використовується для встановлення відповідності між сегментами та сегментними регістрами і має такий формат:

ASSUME <сегментний регістр>: <ім'я>{,}{...}.

Наприклад, запис *SS:ім_стек* вказує, що ім'я стеку визначається вмістом регістра *SS*. Одна директива *ASSUME* може призначати до чотирьох сегментних регістрів у будь-якій послідовності, наприклад:

Мнемокод Операнд(и)
ASSUME *SS:ім_стек, DS:ім_дані, CS:ім_код,*
 ES:ім_додатковий_дані

Для скасування будь-якого призначеного раніше у директиві *ASSUME* сегментного регістра потрібно використовувати слово *NOTHING*:

Мнемокод Операнд(и)
ASSUME *ES: NOTHING.*

Якщо програма не використовує будь-який сегмент, то відповідний йому операнд можна відпустити або вказати слово *NOTHING*.

Директива *ORG* використовується для зміни вмісту програмованого лічильника без команд умовного чи безумовного переходу. Найчастіше цю директиву використовують для встановлення початкової адреси програми, наприклад директива *ORG 100H* встановлює програмований лічильник на зміщення 100H щодо початку сегмента кодів. Операнд зі знаком долара «\$» має поточне значення програмованого лічильника, наприклад директива *ORG \$+10H* збільшує адресу, завантажену в програмований лічильник, на 10H.

Директиви розподілу та ініціювання пам'яті використовуються для визначення вмісту і резервування комірок пам'яті.

Директива має формат:

{ <ім'я> } *Dn* {кількість повторень *DUP*} <вираз>.

де мнемокод $Dn = \begin{Bmatrix} DB \\ DW \\ DD \\ DQ \\ DT \end{Bmatrix}$ вказує на довжину даних: *DB* —

байт; *DW* — слово (два байти); *DD* — подвійне слово; *DQ* — чотири слова; *DT* — десять байтів. Якщо у форматі наявне ім'я, то далі у програмі воно може використовуватися для позначення комірки пам'яті.

<Вираз> у форматі директиви містить одну або кілька констант для задання початкових значень вмісту комірок пам'яті або знак «?» для невизначеного значення вмісту. Наприклад, директива

ALPHA DB 34

означає, що комірка пам'яті з іменем *ALPHA* містить число 34. У ході виконання програми вміст комірки може бути змінений. Директива

BETA DW ?

визначає, що комірка з іменем *BETA* має розрядність 16, але вміст комірки є невизначеним. Директива може містити кілька констант, розділених комами і обмежених лише довжиною рядка. Наприклад, вираз

ARRAY DB 01, 02, 11, 12, 21, 22

визначає 6 констант у вигляді послідовності суміжних байтів. Посилання на комірку з іменем *ARRAY* вказує на першу константу (01), з іменем *ARRAY + 1* — на другу (02), з іменем *ARRAY + 2* — на третю (11) і т. д. Запис *MOV AL, ARRAY + 4* завантажує у регістр *AL* значення 21.

Одна директива може визначити кілька комірок пам'яті. У цьому разі директива має вигляд:

{ <ім'я> } *Dn* {кількість повторень} *DUP* <вираз>.

Наприклад, директива, що визначає 5 байт, які містять число 21, записується так:

DB 5 DUP (21).

Директива завершення програми *END* є останньою у програмі та має такий формат:

END {<стартова адреса>}.

Параметр директиви <стартова адреса> використовують лише для створення EXE-файлів.

Директива відзначення LABEL призначена для встановлення відповідності між іменем і типом змінних. Вона має такий формат:

<ім'я> LABEL {<тип>}.

Як тип можна використовувати слова BYTE, WORD, DWORD, що визначають довжину даних: байт, слово або подвійне слово. Директива LABEL перевизначає параметри процедур NEAR або FAR. Наприклад, директива

TOS LABEL WORD

присвоює комірці пам'яті ім'я TOS і зазначає, що її вміст є словом.

Приклади написання простих програм. Прості програми доцільно оформляти у вигляді командних файлів. Першою директивою таких програм є директива ORG 100H, останньою — END.

Приклад 26.37. Написати програму додавання вмісту двох 8-розрядних комірок пам'яті, що знаходяться в сегменті даних DS зі зміщеннями 1000H і 1001H. Результат розмістити у комірці пам'яті з адресою DS : 1002H.

У цьому прикладі для простоти не будемо враховувати можливість виникнення перенесення. Програма матиме такий вигляд:

Мнемокод	Операнд(и)	Коментарі
ORG	100H	; Початок програми
MOV	AL, [1000H]	; AL ← DS:[1000H] ; Переслати у 8-розрядний регістр AL ; вміст комірки
ADD	AL, [1000H]	; пам'яті з адресою DS:1000H ; AL ← AL + DS:[1000H] ; Додати до вмісту AL вміст комірки ; DS:[1001H]
MOV	[1002H], AL	; DS:[1002H] ← AL ; Переслати вміст AL у комірку DS:[1002H]
END		; Завершення програми

Значимо, що запис MOV AL, [1000H] рівнозначний запису MOV AL, DS:[1000H], оскільки сегмент DS прийнятий за замовчуванням.

Приклад 26.38. Написати програму, яка забезпечує розподіл вмісту 16-розрядної комірки пам'яті з адресою ES:[2000H] на чотири тетради. Тетради мають бути записані у молодші частини чотирьох послідовних 8-розрядних комірок пам'яті, починаючи з адреси DS:1000H, причому старшу тетраду потрібно записати у комірку зі старшою адресою.

У цьому прикладі для запису результату краще використовувати непряму адресацію. Програма має такий вигляд:

Мнемокод	Операнд(и)	Коментарі
ORG	100H	
MOV	AX, ES:[2000H]	; AX ← ES:[2000H] ; Переслати вміст 16-розрядної комірки ES:[2000H] ; у 16-розрядний регістр AX
MOV	DX, AX	; DX ← AX, зберегти початкове число ; в DX
AND	AX, 000FH	; AX ← AX ∧ 0000 0000 0000 1111 ; Виділити молодшу тетраду (скинути ; всі розряди ; AX, крім чотирьох молодших)
MOV	SI, 1000H	; SI ← 1000H ; Записати в SI початкову адресу результату
MOV	[SI], AL	; DS:[SI] ← AL ; Переслати вміст комірки пам'яті з ; адресою DS:SI у ; молодшу 8-розрядну частину AL регістра AX
MOV	AX, DX	; AX ← DX ; Переслати початкове число з DX у AX
AND	AX, 00F0H	; AX ← AX ∧ 0000 0000 1111 0000 ; Виділити другу тетраду
MOV	CL, 4	; Завантажити у CL число розрядів зсуву
ROR	AL, CL	; Циклічний зсув AL на чотири розряди ; праворуч, ; унаслідок чого виділене чотирирозрядне число
INC	SI	; переміститься в AL ; SI ← SI + 1
MOV	[SI], AL	; Збільшити SI для запису другого числа ; DS:[SI] ← AL, запам'ятати другу тетраду
MOV	AX, DX	; у комірці DS:[SI] ; AX ← DX, переслати початкове число ; з DX у AX
AND	AX, 0F00H	; AX ← AX ∧ 0000 1111 0000 0000, ; Виділити третю тетраду
INC	SI	; SI ← SI + 1, збільшити адресу результату
MOV	[SI], AH	; тату ; DS:[SI] ← AH, запам'ятати третю тетраду
MOV	AX, DX	; AX ← DX, переслати вихідне число з DX ; у AX
AND	AX, 0F000H	; AX ← AX ∧ 1111 0000 0000 0000, ; Виділити четверту тетраду
INC	SI	; Збільшити адресу результату
MOV	CL, 4	; Завантажити у CL число розрядів
ROR	AH, CL	; Циклічний зсув AH на чотири розряди ; праворуч
MOV	[SI], AH	; Запам'ятати четверту тетраду
END.		

Для зменшення гоміздкості програми, її доцільно зводити до однотипних кроків і використовувати циклічні операції. Розглянутий приклад можна спростити, якщо виконати зсув 16-розрядного числа так, щоб тетрада, яка виділяється, завжди була молодшою. Алгоритм такої програми разом з командами зображено на рис. 26.10.

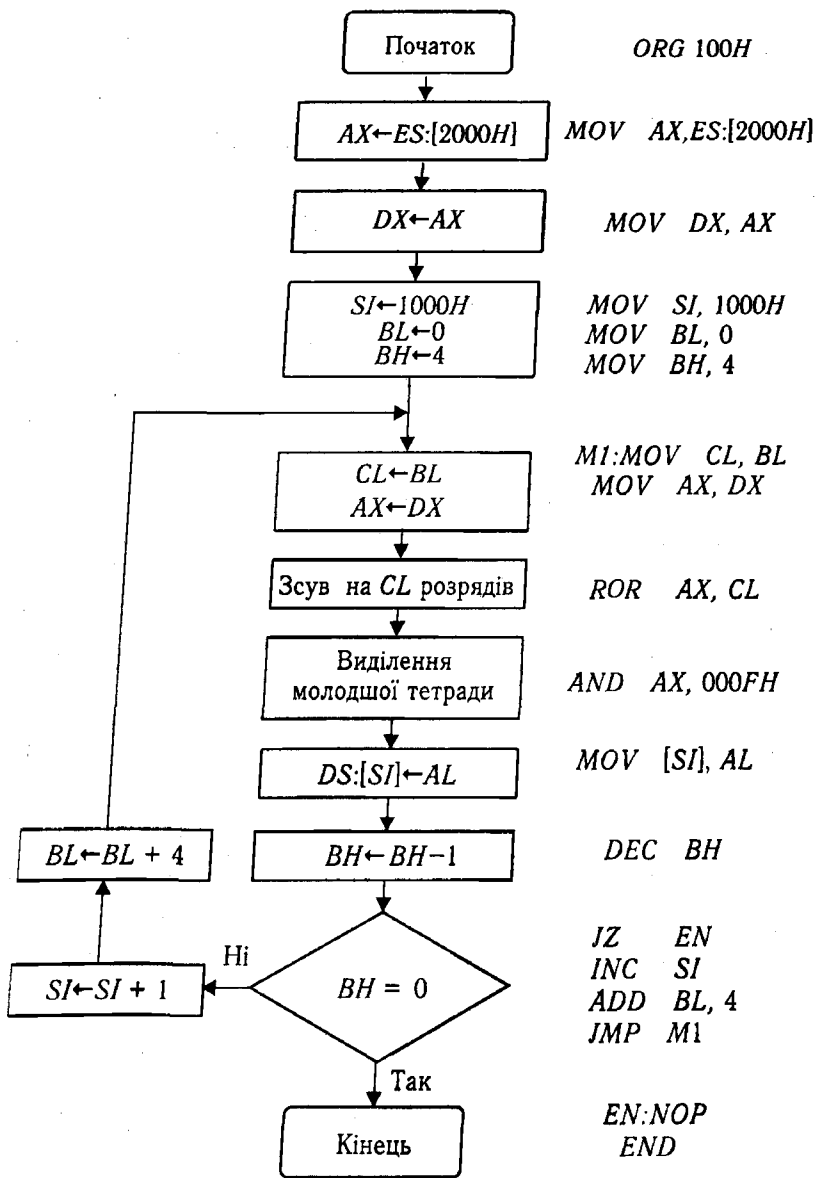


Рис. 26.10. Алгоритм розв'язання задачі прикладу 26.39

Типові обчислювальні процедури. Алгоритм типової обчислювальної процедури **ЯКЩО-ТО-ІНАКШЕ** зображено на рис. 26.11.

Цю процедуру застосовують тоді, коли треба реалізувати перехід до однієї з двох обчислювальних процедур залежно від умови. Написання програм мовою Асемблер виконуються командами переходів за умовами встановлення (скидання) прапорців.

Приклад 26.39. Написати програму ділення вмісту *AX* на вміст *BL*. Результат помістити у 8-розрядну комірку пам'яті з адресою *DS : 1000H*. Остачею від ділення знехтувати. Якщо вміст *BL* = 0, то ділення не виконувати, на місце результату помістити число *0FFH*.

Програма має такий вигляд:

Мітка	Мнсмокод	Операнд(и)	Коментарі
	ORG	100H	
	CMP	BL, 0	; Порівняти вміст <i>BL</i> з нулем
			; результат
			; команди впливає на встанов-
			; лення прапорця
			; нуля <i>Z</i>
	JZ	M1	; Якщо <i>Z</i> = 1 (<i>BL</i> = 0), то пе-
			; рехід на мітку <i>M1</i> ,
	DIV	BL	; інакше виконати ділення <i>AL</i> ←
			; <i>AX</i> : <i>BL</i> ,
			; остача → <i>AH</i>
	JMP	M2	; Безумовний перехід на мітку <i>M2</i>
M1:	MOV	AL, 0FFH	; Занести число <i>0FFH</i> у <i>AL</i> .
M2:	MOV	[1000H], AL	; Запам'ятати результат у ко-
			; мірці <i>DS</i> : [1000H]
	END.		

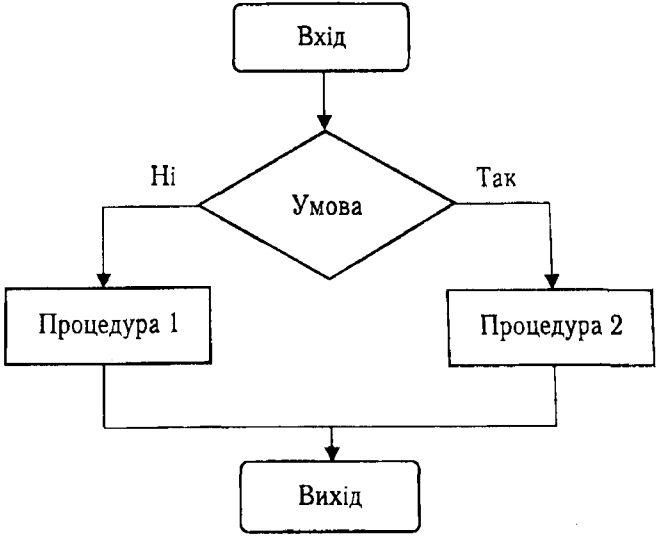


Рис. 26.11. Алгоритм процедури **ЯКЩО-ТО-ІНАКШЕ**

... є частковим випадком
... і використовується тоді, коли
... одну обчислювальну процедуру залеж-
... від умови.

Процедуру РОБИ-ПОКИ (рис. 26.13) використовують для повторення однотипних дій до моменту виконання умови закінчення циклу.

Приклад 26.40. Написати програму додавання за модулем 256 масиву з 100H байт, розміщених за початковою адресою 7000H:3000H. Результат у вигляді одного байта записати у комірку з адресою 7000H:5000H.

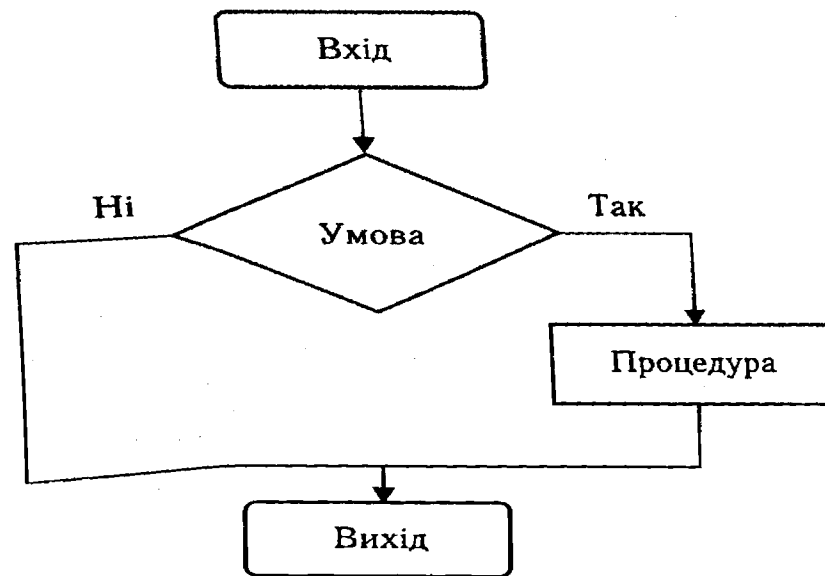


Рис. 26.12. Алгоритм процедури ЯКЩО-ТО

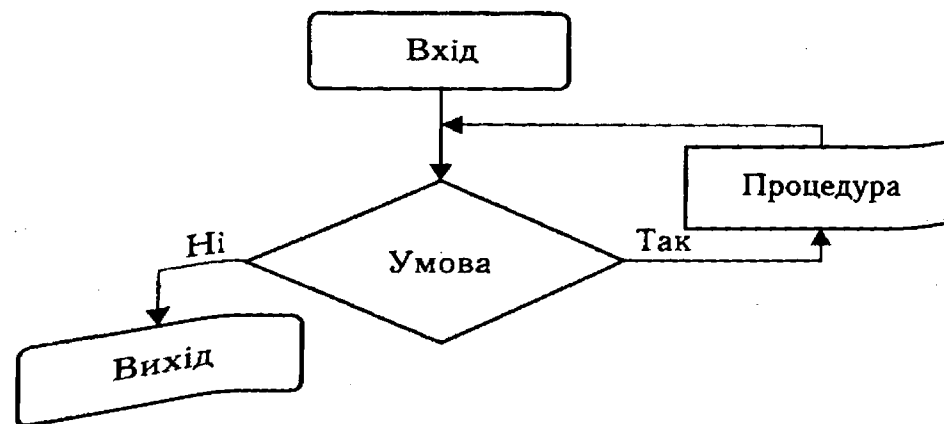


Рис. 26.13. Алгоритм процедури РОБИ-ПОКИ

Програма має такий вигляд:

Мітка	Мнемокод	Операнд(и)	Коментарі
	ORG	100H	; Початок
	MOV	AX, 7000H	; Завантажити в AX адресу сегмента
	MOV	DS, AX	; Завантажити в DS адресу сегмента
	MOV	SI, 3000H	; Завантажити в SI зміщення першого елемента масиву
	MOV	CX, 101H	; Завантажити у лічильник CX довжину масиву + 1
	MOV	AL, [SI]	; Завантажити у AL перший елемент масиву
M1:	LOOP	M0	; Зменшити вміст CX на 1, якщо CX ≠ 0, то перейти на мітку M0, інакше запам'ятати результат у DS:[5000H]
	MOV	[5000H], AL	
M0:	JMP	EXIT	; вихід
	INC	SI	; SI ← SI + 1 — адреса наступного елемента
	ADD	AL, [SI]	; Додати вміст DS:SI до попередньої суми в акумуляторі AL
	JMP	M1	; Перейти на мітку M1 для перевірки умови
	END		; виходу з циклу

Процедура ПОВТОРЮЙ-ДО-ТОГО-ЯК (рис. 26.14) аналогічна попередній, але однотипні дії виконуються перед перевіркою умови.

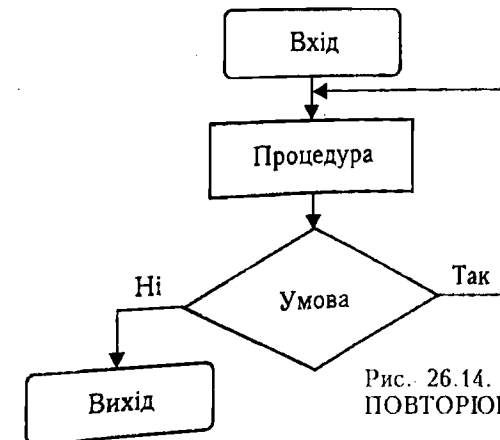


Рис. 26.14. Алгоритм процедури ПОВТОРЮЙ-ДО-ТОГО-ЯК

Програма виконання завдання прикладу 26.40 згідно з алгоритмом (26.14) має такий вигляд:

Мітка	Мнемокод	Операнд(и)	Коментарі
	ORG	100H	; Початок
	MOV	AX,7000H	; Завантажити в AX адресу сегмен-
			; та
	MOV	DS,AX	; Завантажити в DS адресу сегмен-
			; та
	MOV	SI,3000H	; Завантажити в SI зміщення пер-
			; шого елемента масиву
	MOV	CX,100H	; Завантажити в лічильник CX дов-
			; жину масиву +1
	MOV	AL,[SI]	; Завантажити в AL перший елемент
			; масиву
M0:	INC	SI	; SI←SI+1 — адреса наступного еле-
			; мента
	ADD	AL,[SI]	; Додати вміст DS:SI до попередньої
			; суми в AL
	LOOP	M0	; Зменшити вміст CX на одиницю,
			; якщо CX ≠ 0, то перейти до мітки
			; M0,
	MOV	[5000H],AL	; інакше запам'ятати результат
			; у DS:[5000H]
	JMP	EXIT	; вихід
	END.		

Написання EXE-програм. Написання EXE-програм має виконуватися за таких умов:

- зазначення відповідності між сегментами та сегментними регістрами;
- зберігання вмісту DS у стеку;
- записування числа 0 у стек;
- завантаження адреси сегмента даних у регістр DS.

Перша вимога виконується за допомогою директиви ASSUME, інші — за допомогою відповідних команд асемблера.

Приклад 26.41. Написати EXE-програму знаходження максимального числа у масиві 8-розрядних беззнакових чисел. Результат записати в регістр DL.

Програма має такий вигляд:

Мітка (або ім'я)	Мнемокод	Операнд(и)	Коментарі
DATASG	SEGMENT	PARA 'DATA'	; Визначити сегмент даних
MASSIV	DB	01,02,03,45,	; Визначити у сегменті
		56,67,78,89,	; даних 10 значень масиву
		0FE,10	; з іменем MASSIV

DATASG	ENDS		
STACKSG	SEGMENT	PARA STACK	; Визначити сегмент стеку
		'Stack'	
	DW	100 DUP (?)	; Визначити 100 слів
TOS	LABEL	WORD	; Визначити ім'я і формат
			; Вершини стеку
STACKSG	ENDS		
CODESG	SEGMENT	PARA 'CODE'	; Визначити сегмент кодів
	BEGIN	PROC FAR	; Початок процедури
	ASSUME	SS: STACKSG,	
		DS: DATASG,	
		CS: CODESG	
	PUSH	DS	; Завантажити вміст DS
			; у стек
	SUB	AX,AX	; Встановити нульовий вміст
			; у AX
	PUSH	AX	; Записати нуль у стек
	MOV	AX,DATASG	; Завантажити адресу DATASG
			; у AX
	MOV	DS,AX	; Записати адресу DATASG
			; у регістр DS
	LEA	BX,MASSIV	; Завантажити у регістр BX
			; адресу першого елемента
			; масиву
	MOV	CX,10	; Завантажити у CX довжину
			; масиву
COMP:	MOV	DL,[BX]	; DL←DS:[BX]
	MOV	AL,[BX]	; AL←DS:[BX]
	CMP	AL,[BX+1]	; Порівняти два сусідніх
			; елементи масиву
	JAE	NEXT	; Якщо вміст попереднього
			; елемента масиву [BX] біль-
			; ший або дорівнює вмісту
			; наступного [BX + 1], то пе-
			; рейти на мітку NEXT,
	MOV	DL,[BX+1]	; інакше завантажити у DL
			; значення [BX + 1]
NEXT:	INC	BX	; збільшити BX для адре-
			; сації наступного елемента
			; масиву
	LOOP	COMP	; перевірка умови виходу з
			; циклу
	RET		; повернення
CODESG	BEGIN	ENDP	; кінець процедури BEGIN
	ENDS		; кінець сегмента кодів
	END.		; кінець програми

У розглянутому прикладі вихід у *MS DOS* здійснюється командою *RET* з використанням для цього адреси, записаної у стек на початку програми командою *PUSH DS*. Інакше можна завершити програму командою *INT 20H*.

Контрольні запитання

1. Дайте визначення формату команди.
2. Які поля входять у формат команди?
3. Назвіть групи команд МП.
4. Назвіть та схарактеризуйте існуючі типи переривань МП i8086.
5. На які групи поділяють команди МП i8086?
6. Які групи команд не впливають на встановлення прапорців?
7. Розкажіть про значення прапорців, які встановлюються під час додавання чисел *25H* і *97H*?
8. Які дії виконує МП після виклику процедури типу *FAR* та типу *NEAR*?
9. Які прапорці змінюються за викликів переривань?
10. Вкажіть місцезнаходження операнда з прямою адресацією.
11. Поясніть, як визначається адреса операнда з непрямою адресацією.
12. Поясніть, як визначається значення операнда з безпосередньою адресацією.
13. Напишіть програму пересилання вмісту 8-розрядної комірки пам'яті з адресою *7000H:1000H* у 8-розрядний регістр *AL*.
14. Напишіть програму віднімання вмісту двох послідовних комірок пам'яті з адресами *DS:35A0H* і *35A1H* із записом результату в комірку з адресою *35A2H*.
15. Напишіть програму додавання масивів байтів з адресами *8350:4735H* і *3660:2200H* за правилом «перший з першим, другий з другим і т. д.». Занести в масив *6250:2400H* адреси тих пар доданків, сума яких дорівнює нулю. Довжина масиву *100H*.
16. Виконайте ділення масиву з *25H* слів *5B00:3000H* на масив з *25H* байт *5C00:4000H* за правилом «перший на перший, другий на другий і т. д.». Результати занести в масив *6000:5000H*. За потреби ділення на 0 ділення не проводити, а байти результату завантажити числом *1AH*.

Розділ 27

ПОБУДОВА АПАРАТНОЇ ЧАСТИНИ МІКРОПРОЦЕСОРНИХ СИСТЕМ

27.1. Побудова модуля центрального процесора на базі i8086

Для побудови модуля ЦП слід забезпечити синхронізацію роботи системи та узгодження роботи ЦП із системною шиною.

Схема синхронізації. Для синхронізації використовується генератор тактових імпульсів i8284, який генерує сигнали синхронізації для центрального процесора й периферійних пристроїв, а також синхронізує зовнішні сигнали готовності *READY* і початкового встановлення *RESET* з тактовими сигналами МП. Генератор тактових імпульсів (рис. 27.1) містить подільники частоти на 3 і на 2 та логіку керування сигналами скидання і готовності. Робота ЗГ стабілізується кварцовим резонатором, який під'єднується до входів *X1*, *X2* (див. рис. 27.1). Вхід *TANK* використовується для додаткового під'єднання паралельного резонансного LC-контура, що дає змогу працювати на вищих гармоніках кварцового резонатора. При цьому опорна частота задавального генератора (ЗГ) визначається параметрами контура і дорівнює $\frac{1}{2\pi\sqrt{LC}}$. Вхід F/\bar{C} дозволяє обрати зовнішній ($F/\bar{C} = 1$) або внутрішній ($F/\bar{C} = 0$) генератор. У разі обрання зовнішнього генератора з частотою імпульсів *FEFI* його підключають до входу *EFI*.

Схема формування тактових імпульсів формує такі сигнали: *CLK* — тактової частоти F_{CLK} для ЦП, P_{CLK} — тактової частоти F_{PCLK} для керування периферійними ВІС, *OSC* — тактової частоти ЗГ, потрібні для керування пристроями та контролю частоти. Частоти цих сигналів пов'язані певними співвідношеннями: $F_{OSC} = 3F_{CLK} = 6F_{PCLK}$ у режимі внутрішнього генератора та $F_{EFI} = 3F_{CLK} = 6F_{PCLK}$ у режимі зовнішнього генератора. Вихідний сигнал *CLK* формується одним з трьох способів: 1) з коливань основної частоти кварцового резонатора, під'єданого до входів *X1* і *X2*; 2) з третьої гармоніки кварцового резонатора, що виділяється LC-фільтром, з'єднаним із входом *TANK*; 3) від зовнішнього генератора,

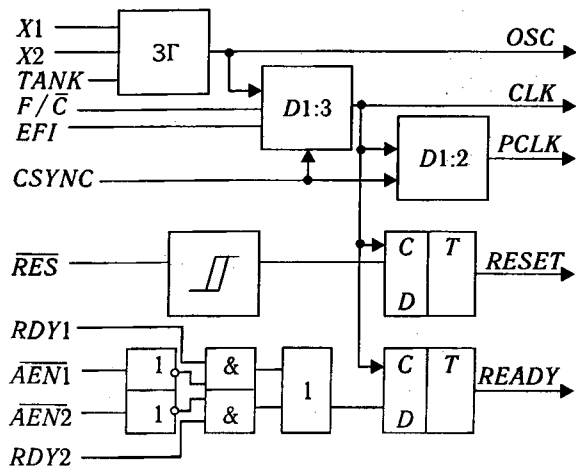
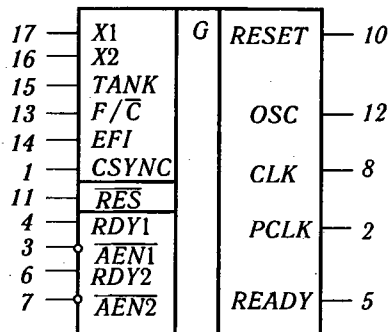


Рис. 27.1. Структурна схема BIC генератора i8284

підключеного до входу *EFI*. Схема формування тактових імпульсів має вхід зовнішньої синхронізації *CSYNC*, за допомогою якого можна синхронізувати роботу кількох генераторів тактових імпульсів, що входять до складу системи. Сигнал *CSYNC* впливає також на подільник частоти на 2: якщо *CSYNC* = 0, робота подільника припиняється, а якщо *CSYNC* = 1, — відновлюється.

Вихідний сигнал *READY* використовують для підтвердження готовності до обміну. Високий рівень цього сигналу вказує на наявність даних на *DB*. Схему формування сигналу *READY* побудовано так, щоб спростити вмикання системи в інтерфейсну шину стандарту *Multibus*. Вона містить дві ідентичні пари сигналів *RDY1*, *AEN1* та *RDY2*, *AEN2*, об'єднаних схемою АБО. Сигнали *RDY1* та *RDY2* формуються елементами, що входять до складу системи, і свідчать про їхню готовність до обміну. Сигнали *AEN1* та *AEN2* дають змогу формувати сигнал *READY* за сигналами *RDY1* і *RDY2*, підтверджуючи адресацію елементів.



них схемою АБО. Сигнали *RDY1* та *RDY2* формуються елементами, що входять до складу системи, і свідчать про їхню готовність до обміну. Сигнали *AEN1* та *AEN2* дають змогу формувати сигнал *READY* за сигналами *RDY1* і *RDY2*, підтверджуючи адресацію елементів.

Рис. 27.2. Графічне позначення BIC генератора i8284

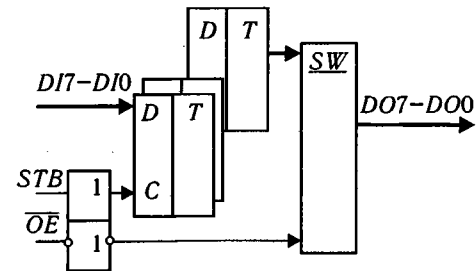


Рис. 27.3. Структурна схема буферного регістра

Схема формування вихідного сигналу скидання *RESET* має на вході тригер Шмітта, а на виході — тригер, що формує фронт сигналу *RESET* по зрізу сигналу *CLK*. Зазвичай до входу *RES* під'єднується RC-коло, що забезпечує автоматичне формування сигналу під час вмикання джерела живлення.

Графічне позначення генератора зображено на рис. 27.2.

Інтерфейс ЦП із системною шиною виконує такі функції:

- демультимплексування шини адреси-даних (розподіл її на шину адреси *AB* та шину даних *DB*);
- буферизацію шин (збільшення навантажувальної здатності ліній шин та забезпечення можливості їхнього переходу в z-стан);
- формування сигналів керування.

Виконання першої функції здійснюється за допомогою регістрів-фіксаторів, наприклад буферних регістрів i8282, i8283. Узагальнена структурна схема регістра-замка (рис. 27.3) містить вісім *D*-тригерів з вихідними схемами *SW*, які мають три стани. Сигнали запису інформації *STB* і дозволу вибір-

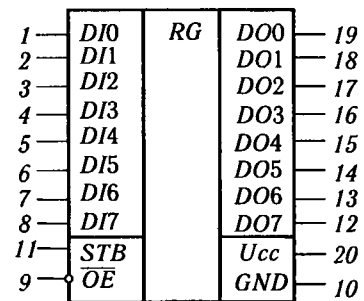


Рис. 27.4. Графічне позначення буферного регістра i8282

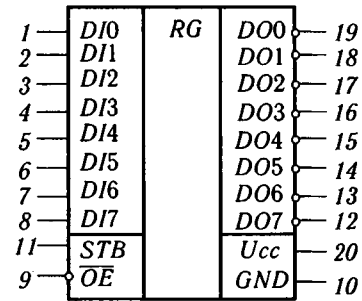


Рис. 27.5. Графічне позначення буферного регістра i8283

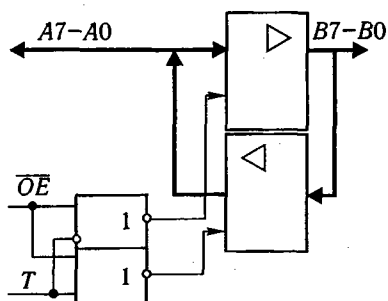


Рис. 27.6. Структурна схема шинного формувача

ки \overline{OE} є спільними для всіх тригерів ВІС. У буферному регістрі і8282 (рис. 27.4) до схем *SW* під'єднані прямі виходи *D*-тригерів, а в буферному регістрі і8283 (рис. 27.5) — інверсні виходи. Якщо сигнал має високий рівень, то на входи *STB* стан вхідних ліній *DI7—DI0* передається на вихідні лінії *DO7—DO0*. Запис інформації у *D*-тригерах здійснюється по зрізу сигналу *STB*. Малий вхідний і досить великий вихідний струми дають змогу використовувати ВІС буферних регістрів як регістри-фіксатори або шинні формувачі. Під час використання буферних регістрів як шинних формувачів вхід *STB* з'єднується з виводом живлення +5 В через резистор з опором 1 кОм, а вхід \overline{OE} — зі спільною шиною.

Для збільшення навантажувальної здатності двонапрявленої шини даних використовують 8-розрядні шинні формувачі і8286, і8287. Формувач і8286 не інвертує дані, а формувач і8287 — інвертує.

Структурна схема шинного формувача (рис. 27.6) містить вісім однакових функціональних блоків з трьома станами і спільними сигналом керування, напрямом передавання *T* та сигналом дозволу передавання \overline{OE} .

За низького рівня сигналу *T* (*T* = 0) здійснюється передавання даних з ліній *B7—B0* на лінії *A7—A0*, а за високого рівня сигналу (*T* = 1) — передавання з ліній *A7—A0* на лінії

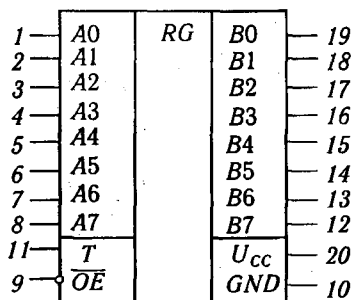


Рис. 27.7. Графічне позначення шинного формувача і8286

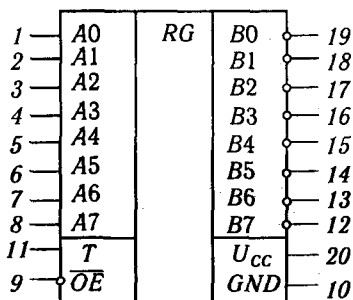


Рис. 27.8. Графічне позначення шинного формувача і8287

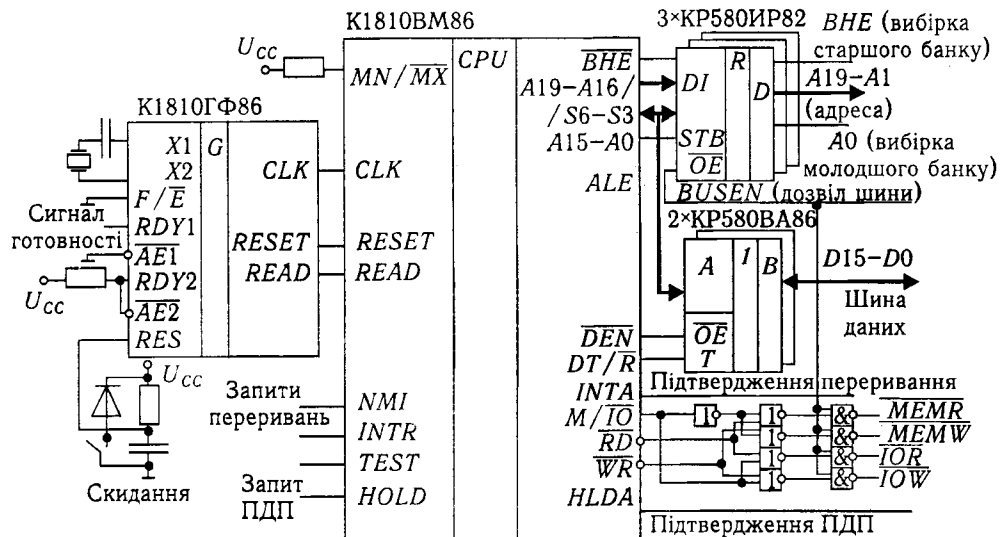


Рис. 27.9. Функціональна схема модуля центрального процесора

B7—B0. Якщо $\overline{OE} = 0$, передавання дозволяється, а якщо $\overline{OE} = 1$, — забороняється. Графічні позначення формувачів i8286, i8287 відповідно зображено на рис. 27.7 і 27.8.

Приклад функціональної схеми модуля ЦП для однопроцесорних систем зображено на рис. 27.9. Мікропроцесор i8086 ввімкнений у мінімальному режимі. Схема синхронізації реалізована на базі ВІС тактового генератора i8284, на вхід RDY1 якої подається сигнал готовності зовнішніх пристроїв або пам'яті для обміну. У мінімальному режимі використовується одна шина, тому вхід RDY2 з'єднаний через резистор з виводом живлення. Демультіплексування шини адрес-даних і шини адреси-стану на дві шини здійснюється за допомогою трьох буферних регістрів i8282.

Зазначимо, що сигнал дозволу старшого байта \overline{BHE} , що з'являється водночас із дійсною адресою, також фіксується в одному з розрядів регістрів-фіксаторів. Сигнали \overline{BHE} і A0 використовуються для вибірки банків системи пам'яті. Формувач 16-розрядної шини даних виконано на двох ВІС шинних формувачів i8286.

У мінімальному режимі процесор формує керуючі сигнали шин формувачів і регістрів-фіксаторів, а також сигнали M/\overline{IO} , \overline{RD} , \overline{WR} , з яких за допомогою логічних елементів формуються чотири сигнали керування читанням-записом для пам'яті і ПБВ. Шини адреси, даних і керування переводяться у з-стан сигналом \overline{BUSEN} , що формує контролер прямого доступу до пам'яті.

Зазначимо, що \overline{BUSEN} у цій схемі є єдиною лінією системної шини, яка формується зовнішнім пристроєм. Усі інші лінії системної шини, а саме — шини даних, адреси і лінії керування читанням, записом у пам'ять та ПБВ формуються модулем ЦП.

27.2. Побудова модуля ПЗП

Система пам'яті є функціональною частиною мікропроцесорної системи, призначеною для запису, зберігання та видачі інформації.

Постійна пам'ять — спеціальна мікросхема, що містить інформацію, яка не має змінюватися у процесі виконання програми. Ця інформація записується у ПЗП під час виготовлення або на етапі його програмування у спеціальному пристрої — програматорі, і в процесі роботи мікропроцесорної системи

може лише зчитуватися. Постійна пам'ять у МПС працює в режимах зберігання та зчитування і використовується для зберігання таблиць, констант, кодів команд програм, стандартних підпрограм, наприклад, підпрограм BIOS, POS. Зазвичай ПЗП має ємність 64...128 Кбайт. Записана в ПЗП інформація зберігається під час вимкнення живлення. Цю властивість ПЗП називають *енергонезалежністю*.

Основною складовою ПЗП є *елемент пам'яті*, який зберігає 1 біт інформації. Елементи пам'яті об'єднані у матрицю накопичувача інформації. Сукупність з n елементів пам'яті, в якій розміщується n -розрядне слово, називають *коміркою пам'яті*, при цьому величина n визначає *розрядність комірки*.

Типова ВІС ПЗП має кілька адресних ліній, 8 вихідних ліній даних та лінії керування читанням \overline{OE} та вибіркою \overline{CS} (рис. 27.10). Кількість комірок пам'яті дорівнює 2^m , де m — кількість адресних входів, а інформаційна ємність мікросхеми — $2^m \times n$ біт. Для кожної комірки пам'яті є своя адреса. Більшість ПЗП мають словникову організацію, тобто дозволяють паралельне зчитування n розрядів слова $D_{n-1} - D_0$.

Розглянемо будову модуля постійної пам'яті для МПС на базі 16-розрядних процесорів, які можуть оперувати як з 8-, так і з 16-розрядними комірками пам'яті. Для використан-

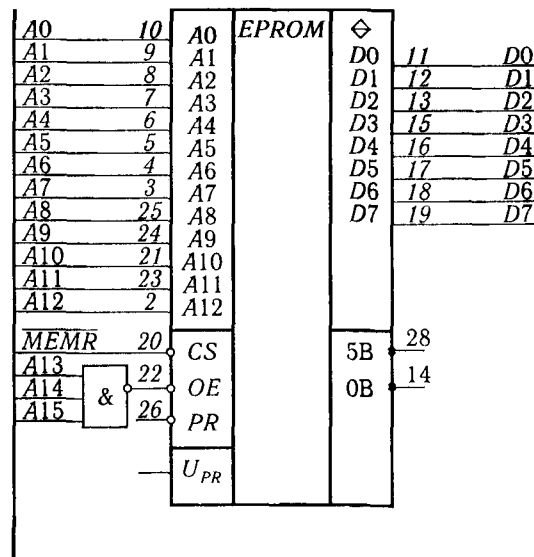


Рис. 27.10. Модуль ПЗП ємністю 8 Кбайт × 8

У мікропроцесорних системах з 32-розрядною шиною даних модуль ПЗП виконується у вигляді чотирьох банків. Інформація зчитується одночасно з усіх чотирьох банків, після чого МП обирає одно-, дво- або чотирибайтове слово залежно від команди, що виконується.

Рис. 27.11. Модуль ПЗП у 16-розрядних МПС

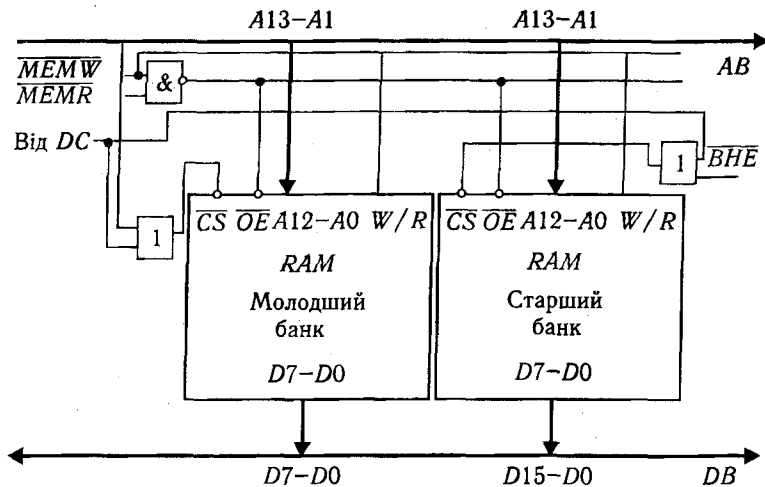


Рис. 27.12. Модуль ОЗП у 16-розрядних МПС

Під час вибірки байта за парною адресою $A0 = 0$, $\overline{BHE} = 1$. Байт з парною адресою передається по лініях $D7-D0$, тобто здійснюється зчитування або запис байта. У разі запису байта у молодший банк інформація в старшому банку захищена від стирання, тобто одиничне значення сигналу BHE забороняє звернення до старшого банку.

Під час вибірки байта за непарною адресою $A0 = 1$, $\overline{BHE} = 0$. Наприклад, за командою

`MOV BL, BYTE PTR [10001H]`

вміст комірки пам'яті з адресою $DS:10001H$ пересилається в молодшу половину 16-розрядного регістра BX , тобто у 8-розрядний регістр BL . При цьому вміст комірки пам'яті записується у розряди $D15-D8$, тобто старшу половину внутрішньої 16-розрядної шини МП, а після цього — в регістр BL . Цей процес, який називають *маршрутизацією байта*, відбувається автоматично і непомітно для програміста.

Під час вибірки слова за парною адресою $\overline{BHE} = 0$, $A0 = 0$. У цьому разі водночас обираються два банки, і 16-розрядне слово передається по лініях $D15-D0$ за один цикл шини.

Якщо слово має непарну адресу, його молодший байт розміщується у старшому банку пам'яті, а старший байт — у молодшому банку. У процесі вибірки слова за непарною адресою спочатку $A0 = 1$, $\overline{BHE} = 0$, і по лініях шини $D15-D8$ передається молодший байт. Після цього генеруються сигнали $A0 = 0$, $\overline{BHE} = 1$, здійснюється *інкремент* (збільшення на одиницю) повної адреси $A19-A0$, старший байт слова передається з молодшого банку або в молодший банк по лініях шини $D7-D0$. Отже, вибірка слова за непарною адресою потребує два цикли шини. Тому слова доцільно розміщувати за парними адресами, особливо під час організації операцій зі стеком.

27.4. Побудова інтерфейсу введення-виведення

Одним з найважливіших завдань проектування МПС є організація взаємодії із зовнішніми пристроями — джерелами і приймачами даних. Прикладами пристроїв введення-виведення (ПВВ), що є як джерелами, так і приймачами інформації, є накопичувачі на гнучких і твердих магнітних дисках. До пристроїв введення належать перемикачі, клавіатура, аналого-цифрові перетворювачі (АЦП), датчики двійкової інформації, а до пристроїв виведення — індикатори, світлодіоди, дисплеї, друкувальні пристрої, цифроаналогові перетворювачі (ЦАП), транзисторні ключі, реле, комутатори. Пристрої введення-виведення відрізняються розрядністю даних, швидкістю, протоколами, тобто визначенням порядком обміну, керуючими сигналами. Дані у ПВВ змінюються у довільний або чітко визначений момент часу. З'єднання ПВВ з системою шиною МПС здійснюється за допомогою інтерфейсу введення-виведення, який узгоджує ПВВ з системою шиною МПС. Зазвичай інтерфейс складається з одного або кількох портів введення-виведення та схем керування ними.

Під час проектування інтерфейсу введення-виведення потрібно забезпечити:

- зберігання інформації, яка надходить від ПВВ;
- доступ до інформації з боку МП;
- керування обміном;
- перетворення форматів даних.

Зберігання інформації і доступ до неї з боку МП. Введення і виведення інформації виконується за допомогою портів введення-виведення, які є 8- або 16-розрядними регістрами зі схемами вибірки та керування читанням-записом. Як порти можуть бути використані буферні регістри, наприклад $i8282$, $i8285$, $KP5801P82$, $KP5891P12$, $KP580BB55$. Використання регістра $KP5801P82$ для з'єднання відповідно з пристроєм введення та пристроєм виведення зображено на рис. 27.13, а і б.

Якщо регістр використовується як порт введення (рис. 27.13, а), то дані від пристрою введення надходять у регістр по лініях $D17-D10$ і записуються за стробом STB . Вихідні дані $D07-D00$ порту надходять у МПС по шині даних. МП формує також сигнал керування читанням і вибіркою порту, який надходить на вхід \overline{OE} . Якщо регістр використовується як порт виведення (див. рис. 27.13, б), то дані від МП надходять по шині даних на входи $D17-D10$ порту та супрово-

джуються сигналами керування записом і вибірки BIC. Вихідні дані $DO7-D00$ порту надходять у пристрій виведення.

Введення або виведення даних можна здійснювати двома способами:

- з використанням окремого адресного простору ПБВ;
- з використанням спільного із пам'яттю адресного простору, тобто з відображенням на пам'ять.

У першому випадку введення і виведення даних виконується за командами IN та OUT .

Приклад 27.2. Виконати виведення даних на 16-розрядний порт з адресою $1000H$.

Адреса порту займає два байти, тому для адресації порту слід використати непряму регістрову адресацію. Для цього потрібно адресу $1000H$ занести у регістр DX , а потім виконати команду виведення:

$MOV DX, 1000H$; Занести у DX число $1000H$
 $OUT DX, AX$; Вивести вміст AX на 16-розрядний порт виведення з
; адресою, яка знаходиться у DX , тобто $AX \rightarrow$
; $\rightarrow P_{16}(DX)$.

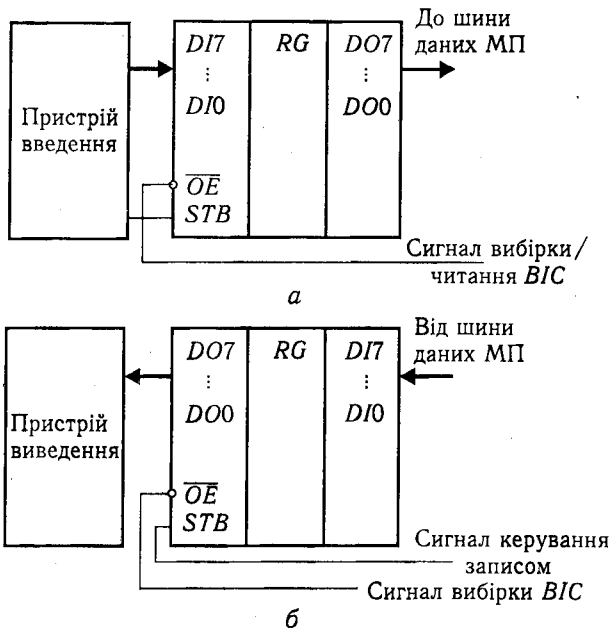


Рис. 27.13. Використання регістра KP580IP82 для з'єднання:
а — з пристроєм введення; б — з пристроєм виведення

Під час виконання команди $OUT DX, AX$ на лініях $A15-A0$ шини адреси з'являється адреса порту:

$A15 \ A14 \ A13 \ A12 \ A11 \ A10 \ A9 \ A8 \ A7 \ A6 \ A5 \ A4 \ A3 \ A2 \ A1 \ A0$
 $0 \ 0 \ 0 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 = 1000H,$

установлюється низький рівень сигналу запису-введення-виведення \overline{TOW} , і вміст акумулятора AX передається на 16-розрядну шину даних. Для фіксації даних (вмісту AX) потрібно використати два 8-розрядних порти, один з яких з'єднаний з молодшою половиною шини даних, а другий — зі старшою. Сигнали керування записом і вибірки подаються паралельно на два порти.

Приклад 27.3. Виконати введення даних із 8-розрядного порту з адресою $32H$.

Введення даних здійснюється за командою введення:

$IN AL, 32H; \ AL \leftarrow P_8(32H).$

Дії МП у цьому випадку аналогічні наведеним у прикладі 27.2. Відмінність полягає лише в тому, що активним стає сигнал \overline{TOR} читання введення-виведення, і передавання інформації здійснюється від порту до МП по молодшій половині шини даних $D7-D0$.

За другим способом адреси портів розміщуються у спільному з пам'яттю адресному просторі, і звернення до портів не відрізняється від звернення до комірки пам'яті.

Сигнали вибірки BIC (див. рис. 27.13, б) конкретних портів формуються за допомогою дешифраторів. Адреса 16-розрядного порту P_{16} має бути парною, щоб звернення до неї відбулося за один цикл шини. Адреси 8-розрядних портів введення-виведення P_8 можуть бути будь-якими (парними, непарними), але за парної адреси 8-розрядні порти слід з'єднати з молодшою половиною шини даних $D7-D0$, а за непарної — зі старшою половиною $D15-D8$.

Приклад 27.4. Розробити функціональну схему дешифратора (рис. 27.14) на BIC K155ИД7 для адресації восьми 8-розрядних і восьми 16-розрядних портів, причому адреси 8-розрядних портів обрати непарними, а адреси 16-розрядних — парними.

Схема містить два BIC дешифраторів $DC1$ і $DC2$. Із виходів дешифраторів сигнали надходять на входи \overline{OE} відповідних портів. Тому ця схема (рис. 27.14) дає змогу адресувати 16 портів.

Слід зазначити, що всі вихідні сигнали $0-7$ BIC мають H -рівні, якщо не забезпечене надходження сигналів L -рівня на інверсні входи дозволу $E1$ і $E2$ та сигналу H -рівня на вхід $E3$. Інакше сигнал на виході DC , двійковий код номера якого визначається кодом на інформаційних входах $DC \ X2, \ X1, \ X0$, є активним, тобто має L -рівень. Сигнали на інших виходах мають H -рівень. Цей принцип роботи DC дає змогу в будь-який момент роботи МП звернутися лише до одного з портів. Визначимо адреси портів.

Низькі рівні на виході $DC1$ з'являються, якщо значення сигналів на адресних лініях $A4 = 1, A0 = 0$, і сигнал вибірки старшого банку $\overline{BPE} = 0$.

Сигнал на виході $0 \ DC1$ буде активним (L -рівень) для адреси

$A15 \ A14 \ A13 \ A12 \ A11 \ A10 \ A9 \ A8 \ A7 \ A6 \ A5 \ A4 \ A3 \ A2 \ A1 \ A0$
 $x \ x \ x \ x \ x \ x \ x \ x \ x \ x \ x \ 1 \ 0 \ 0 \ 0 \ 0 = 0010H,$

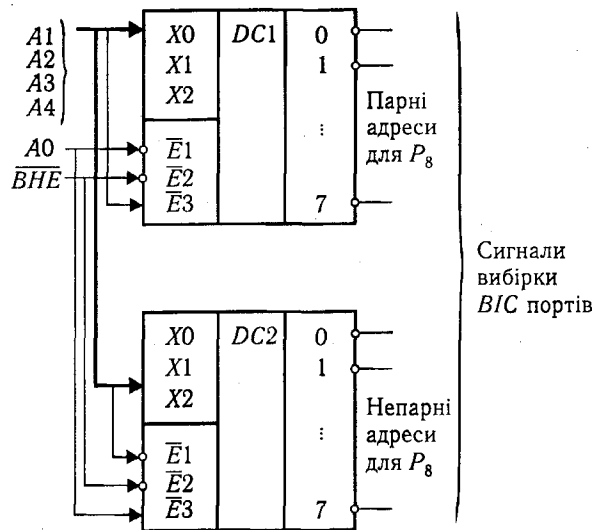


Рис. 27.14. Функціональна схема дешифратора портів

а на виході 1 — для адреси

$x x x x x x x x x x 1 0 0 1 0 = 0012H,$

на виході 2 — для адреси

$x x x x x x x x x x 1 0 1 0 0 = 0014H,$

на виході 7 — для адреси

$x x x x x x x x x x 1 1 1 1 0 = 001EH.$

Низькі рівні на виході DC2 з'являються, якщо $A4 = 0$, $A0 = 1$, $BNE = 0$. Сигнал на виході 0 DC2 буде активним (L-низький рівень) для адреси

$A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0$
 $x x x x x x x x x x 0 0 0 0 1 = 0001H,$

на виході 1 для адреси

$x x x x x x x x x x 0 0 0 1 1 = 0003H,$

на виході 7 для адреси

$x x x x x x x x x x 0 1 1 1 1 = 000FH.$

Зазначимо, що 8-розрядні порти з непарними адресами мають бути з'єднаними зі старшою половиною шини даних $D15-D8$.

Керування обміном. Відомо три способи керування обміном:

- програмний обмін;
- обмін з перериванням;
- обмін у режимі прямого доступу до пам'яті.

Програмний обмін ініціюється МП і здійснюється під його керуванням. Розрізняють *простий програмний обмін* та *програмний обмін за стробом готовності*. За простого програмного обміну вважають, що ПБВ у будь-який момент готовий до обміну за командами *IN* або *OUT*. Під час обміну за стробом готовності ПБВ сповіщає про свою готовність до обміну стробом. Наприклад, видача 8-розрядних даних супроводжується дев'ятим бітом — стробом. У процесі такого обміну схема інтерфейсу містить тригер або порт керування для зберігання інформації про готовність зовнішнього пристрою до обміну. Процесор опитує відповідний розряд порту керування для визначення стану готовності зовнішнього пристрою.

Приклад 27.5. Розробити функціональну схему введення і виведення 8-розрядних даних за стробом готовності. Адреса порту введення — $02H$, порту керування — $03H$, порту виведення — $04H$.

Функціональну схему обміну за стробом готовності зображено на рис. 27.15. Схема містить: пристрій введення, з'єднаний з портом введення; пристрій виведення, з'єднаний з портом виведення; порт керування для зберігання сигналів готовності пристроїв введення і виведення. Пристрій введення має вісім інформаційних вихідних ліній та одну вихідну лінію стробу супроводження даних. Поява цього стробу сигналізує про те, що дані на інформаційних лініях є дійсними (коректними). Пристрій виведення має вісім інформаційних вхідних ліній та одну вихідну лінію стробу підтвердження приймання даних. Поява цього стробу сигналізує про те, що дані прийняті пристроєм і МП може передавати нову порцію даних. Порт керування зберігає інформацію про строби від двох пристроїв.

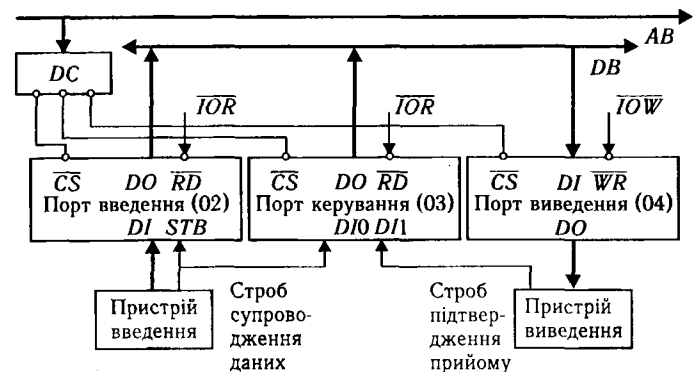


Рис. 27.15. Схема введення-виведення даних за стробом готовності

Програма введення за стробом готовності має такий вигляд:

```

M1: IN AL, 03      ; AL ← порт керування (адреса 03)
    AND AL, 0000001B ; Маскування всіх розрядів, крім D0
    JZ M1          ; Якщо D0 = 0 (порт не готовий), то на M1,
    IN AL, 02      ; інакше — введення інформації з порту
                  ; введення (адреса 02)

```

Програма виведення за стробом готовності:

```

M2: IN AL, 03      ; AL ← порт керування (адреса 03)
    AND AL, 00000010B ; Маскування всіх розрядів, крім D1
    JZ M2          ; Якщо D1=0 (порт не готовий), то на M2
    OUT 04, AL      ; інакше — виведення інформації на порт
                  ; виведення (адреса 04)

```

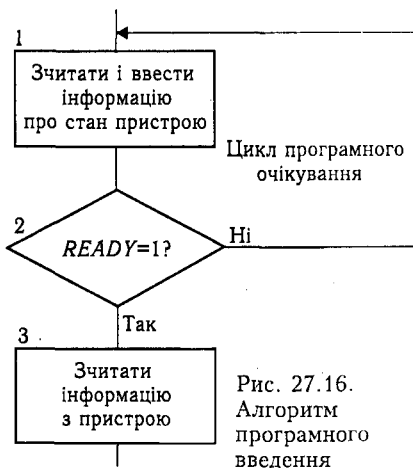
Якщо ПБВ має вбудований апаратний засіб для визначення готовності для обміну, то про стан пристрою свідчить прапорець готовності *READY* або прапорець готовності-зайнятості *READY/BUSY*. Інформація про готовність пристроїв належить до *статусної інформації* і входить до складу слова *стану* пристрою. Іноді стан готовності та зайнятості ідентифікується окремими прапорцями — *READY* і *BUSY*. Прапорець *READY* замінює біт порту керування (див. рис. 27.15).

Схему алгоритму програмного обміну даними за значенням прапорця *READY* зображено на рис. 27.16.

Якщо ПБВ не готовий до обміну, то МП знаходиться у режимі програмного очікування готовності зовнішнього пристрою, виконуючи команди блоків 1 і 2. Після виявлення стану готовності МП передає дані за командами блока 3, а потім працює з продовженням основної програми. На читання статусної інформації та її аналіз МП витрачає кілька циклів роботи, що призводить до непродуктивних втрат його часу. Недоліками програмного обміну за стробом готовності є те, що цей спосіб обміну інформацією не дає змоги зовнішнім пристроям ініціювати обмін. Перевага програмного обміну полягає у простоті реалізації та у тому, що немає потреби у додаткових апаратних засобах.

Програмний обмін використовується для обміну з ПБВ, продуктивність яких менша, ніж продуктивність МП.

Обмін за перериванням ініціюється ПБВ і



здійснюється під керуванням МП. У цьому разі сигнал готовності ПБВ до обміну використовується як запит переривання і надходить до програмованого контролера переривань (ПКП) (рис. 27.17). Введення або виведення здійснюється за підпрограмою оброблення запиту переривання.

Пристрій введення-виведення формує сигнал готовності *IRQ*, коли він готовий до обміну. Програмований контролер переривання (див. рис. 27.17) здатний сприйняти 8 сигналів *IRQ7—IRQ0*. На рис. 27.17 сигнал готовності ПБВ надходить на вхід *IRQ6*. Сигнал готовності ПБВ — це вихідний сигнал тригера, який фіксує стан готовності *READY*. На виході програмованого контролера переривань асинхронно з діями МП формується сигнал *INT*. Заздалегідь не відомо, в який момент та які периферійні пристрої ініціюють переривання. Реагуючи на сигнал *INT*, МП перериває виконання програми, ідентифікує пристрій, переходить до підпрограми обслуговування переривань роботи цього пристрою, а після її завершення відновлює виконання перерваної програми. За командою *INT* уміст програмованого лічильника та прапорців автоматично запам'ятовується у стеку. Вміст акумулятора та РЗП потрібно занести у стек за допомогою команди *PUSH* у підпрограмі обробки переривання.

У кожному МП реалізовано особливу структуру системи переривань. Однак загальна послідовність обміну за перериванням містить такі дії:

- ПБВ генерує сигнал готовності, який викликає появу сигналу переривання, що подається на вхід *INT* МП;
- МП завершує виконання поточної команди і, якщо переривання дозволені (не замасковані), формує сигнал *INTA* підтвердження переривання;



- МП здійснює запам'ятовування вмісту акумулятора, програмованого лічильника, РЗП у стеку;
- МП ідентифікує пристрій, що зумовив переривання, і виконує відповідну підпрограму обслуговування переривання;
- за допомогою команди *POP* відновлюється значення вмісту акумулятора та РЗП зі стеку;
- за командою повернення з переривання *RET*, що є останньою командою підпрограми обслуговування переривання, відновлюються значення програмованого лічильника та прапорців і триває виконання перерваної програми.

Обмін за перериванням продуктивніший, ніж програмний обмін, оскільки не потребує часу для опитування стану готовності ПБВ до обміну.

Обмін у режимі прямого доступу до пам'яті ініціюється ПБВ, здійснюється під керуванням контролера прямого доступу до пам'яті (КПДП) без участі МП. За необхідності обміну між ПБВ і пам'яттю немає потреби у пересиланні даних через МП. Дані за допомогою КПДП пересилаються безпосередньо з ПБВ у пам'ять або навпаки. Прямий доступ до пам'яті під час виконання операцій введення-виведення дає змогу значно збільшити швидкість передавання даних і підвищити ефективність використання засобів МП. Схему обміну в режимі ПДП зображено на рис. 27.18. Контролер прямого доступу приймає запит від ПБВ, формує сигнал запиту захоплення шин МП *HOLD* і, отримавши від МП дозвіл *HLDA*, формує адреси пам'яті та керуючі сигнали *MEMR*, *IOW* — у разі читання пам'яті, або *MEMW*, *IOR* — у разі запису в пам'ять.

Інформацію про область пам'яті, що використовується для обміну у вигляді початкової адреси і довжини масиву, заван-

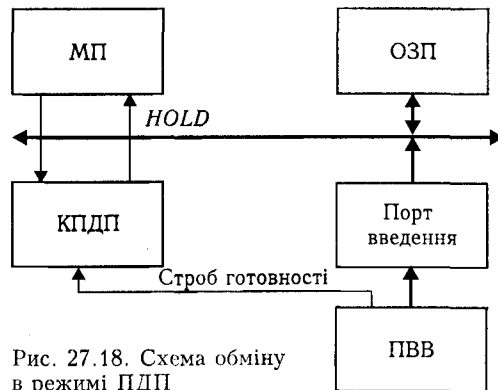


Рис. 27.18. Схему обміну в режимі ПДП

тажують у КПДП під час програмування. Продуктивність обміну в режимі ПДП є найвищою.

Перетворення форматів даних. Якщо розрядність даних, з якими оперує МП, менша, ніж розрядність даних, з якими оперує ПБВ, то для узгодження розрядності збільшується кількість портів введення-виведення. Якщо розрядність даних, з якими оперує МП, більша, ніж розрядність даних, з якими оперує ПБВ, то для узгодження розрядності виконується пакування даних, отриманих з кількох джерел, в одне слово потрібної розрядності або доповнення нулями. Для перетворення послідовного коду на паралельний і навпаки використовують контролер послідовного обміну.

Контрольні запитання

1. Поясніть призначення вхідних і вихідних сигналів схеми синхронізації.
2. Опишіть функції ВІС генератора i8284 та інтерфейсу центрального процесора з системною шиною.
3. Поясніть принцип функціонування схеми буферного регістра.
4. Поясніть принцип функціонування шинного формувача.
5. Для чого призначений ПЗП?
6. Поясніть поняття банку пам'яті.
7. Наведіть приклад побудови модуля ПЗП у 16-розрядній МПС на базі 8-розрядних ВІС ПЗП.
8. Які сигнали використовуються для вибірки банків пам'яті ОЗП?
9. Назвіть чотири можливих випадки звернення до пам'яті у 16-розрядних процесорах?
10. Що таке маршрутизування байта?
11. Які рекомендації можна дати щодо розміщення даних у стеку?
12. Як забезпечується зберігання інформації, що надходить від ПБВ?
13. Назвіть способи адресування портів введення-виведення.
14. Дайте порівняльну характеристику видів обміну.
15. Які є типи програмного обміну?
16. Наведіть структурну схему обміну за стробом готовності.
17. Наведіть структурну схему обміну за перериванням.
18. Наведіть структурну схему обміну в режимі ПДП.
19. Як відбувається запам'ятовування вмісту акумулятора, РЗП, програмованого лічильника та прапорців під час обміну за перериванням?
20. В яких випадках доцільно застосовувати прямий доступ до пам'яті?

28.1. Однокристальні мікроконтролери з CISC-архітектурою

Однокристальний мікроконтролер — пристрій, виконаний конструктивно в одному корпусі ВІС, що містить усі компоненти МПС: процесор, пам'ять даних, пам'ять програм, програмовані інтерфейси. Однокристальним мікроконтролерам (ОМК) притаманні такі особливості:

- система команд, зорієнтована на виконання задач керування і регулювання;
- алгоритми, що реалізуються на ОМК, мають багато розгалужень залежно від зовнішніх сигналів;
- дані, з якими оперують ОМК, не повинні мати велику розрядність;
- схемна реалізація систем керування на базі ОМК нескладна і має невисоку вартість;
- універсальність і можливість розширення функцій керування значно нижчі, ніж у системах з однокристальними МП.

Однокристальні мікроконтролери є зручним інструментом для створення сучасних вбудованих пристроїв керування різним обладнанням, наприклад автомобільною електронікою, побутовою технікою, мобільними телефонами тощо.

Структуру ОМК та функціонування основних блоків розглянемо на прикладі ВІС K1816BE51 (i80x51) (рис. 28.1).

Структурна схема ОМК містить: блок 8-розрядного центрального процесора ЦП; пам'ять програм ПЗП ємністю 4 Кбайт; пам'ять даних ОЗП ємністю 128 байт; чотири 8-розрядних програмованих порти введення-виведення P0—P3; послідовний порт; два 16-розрядних програмованих таймери/лічильники T/C0, T/C1; систему переривань з п'ятьма векторами і двома рівнями пріоритетів; блок керування (БК).

Блок ЦП містить 8-розрядний АЛП, два акумулятори A і B, регістр слова стану процесора PSW (Processor State Word) та програмно-недоступні буферні регістри ЧА і ЧР, що виконують функції розподілу вхідних та вихідних даних АЛП. Центральний процесор виконує операції додавання, віднімання,

множення, ділення, логічні операції І, АБО, НЕ, ВИКЛЮЧАЛЬНЕ АБО, операції зсуву і скидання. Він оперує з такими типами змінних: булевими (1 біт), цифровими (4 біт), байтовими (8 біт) та адресними (16 біт). Характерною особливістю ОМК є великий набір операцій з бітами: окремі біти змінних можуть бути встановлені, скинуті, інвертовані, перевірені, передані. Це дає змогу легко реалізовувати алгоритми, що містять операції над булевими змінними типу «так-ні» («true-false»).

Акумулятор A є джерелом одного з операндів і місцем розміщення результату виконання багатьох команд. Ряд команд, наприклад, передавання інформації в/із ОЗП, команди TEST, INC, DEC можуть виконуватися без участі акумулятора. Акумулятор B використовується як акумулятор лише в командах множення і ділення, а в інших випадках — як РЗП.

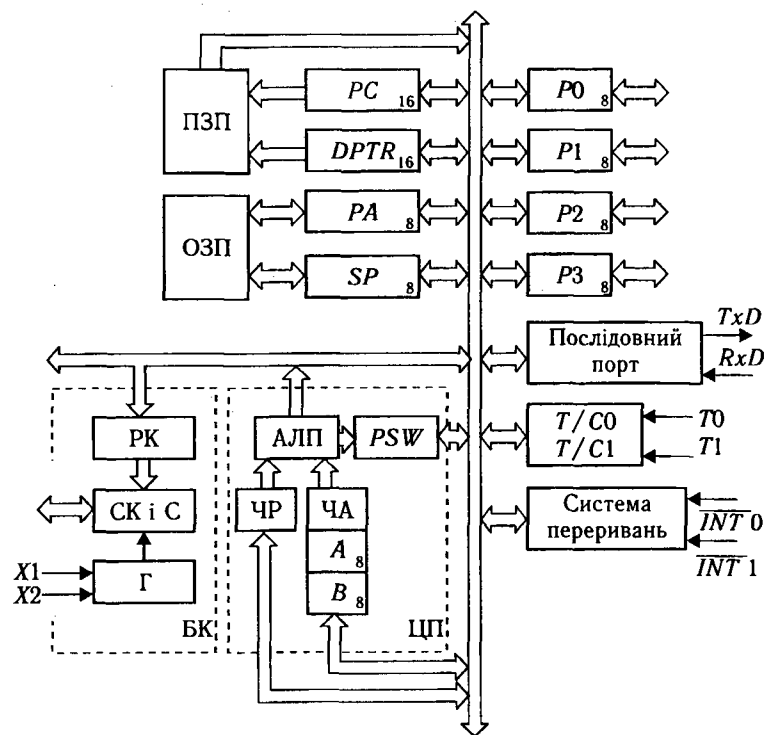


Рис. 28.1. Структурна схема ОМК K1816BE51

Регістр слова стану процесора *PSW* зберігає інформацію про стан АЛП у процесі виконання програми.

Постійний запам'ятовувальний пристрій, або резидентна пам'ять програм (РПП) має інформаційну ємність 4 Кбайт і виконаний у вигляді ПЗП програмною маскою. Інші ОМК, наприклад K1816751, мають ПЗП *EPROM*. ПЗП має 16-розрядну адресну шину, що дає змогу розширити пам'ять до 64 Кбайт через під'єднання зовнішніх ВІС ПЗП. Адреса визначається вмістом лічильника команд *PC* (*Program Counter*) або вмістом регістра-показчика даних *DPTR* (*Data Pointer Register*). Регістр *DPTR* використовується за непрямих переходів у програмі або під час адресації таблиць, або як один 16-розрядний регістр, або як два незалежних 8-розрядних регістри *DPH* і *DPL*.

Оперативний запам'ятовувальний пристрій, або резидентна пам'ять даних (РПД), складається з двох областей. Перша область — ОЗП даних з інформаційною ємністю 128×8 біт з адресами $0-7FH$, друга область — регістри спеціальних функцій (*SFR* — *Special Function Registers*) з адресами $80H-FFH$.

Блок керування складається з генератора (Г) тактових сигналів, програмно-недоступного регістра команд (РК) та схеми керування і синхронізації (СК і С). Структурну схему блока керування зображено на рис. 28.2. Код команди, зчитаної з РПП, запам'ятовується у 8-розрядному РК і надходить на дешифратор команд (ДШК), який входить до складу СК і С. Дешифратор команд формує 24-розрядний код, що надходить на програмовану логічну матрицю (ПЛМ), а після цього — на блок логіки керування.

Блок логіки керування на підставі декодованого коду команди, зовнішніх керуючих сигналів \overline{RST} (сигналу загального скидання), \overline{EA} (сигналу блокування роботи з РПП) та сигналів від внутрішнього формувача імпульсів синхронізації виробляє внутрішні сигнали керування.

Внутрішній формувач імпульсів синхронізації формує:

- внутрішні сигнали синхронізації машинних циклів;
- вихідний сигнал дозволу фіксації адреси *ALE*;
- сигнал дозволу програмної пам'яті *PME* (формується лише під час роботи із зовнішньою пам'яттю).

У блок керування входить також регістр керування споживанням *PCON* (*Power CONTROL*).

Порти введення-виведення *P0*—*P3* призначені для забезпечення побайтного обміну інформацією ОМК із зовнішніми пристроями по 32 лініях введення-виведення.

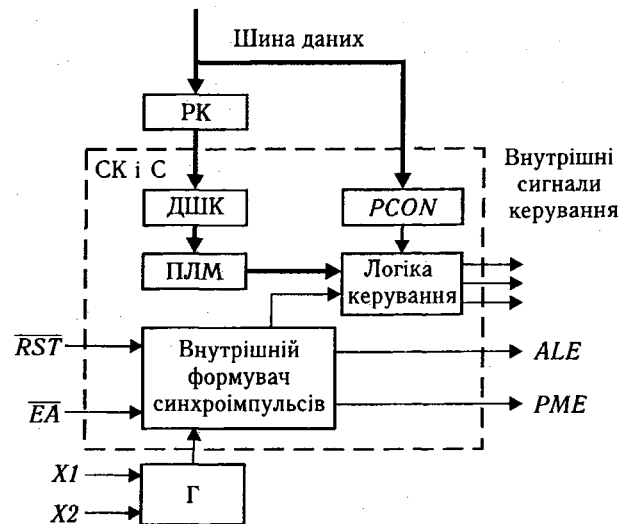


Рис. 28.2. Структурна схема блока керування

Порт *P0* є двонаправленим, оскільки через нього можна у будь-який момент вводити та виводити інформацію. Виводи порту *P0* мають три стани. Через порт *P0*:

- виводиться молодший байт адреси $A7-A0$ під час роботи із зовнішнім ПЗП і зовнішнім ОЗП;
- видається з ОМК та приймається в ОМК байт даних у процесі роботи із зовнішньою пам'яттю, при цьому обмін байтом даних та виведення молодшого байта адреси зовнішньої пам'яті мультиплексовано у часі;
- задаються дані для програмування внутрішнього ПЗП *EPROM*.

Порти *P1*—*P3* є квазідвонаправленими, оскільки у будь-який момент через порти можна лише виводити інформацію. Для введення інформації слід записати в усі розряди регістра-фіксатора логічні одиниці. Після цього можна виконувати введення.

Через порт *P1*: задається молодший байт адреси під час програмування внутрішнього ПЗП *EPROM* та під час читання внутрішнього ПЗП.

Через порт *P2*: виводиться старший байт адреси $A15-A8$ у процесі роботи із зовнішнім ПЗП і зовнішнім ОЗП тоді, коли адреса є 16-розрядною; задається старший байт $A15-A8$

адреси під час програмування внутрішнього ПЗП EPROM та читання внутрішнього ПЗП.

Порт P3 можна використовувати як для введення-виведення інформації, так і для реалізації альтернативних функцій обміну інформацією. Кожну з восьми ліній порту P3 користувач може запрограмувати на виконання альтернативних функцій записом логічної одиниці у відповідні біти регістра-замка (P3.0 – P3.7) порту P3.

Послідовний порт (див. рис. 28.1) призначений для забезпечення послідовного обміну даними. Його можна використовувати або як регістр зсуву, або як *універсальний асинхронний приймач-передавач* з фіксованою або змінною швидкістю обміну та із можливістю дуплексного режиму. Послідовний порт може працювати в одному з чотирьох режимів: (режим 0, режим 1, режим 2, режим 3). Послідовний порт програмується на один з режимів через запис керуючого слова в регістр SCON (Serial port CONTROL).

У **режимі 0** послідовний порт — це 8-розрядний регістр зсуву. Байт інформації передається і приймається через вивід RxD, при цьому через вивід TxD видаються сигнали синхронізації зсуву. Приймання і видавання байта починається з молодшого розряду і закінчується старшим. Швидкість обміну фіксована і дорівнює $f_Q/12$, де f_Q — частота синхронізації ОМК.

У **режимі 1** послідовний порт — 8-розрядний універсальний асинхронний приймач-передавач зі змінною швидкістю обміну. Через TxD передаються, а через RxD приймаються 10 бітів: нульовий старт-біт, 8 біт інформації та одиничний стоп-біт. Швидкість обміну є змінною. Вона визначається частотою переповнення таймера 1 f_{out1} і бітом SMOD регістра PCON.

У **режимах 2 і 3** послідовний порт — це 9-розрядний універсальний синхронний приймач-передавач з фіксованою (для режиму 2) та змінною (для режиму 3) швидкістю обміну. У режимі 2 швидкість обміну дорівнює $f_Q/32$ за SMOD = 1 або $f_Q/64$ за SMOD = 0. У режимі 3 швидкість обміну визначається таймером 1, як і в режимі 1.

Блок таймерів-лічильників призначений для підрахунку зовнішніх подій (функція лічильника), реалізації програмно керованих затримок та виконання функцій задання часу (функція таймера). Під час виконання функції таймера вміст T/C інкрементується в кожному машинному циклі, тобто через кожні 12 періодів резонатора. У процесі виконання функції лічильника вміст T/C інкрементується під впливом пере-

ходу зі стану логічної «1» у стан логічного «0» зовнішнього вхідного сигналу, що надходить на відповідний (T0, T1) вивід ОМК. Вміст лічильника збільшується на одиницю, якщо у попередньому циклі надійшов вхідний сигнал високого рівня (1), а в наступному — сигнал низького рівня (0). Прапорці переповнення TF0 і TF1 встановлюються апаратно після переповнення відповідних T/C (перехід вмісту регістра T/C зі стану «всі одиниці» у стан «усі нулі»). Якщо при цьому переривання від відповідного T/C дозволяється, то встановлення прапорця TF викликає переривання. Скидання прапорців TF0 і TF1 відбувається апаратно під час передавання керування програми оброблення відповідного переривання. Переривання прапорців TF0 та TF1 може відбуватися після виклику (встановлення TF) або відміни (скидання TF).

Режими роботи блока T/C. Режим роботи кожного блока T/C визначається значеннями бітів M0, M1 у регістрі TMOD. Таймери T/C0 та T/C1 мають чотири режими роботи. Режими 0, 1, 2 однакові для обох T/C; у цих режимах вони повністю незалежні один від одного. Робота T/C0 та T/C1 у режимі 3 неоднакова. При цьому встановлення режиму 3 у таймері T/C0 впливає на режим роботи таймера T/C1.

Режим 0 (M0 = 0, M1 = 0). Таймер у режимі 0 — це пристрій на базі 13-розрядного регістра, і він є 8-розрядним таймером (лічильником) з п'ятирозрядним передподільником на 32.

Режим 1 (M0 = 1, M1 = 0). Відмінність від режиму 0 полягає в тому, що встановлення режиму 1 перетворює T/C на пристрій із 16-розрядним регістром. Для T/C0 регістр складається з програмно доступних пар TL0, TH0, для T/C1 — з програмно доступних пар TL1, TH1.

Режим 2 (M0 = 0, M1 = 1). У режимі 2 T/C — це пристрій на базі 8-розрядного регістра TL0 для T/C0 та регістра TL1 для T/C1. Під час кожного переповнення TL, крім встановлення в регістрі TCON прапорця TF, відбувається автоматичне перезавантаження вмісту TH у TL. Регістри TH0 та TH1 завантажуються програмно. Перезавантаження TL0 з TH0 та TL1 з TH1 не впливає на вміст регістрів TH0 та TH1.

Режим 3. Таймер-лічильник 1 заблокований і зберігає своє значення. Таймер-лічильник 0 у режимі 3 — це два незалежних пристрої на базі 8-розрядних регістрів TL0 і TH0. Пристрій на базі TL0 може працювати як у режимі таймера, так і в режимі лічильника, а на базі TH0 — лише у режимі таймера.

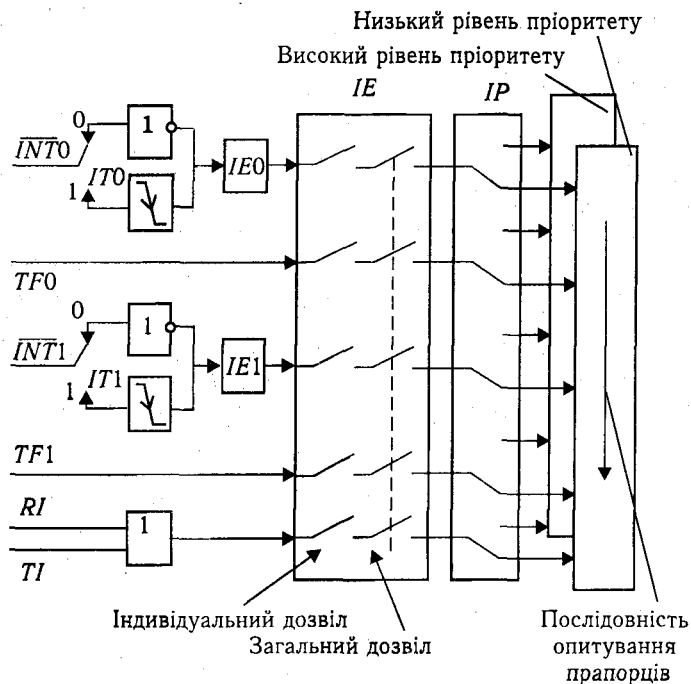


Рис. 28.3. Функціональна схема системи переривань

Система переривань (рис. 28.3) призначена для реагування на зовнішні та внутрішні події. До зовнішніх подій належать появи нульового потенціалу (або зрізу) на виводах $\overline{INT0}$, $\overline{INT1}$, до внутрішніх — переповнення таймерів-лічильників, завершення послідовного обміну. Зовнішні або внутрішні події викликають встановлення відповідних прапорців: $IE0$, $IE1$, $TF0$, $TF1$, RI і TI , що й спричиняють переривання. Зазначимо, що всі перелічені прапорці можуть бути програмно встановлені або скинуті, при цьому їхнє програмне встановлення викликає переривання так само, як і реагування на подію. Отже, переривання можуть програмно викликатися або програмно усуватися. Крім того, переривання на входах $\overline{INT0}$, $\overline{INT1}$ можуть викликатися програмним скиданням бітів $P3.2$ і $P3.3$.

Зовнішні переривання залежно від стану бітів $IT0$, $IT1$ регістра $TCON$ сприймаються або за переходом сигналу на входах $\overline{INT0}$ та $\overline{INT1}$ з H -рівня у L -рівень, або за пульсовим рівнем сигналу.

Переривання від таймерів-лічильників викликаються одиничними значеннями прапорців $TF0$ або $TF1$ у регістрі $TCON$. Прапорці $TF0$ та $TF1$ встановлюються під час переповнення відповідних таймерів. Скидання прапорців $TF0$ та $TF1$ відбувається автоматично у процесі переходу до підпрограм оброблення переривань.

Переривання від послідовного порту викликаються встановленням прапорців TI або RI у регістрі $SCON$. Скидання прапорців TI або RI здебільшого здійснюється у підпрограмі оброблення переривання.

Кожний з описаних типів переривань може бути дозволений або заборонений за допомогою встановлення-скидання відповідного біта у регістрі IE .

Режими енергоспоживання ОМК. В ОМК, виконаних за n -МДН-технологією, регістр $PCON$ має лише 1 біт $SMOD$, що керує швидкістю передавання послідовного порту. Тому існує лише режим зниженого споживання, який забезпечує живлення внутрішнього ОЗП, якщо значення сигналу на виводі \overline{RST} більше, ніж на виводі U_{CC} . Це реалізується за допомогою двох діодів, з катодів яких здійснюється живлення ОЗП, а аноди з'єднані з виводами \overline{RST} та U_{CC} (рис. 28.4).

В ОМК, виконаних за КМДН-технологією, є два режими зменшеного енергоспоживання: режим холостого ходу і режим мікроспоживання. Джерелом живлення у режимі холостого ходу та мікроспоживання є вивід U_{CC} . Вибір і керування режимами здійснюється за допомогою регістра керування споживанням $PCON$. Режими зменшеного енергоспоживання ініціюються встановленням бітів PD та IDL .

Режим холостого ходу задається командою, яка встановлює біт IDL у стан логічної «1», наприклад, $MOV PCON, \#01$. У цьому режимі блокуються функціональні вузли блока ЦП (CPU). Внутрішній генератор сигналів синхронізації продовжує роботу. Всі регістри, показник стеку, програмований лічильник, PSW , акумулятор та внутрішній ОЗП зберігають свої значення. На виводах усіх портів утримується той логічний стан, який був на них у момент переходу в режим холостого ходу. На виводах ALE та \overline{PME} формується рівень логічної одиниці.

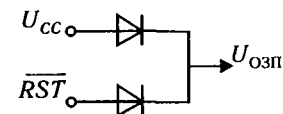


Рис. 28.4. Забезпечення живлення ОЗП у режимі зниженого споживання

Існує два способи виходу з режиму холостого ходу — за перериванням або за сигналом апаратного скидання на вході RST . Активізація будь-якого дозволеного переривання автоматично веде до встановлення біта IDL у стан логічного «0», тобто до припинення режиму холостого ходу. Після виконання команди $RETI$ (вихід із підпрограми обслуговування переривання) виконується команда, наступна за командою, що перевела ОМК у режим холостого ходу.

Закінчення режиму холостого ходу відбувається також з появою сигналу апаратного скидання на виводі RST тривалістю не менше двох машинних циклів. Активний сигнал на виводі RST асинхронно скидає біт IDL у стан логічного нуля. Оскільки тактовий генератор працює, ОМК відразу після скидання біта IDL у стан логічного нуля починає виконувати програму з команди, наступної після команди, що викликала режим холостого ходу. Тривалість інтервалу між скиданням біта IDL та моментом, коли вмикається внутрішній алгоритм скидання, може становити до двох машинних циклів. Упродовж цього інтервалу блокується доступ до внутрішнього ОЗП, але не блокується доступ до портів. Тому використовувати команди звернення до портів безпосередньо після команди встановлення біта IDL не рекомендується.

Режим мікроспоживання ініціюється встановленням біта PD у стан логічної «1», наприклад, за командою $MOV PCON, \#02$. У цьому режимі генератор вимикається, припиняючи роботу всіх вузлів ОМК, зберігається лише вміст ОЗП та регістрів спеціальних функцій. На виводах портів утримуються значення, які відповідають вмісту їхніх буферних регістрів. Виходи сигналів ALE та PME скидаються. Електроживлення відбувається через вивід \overline{RST} / V_{PD} . У цьому режимі напруга U_{CC} може бути зменшена до 2 В і має відновитися до номінального значення перед виходом з режиму. Вийти з режиму мікроспоживання можна лише за сигналом апаратного скидання на виводі \overline{RST} тривалістю не менше ніж 10 мс (тривалість відновлення роботи генератора імпульсів синхронізації). За одночасного значення $IDL = 1$ та $PD = 1$ перевагу має біт PD .

28.2. Однокристалні мікроконтролери з RISC-архітектурою

CISC-мікроконтролери характеризуються досить розвинутою системою, наприклад, мікроконтролери серії $i80 \times 51$ мають 111 команд. Однак аналіз програм показав, що 20 %

команд використовуються у 80 % випадків, а дешифратор команд займає понад 70 % усієї площі кристала. Тому у розробників МП виникла ідея скоротити кількість команд, придати їм єдиний формат і зменшити площу кристала, тобто використати RISC (*Reduced Instruction Set Computer*) архітектуру.

Особливістю контролерів, виконаних за RISC-архітектурою, є те, що всі команди виконуються за один-три такти, тоді як у CISC-контролерах — за один-три машинних цикли, кожний із яких складається з кількох тактів, наприклад для $i80 \times 51$ — з 12 тактів. Тому RISC-контролери мають значно більшу швидкість. Однак повніша система команд CISC-контролерів у деяких випадках сприяє економії часу виконання певних фрагментів програми та економії пам'яті програм.

Типовими представниками RISC-процесорів є PIC-контролери (*Peripheral Interface Controller* — контролери периферійних інтерфейсів) виробництва фірми «Microchip». PIC-Контролери застосовують у системах високошвидкісного керування автомобільними й електричними двигунами, приладах побутової електроніки, телефонних приставках з АВН, системах охорони із сповіщенням по телефонній лінії, міні-АТС. Окремі ВІС відрізняються розрядністю ПЗП: від 12 до 14 біт для серії PIC16Cxx та 16 біт для серії PIC17Cxx. Завдяки скороченій кількості команд (від 33 до 35) усі команди займають у пам'яті одне слово. Тривалість виконання кожної команди, крім команд розгалуження, становить чотири такти — один цикл (200 нс за частоти 20 МГц). Оперативний запам'ятовувальний пристрій виконано за схемою з довільною вибіркою та можливістю безпосередньої адресації у коді команди для будь-якої комірки. Стек реалізовано апаратно з глибиною 2, 8 або 16 комірок. Майже в усіх PIC-контролерах є система переривань, джерелом яких може бути таймер, а також зміна станів сигналів на деяких входах. У PIC-контролерах передбачено біт захисту ПЗП, що запобігає нелегальному копіюванню.

Архітектура PIC-контролерів. Архітектуру PIC-контролерів розглянемо на прикладі ВІС PIC16C71 (рис. 28.5). Основою архітектури є роздільні шини та області пам'яті для даних і команд. Шина даних та комірка ОЗП є 8-розрядними, а шина команд і програмна пам'ять (ПЗП) — 14-розрядними; 14-розрядна команда вибирається за один цикл. Двосхідчастий коппеер забезпечує одночасне вибирання і виконання команди. Система команд містить 35 команд. Усі команди виконуються за один цикл, за винятком команд переходів, що виконуються за два цикли.

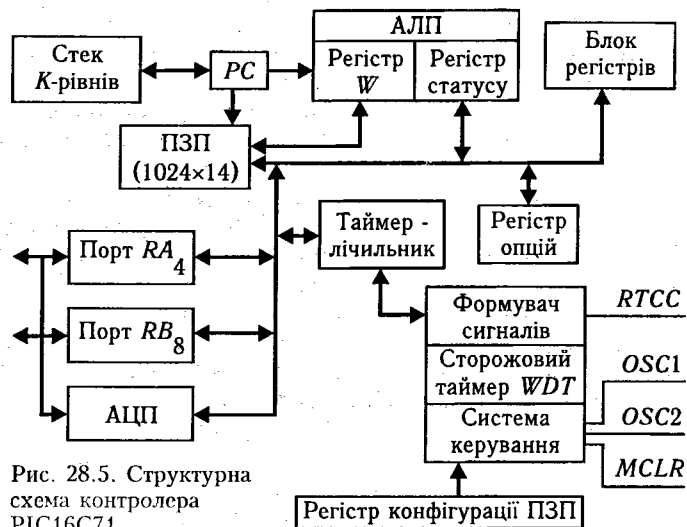


Рис. 28.5. Структурна схема контролера PIC16C71

Структурна схема контролера містить:

- восьмирівневий апаратний стек;
- 13-розрядний програмний лічильник PC;
- 8-розрядний АЛП;
- ОЗП, який складається з 36 8-розрядних РЗП;
- 15 регістрів спеціальних функцій SFR (на рис. 28.5 показано регістр непрямої адресації W та регістри статусу, опцій і конфігурації ПЗП);
- 8-розрядний таймер-лічильник з 8-розрядним програмним передподільником;
- модуль АЦП з чотирма входами;
- 13 ліній введення-виведення (чотирирозрядний порт RA, 8-розрядний порт RB, лінія RTCC);
- сторожовий таймер;
- формувач зовнішнього сигналу RTCC або сигналу сторожового таймера;
- система керування і синхронізації з внутрішнім генератором.

PIC-Контролери за своїми параметрами конкурують з однокристальними мікроЕОМ та ОМК. Деякі модифікації PIC-контролерів мають більшу швидкість, ніж ОМК. PIC-Контролери та ОМК застосовують у вбудованих системах керування різного призначення.

Однокристальні AVR-мікроконтролери — це 8-розрядні високопродуктивні RISC-контролери загального призначення.

Вони були створені групою розроблювачів дослідницького центру фірми «Atmel Corp.» (Норвегія), ініціали яких сформували марку AVR. Особливістю AVR-мікроконтролерів є їх широка номенклатура, що дає змогу користувачу вибрати мікроконтролер з мінімальною апаратною надлишковістю і, отже, найменшою вартості. Так, у номенклатуру групи AT90S входять прилади з ПЗП ємністю від 1 до 8 Кбайт із різними наборами периферії у корпусах із кількістю виводів від 8 до 48. Нині у серійному виробництві знаходяться три сімейства AVR — Tiny, Classic і Mega. Мікроконтролери Tiny — найдешевші і мають найпростішу структуру, Mega — найпотужніші, а Classic — займають проміжне положення між ними.

Система команд AVR налічує до 133 різних інструкцій. Розрізняють п'ять груп команд AVR: умовного розгалуження, безумовного розгалуження, арифметичні та логічні операції, команди пересилання даних, команди роботи з бітами. В останніх розробках AVR сімейства Mega реалізована функція апаратного множення. За кількістю реалізованих конструкцій AVR-мікроконтролери більше на CISC, ніж на RISC-процесори. У PIC-контролерів система команд налічує подібних до 75 різних інструкцій, а в MCS51 вона становить 111.

Загалом прогресивна RISC-архітектура AVR у сполученні з розширеною системою команд дає змогу створювати компактні програми з високою швидкістю виконання.

28.3. Сигнальні процесори

Сигнальні процесори належать до класу спеціалізованих МП. Вони розроблені для розв'язання задач цифрового оброблення сигналів, прикладами якого є:

- фільтрація сигналу;
- згортка двох сигналів;
- обчислення значень кореляційної функції двох сигналів;
- обчислення автокореляційної функції;
- пряме-зворотне перетворення інтегралів Фур'є тощо.

Задачі цифрового оброблення розв'язуються в апаратурі зв'язку і передавання даних, засобах гідро- і радіолокації, медичному устаткуванні та робототехніці, керуванні двигунами, в автомобільній електроніці, телебаченні, вимірювальній техніці тощо.

Відмінною ознакою задач цифрового оброблення сигналів є потоковий характер оброблення великих обсягів даних у реальному режимі часу. Робота у реальному часі потребує

підвищення швидкодії МП, а оброблення великих масивів даних — апаратних засобів інтенсивного обміну із зовнішніми пристроями.

Висока швидкодія сигнальних МП досягається завдяки:

- застосуванню модифікованої RISC-архітектури;
- проблемно-орієнтованій системі команд, наприклад, включенню в систему команд таких операцій, як множення з накопичуванням $MAC (C := A \times B + C)$ із зазначеним у команді числом виконань у циклі та з правилом зміни індексів елементів масивів A і B ;
- застосування способів скорочення тривалості командного циклу, наприклад конвеєризації команд;
- розміщенню операндів більшості команд у регістрах;
- використанню тіплових регістрів для збереження стану обчислень під час перемикавання контексту;
- наявності апаратного множення, що дає змогу виконувати множення двох чисел за один командний такт;
- апаратній підтримці програмних циклів.

Сигнальні процесори різних компаній-виробників поділяють на два класи процесорів: на прості та дешеві мікропроцесори оброблення даних у форматі з фіксованою комою та на дорогі мікропроцесори, що апаратно підтримують операції над даними у форматі з плаваючою комою.

Сигнальні процесори з фіксованою комою. Перший сигнальний процесор TMS320C10, розроблений фірмою «Texas Instruments» у 1982 р., обробляв числа з фіксованою комою.

Процесор виконаний за гарвардською архітектурою, основою якої є розподіл шин доступу до вбудованої пам'яті програм і даних. Це дає змогу здійснити вибірку команди і даних в одному машинному циклі й забезпечити виконання більшості команд за один цикл.

Сигнальний процесор TMS320XC5х складається з центрального процесорного пристрою (CPU), вбудованої пам'яті програм і даних, багатофункціональних периферійних пристроїв, що у більшості випадків дають змогу позбутися додаткової зовнішньої апаратури.

Сигнальні процесори з плаваючою комою. Використання сигнальних процесорів для оброблення даних у форматі з плаваючою комою зумовлюється рядом задач (інтегральні перетворення, алгоритми компресії, декомпресії, адаптивної фільтрації), які вимагають високої точності подання даних у широкому динамічному діапазоні. Робота з даними у форматі з плаваючою комою спрощує і прискорює їх оброблення, підвищує надійність програми, оскільки не потребує

виконання операцій округлення і нормалізації даних, відстеження ситуацій втрати значимості та переповнення. Однак апаратні й вартісні затрати таких МП значно більші, ніж процесорів оброблення даних у форматі з фіксованою комою.

Першим представником класу процесорів з плаваючою комою був МП TMS320C30.

Процесор має 32-розрядну шину команд і даних та 24-розрядну шину адреси, містить 2 блоки ОЗП по 1К 32-розрядних слів, 32-розрядний блок множення з плаваючою комою, кеш-пам'ять команд ємністю 64 32-розрядних слів, 8 регістрів для операцій з підвищеною точністю, 2 генератори адреси і регістровий файл, реалізує різні способи адресації. 40-Розрядне АЛП процесора працює як з цілими числами, так і з числами у форматі з плаваючою комою. Вбудований контролер ПДП дає змогу сполучати в часі обчислення та обмін даними з пам'яттю. Наявність у МП TMS320C30 мультипроцесорного інтерфейсу, двох зовнішніх інтерфейсних та двох послідовних портів, розширеної системи переривань спрощує конструювання систем на його основі.

Усі операції в процесорі виконуються за один такт. Процесор може паралельно виконувати в одному такті операцію множення та арифметико-логічну операцію з числами у форматі з фіксованою чи плаваючою комою. Процесор має гнучку систему команд та підтримку мови високого рівня С.

28.4. Основні поняття і завдання нейронних обчислювачів

У попередніх розділах було розглянуто приклади розв'язання задач, які добре формалізовані, тобто для них розроблені математичні моделі і можуть бути застосовані алгоритми, що ґрунтуються на правилах типу «якщо А, то Б». Однак існують задачі, які важко формалізувати, тобто знайти чіткий алгоритм розв'язання. До таких задач належать:

- **розпізнавання зображень**, наприклад, розпізнавання рукописних і друкарських символів під час оптичного введення в ЕОМ, розпізнавання типів клітин крові, розпізнавання мови. При цьому об'єкт, що розпізнається, є масивом даних, який потрібно віднести до одного із заздалегідь відомих класів;

- **кластеризація даних** (пошук закономірностей). Вхідні дані слід віднести до будь-якої групи (кластеру) за властивістю їм «близькості», причому число кластерів заздалегідь невідоме. Як критерії «близькості» можуть бути використані

відстань між векторами даних, значення коефіцієнта кореляції тощо;

- *апроксимація функцій*. Знайти функцію, що апроксимує невідому, наприклад набір експериментальних даних. Ця задача актуальна під час моделювання складних систем і створення систем керування складними динамічними об'єктами, для робастного керування;

- *прогнозування*. За попереднім поведінням функції спрогнозувати її поведінку у майбутньому. Ця задача актуальна для керування системами з прогнозуванням та для систем прийняття рішень;

- *оптимізація*. Мета цих задач — знайти оптимальне значення цільової функції, що задовольняє ряду обмежень.

Слід зазначити, що людина добре розв'язує задачі, які важко формалізувати, — розпізнає зображення, класифікує дані, прогнозує тощо. Тому ідея створення штучного розуму стала досить актуальною. Однак для цього потрібно було провести численні дослідження принципів функціонування мозку людини з погляду оброблення інформації.

Мозок людини є найскладнішою з відомих систем переробки інформації. В ньому міститься близько 100 млрд первових клітин, або нейронів, кожна з яких в середньому має 10 000 зв'язків.

Нейрони — особливий вид клітин, основне призначення яких полягає в оперативному керуванні організмом. Схематичне зображення нейрона наведено на рис. 28.6.

Нейрон має тіло (сому) 2, дерево входів (дендрити) 1 і виходів (аксонів) 4. Дендрити сильно розгалужуються, пронизуючи порівняно великий простір навколо нейрона. Початковий сегмент аксона — стовщений аксоновий горбок 3, що прилягає до тіла клітини. У міру віддалення від клітини він поступово звужується і на ньому з'являється мієлінова оболонка, що має високий електричний опір. На сомі та на дендритах розміщуються закінчення аксонів, що йдуть від інших первових клітин. Кожне таке закінчення 5 має вигляд стовщення, яке називають синаптичною бляшкою, або синапсом.

Вхідні сигнали дендритного дерева (постсинаптичні потенціали) зважуються і підсумовую-

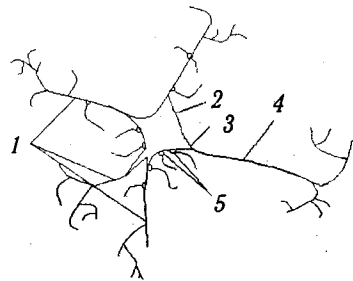


Рис. 28.6. Схематичне зображення нейрона

ються на шляху до аксонового горбка, де генерується вихідний імпульс. Його наявність (або інтенсивність) є функцією зваженої суми вхідних сигналів. Вихідний сигнал проходить по гілках аксона і досягає синапсів, що з'єднують аксони з дендритними деревами інших нейронів. Через синапси сигнал трансформується на новий вхідний сигнал для суміжних нейронів. Цей вхідний сигнал може бути позитивним і негативним (збудливим або гальмуючим) залежно від виду синапсів. Значення вхідного сигналу, що генерується синапсом, може відрізнитися від значення сигналу, який приходить у синапс. Ці розходження визначають ефективність, або вагу синапса. Синаптична вага може змінюватися у процесі функціонування синапса.

Учені різних спеціальностей робили спроби створити математичну модель нейрона. Так, біологи намагалися отримати аналитичне уявлення нейрона, що враховувало б усі його відомі функціональні характеристики. Однак основне завдання — передавання інформації нервовим імпульсом — втрачалося серед множини параметрів, що належать до фізички провідності імпульсів. Тому спробували замінити фізичний опис нейрона логічним. При цьому нервова клітина розглядалася як елемент, що передає інформацію. У 1943 р. вчені-математики Мак-Каллох і Пітс зобразили нейрон як простий перемикальний елемент, що може знаходитися в одному із двох стійких станів «ввімкнене» або «вимкнене». Нейрон спрацьовує, якщо алгебраїчна сума входів у цей час більша, ніж порога. Нейрон у такому уявленні може використовуватися як елемент ЕОМ і дає змогу побудувати мережу з нейронів із відповідними порогоми і зв'язками, що реалізовувала б довільну булеву функцію або таблицю істинності. Ці дослідження привели до численних виходів схем оброблення інформації, пристроїв розпізнавання і сенсорних аналізаторів.

Нині найчастіше використовують модель нейрона, зображену на рис. 28.7.

Нейрон має n односпрямованих входів (синапсів), з'єднаних із виходами інших нейронів та вихід y (аксон), по якому сигнал (збудження або гальмування) надходить на синапси наступних нейронів. Синапс характеризується значенням синаптичного зв'язку, або ваги w_i , що за фізичним змістом еквівалентний електричній провідності. Кожний нейрон характе-

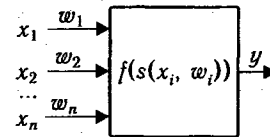


Рис. 28.7. Модель нейрона

Таблиця 28.1. Функції активації нейрона

Назва функції	Визначення
Східчаста порогова	$f(s) = \begin{cases} 0, & s < a \\ 1, & s \geq a \end{cases}$
Лінійна порогова	$f(s) = \begin{cases} 0, & s < a_1 \\ ks + b, & a_1 \leq s < a_2 \\ 1, & s \geq a_2 \end{cases}$
Сигмоїдна	$f(s) = (1 + e^{-k(s-a)})^{-1}$
Лінійна	$f(s) = ks + b$
Гауссіана	$f(s) = e^{-k(s-a)^2}$

ризується своїм *поточним станом* s за аналогією з нервовими клітинами головного мозку, що можуть бути збуджені або загальмовані.

Поточний стан нейрона залежить від значення його входів, ваг та, можливо, попереднього стану. Найчастіше стан нейрона визначається або як зважена сума його входів

$$s = \sum_{i=1}^n x_i w_i, \quad (28.1)$$

або як відстань між вектором входів і вектором ваг входів

$$s = \sum_{i=1}^{n-x} |w_i - x_i|. \quad (28.2)$$

Вихід y нейрона є функцією його стану:

$$y = f(s). \quad (28.3)$$

Функцію $f(s)$ називають *функцією активації*.

Найпоширенішими функціями активації є східчаста порогова, лінійна порогова, сигмоїдна та лінійна і гауссіана, які наведені в табл. 28.1.

Нейронна мережа створюється внаслідок об'єднання виходів нейронів зі входами інших, причому

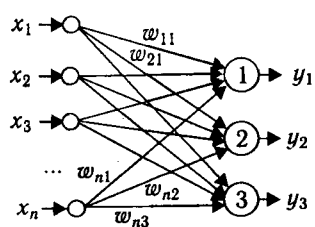


Рис. 28.8. Одношаровий персептрон

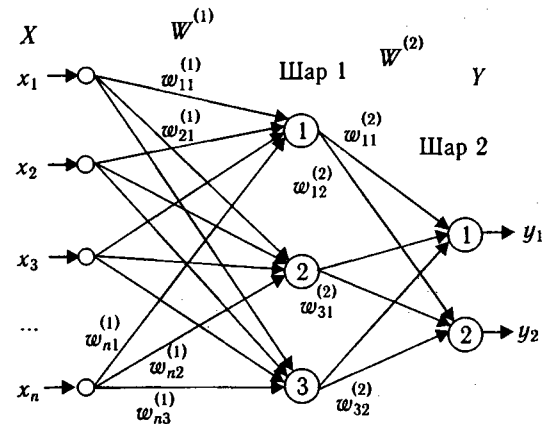


Рис. 28.9. Двошаровий персептрон

нейрони створюють шари, які з'єднані між собою. *Нейронна мережа* — це мережа з кінцевим числом шарів, що складаються з однотипових елементів та різних типів зв'язків між шарами нейронів. При цьому кількість нейронів у шарах вибирають із розрахунку забезпечення заданої якості розв'язання задачі, а кількість шарів нейронів — якомога меншим для зменшення тривалості розв'язання.

Найпростішу одношарову нейронну мережу, яку ще називають також простим персептроном, зображено на рис. 28.8. На n входів надходять сигнали, які проходять по синапсах на три нейрони, що утворюють єдиний шар з вихідними сигналами

$$y_j = f \left[\sum_{i=1}^n x_i w_{ij} \right], \text{ де } j = 1 \dots 3.$$

Двошаровий персептрон, отриманий з одношарового додаванням другого шару, що складається з двох нейронів, зображено на рис. 28.9. При цьому нелінійність активаційної функції має велике значення: якби її не було, результат функціонування будь-якої p -шарової нейронної мережі з ваговими матрицями $W^{(i)}$, $i = 1, 2, \dots, p$ для кожного шару i зводився б до перемно-

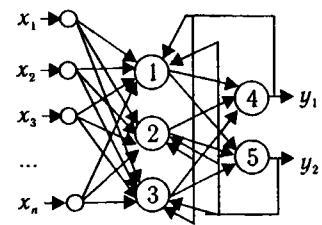


Рис. 28.10. Циклічна нейронна мережа

жування вхідного вектора сигналів X на матрицю $W^{(S)} = W^{(1)} * W^{(2)} * \dots * W^{(p)}$, тобто фактично така p -шарова нейронна мережа була б еквівалентна одношаровій з ваговою матрицею єдиного шару $W^{(S)}$: $Y = XW^{(S)}$.

Крім числа шарів і зв'язків між ними, нейронні мережі класифікуються як ациклічні або циклічні. Наведені на рис. 28.8 та 28.9 приклади належать до ациклічних нейронних мереж. Приклад циклічної нейронної мережі зображено на рис. 28.10.

Якщо розглянуті схеми (див. рис. 28.8—28.10) доповнити положенням про тактування мережі (задати тривалість спрацювання нейронів), то отримаємо апарат для завдання різних алгоритмів оброблення даних за допомогою нейронних мереж, які можна використати для розв'язання як формалізованих задач, так і задач, які важко формалізувати. В останньому випадку застосування нейронних мереж ґрунтується не на виконанні запропонованого алгоритму, а на запам'ятовуванні мережею поданих їй прикладів на етапі створення мережі та виробітку результатів, погоджених із цими прикладами, на етапі розв'язання задачі.

За типом сигналів у нейронній мережі останні поділяють на *бінарні* (цифрові) й *аналогові*. Бінарні оперують двійковими сигналами, і вихід кожного нейрона може набувати лише два значення — 0 або 1.

За можливістю адаптації можна виділити: нейронні мережі, що *конструюють* та *навчають*. У мережі, що конструюють, задають число і тип нейронів, граfi міжнейронних зв'язків, вагу входів, а в мережі, що навчають, — граfi міжнейронних зв'язків та ваги входів, що змінюються під час виконання алгоритму навчання.

За алгоритмом навчання мережі поділяють на мережі, за якими *спостерігають*, не *спостерігають* і *змішані* (гібридні). Перші у процесі навчання порівнюють заздалегідь відомий результат з отриманим. Другі навчаються, не знаючи правильних значень результату. Вони грукують вхідні дані так, щоб вони формували той самий вихід мережі. Такий підхід використовують, наприклад під час розв'язання задачі класифікації. За змішаного алгоритму навчання частина ваг визначається під час спостереження, а частина — без спостереження.

Контрольні запитання

1. Назвіть основні складові блока ОМК.
2. Поясніть структуру та принцип функціонування блока керування ОМК.

3. Яке призначення та характеристики РПП?
4. Яке призначення та характеристики РПД?
5. Яке призначення та режими роботи таймерів?
6. Яке призначення та режими роботи портів ОМК?
7. Яке призначення та режими роботи послідовного порту ОМК?
8. Яке призначення системи переривань і джерела переривань в ОМК?
9. Назвіть галузі застосування PIC-контролерів.
10. Назвіть основні блоки структурної схеми PIC-контролера.
11. Які периферійні пристрої застосовують у PIC-контролерах?
12. За якою архітектурою виконаний AVR-мікроконтролер?
13. Які сфери використання сигнальних процесорів?
14. Наведіть приклади задач цифрового оброблення сигналів.
15. Якими факторами визначається швидкодія сигнальних процесорів?
16. Які є класи сигнальних процесорів?
17. Для розв'язання якого класу задач використовують нейропроцесори? Назвіть приклади таких задач.
18. У чому полягає загальна суть використання нейронних мережових обчислень?
19. Дайте визначення понять «нейрон» і «нейронна мережа».
20. Дайте визначення та наведіть приклади функцій стану нейрона.
21. Дайте визначення та наведіть приклади функцій активізації нейрона.
22. Наведіть приклади одно- та двошарових нейронних мереж.
23. Чим відрізняються циклічні нейронні мережі від ациклічних?
24. Які є типи нейронних мереж?

Розділ 29 ІМПУЛЬСНІ ДЖЕРЕЛА ЖИВЛЕННЯ, ЕЛЕМЕНТНА БАЗА СИЛОВОЇ ЕЛЕКТРОНІКИ, ПЕРСПЕКТИВИ РОЗВИТКУ

29.1. Структурні схеми й основні проблеми імпульсних джерел електроживлення

Виконання функціональних вузлів електронної апаратури на напівпровідникових приладах та інтегральних мікросхемах дало змогу істотно зменшити габаритні розміри і масу основних блоків апаратури. Крім того, для функціонування апаратури потрібна постійна напруга високої якості. У стаціонарних умовах живлення апаратури переважно здійснюється від мережі змінного струму промислової частоти. Використання традиційних методів побудови джерел живлення (низькочастотний силовий трансформатор — випрямляч зі згладжувальним фільтром — безперервний стабілізатор напруги) призводить до того, що габаритні розміри і маса живлення визначають масогабаритні показники апаратури в цілому. Використання для стабілізації напруги безперервних стабілізаторів, які мають ККД не більше ніж 75 %, призводить до великих втрат потужності на регульовальному елементі, що потребує застосування спеціальних засобів для відведення теплоти, яка виділяється, причому ККД зменшується під час розширення меж зміни напруги живильної мережі.

Для поліпшення масогабаритних та енергетичних показників джерела живлення виконуються за схемою з високочастотним перетворенням електричної енергії. Габаритні розміри і маса силових трансформаторів на частотах десятки — сотні кілогерців значно менші, ніж у разі використання напруги промислової частоти. Елементи згладжувальних фільтрів на високих частотах мають значно менші номінальні значення, отже, і менші габаритні розміри та масу.

Використання для стабілізації напруги імпульсного режиму роботи регульовальних транзисторів дає змогу істотно зменшити втрати потужності в стабілізаторі й підвищити його

ККД та джерела живлення до 80—90 %, причому ККД зберігає це значення в широкому діапазоні зміни напруги живильної мережі. Такі джерела електроживлення називають *імпульсними джерелами електроживлення*, або джерелами живлення з безтрансформаторним входом, оскільки вони не містять низькочастотного силового трансформатора. Схеми імпульсних джерел живлення складніші, ніж безперервних, але високі питомі масогабаритні та енергетичні показники визначили їх широке застосування.

Основним фактором, що дає змогу істотно зменшити габаритні розміри і масу джерела живлення, є виключення зі схеми джерела силового низькочастотного трансформатора. Напруга мережі змінного струму промислової частоти подається безпосередньо на випрямляч, вихідна напруга якого приблизно дорівнює амплітудному значенню напруги мережі. Отримана постійна напруга за допомогою транзисторного перетворювача перетворюється на змінну напругу прямокутної форми з частотою десятки кілогерців. Силовий трансформатор на таких частотах має невеликі габаритні розміри і масу, а число та значення потрібних напруг визначаються параметрами вторинних обмоток силового трансформатора.

Для отримання постійних напруг напруга кожної вторинної обмотки випрямляється високочастотним випрямлячем з відповідним згладжувальним фільтром. Стабілізація вихідної напруги здійснюється або за допомогою імпульсного стабілізатора напруги, або за допомогою регульованого (стабілізувального) перетворювача. Тому багатоканальні імпульсні джерела живлення мають такі структурні схеми (рис. 29.1), на яких МВ — мережний випрямляч; ІСН — імпульсний

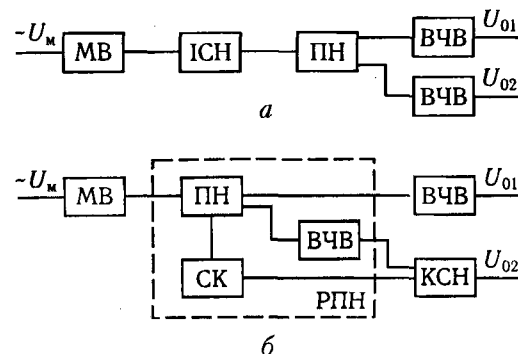


Рис. 29.1. Структурні схеми імпульсних джерел живлення

стабілізатор напруги; ПН — перетворювач напруги; РПН — регульований перетворювач напруги; СК — схема керування; ВЧВ — височастотний випрямляч; КСН — компенсаційний стабілізатор напруги.

Джерела живлення за схемою на рис. 29.1, *а* містять у своєму складі імпульсний стабілізатор напруги (ІСН) як окремий функціональний блок, що виконує дві важливі функції: по-перше, ІСН знижує вихідну напругу мережного випрямляча (МВ), яка становить сотні вольт, до значення, більш прийнятнього для роботи перетворювача напруги (ПН); по-друге, він стабілізує напругу живлення ПН, при цьому стабілізуються напруги на всіх вторинних обмотках силового трансформатора ПН. Вихідна напруга ПН у схемі на рис. 29.1, *а* має форму прямокутних різнополярних імпульсів зі шпаруватістю, що дорівнює двом. Така форма напруги є оптимальною для роботи височастотного випрямляча з погляду якості випрямленої напруги.

Основним блоком джерел живлення, виконаних за схемою на рис. 29.1, *б*, є регульований перетворювач напруги (РПН), який здійснює одночасно функції перетворення постійної напруги на змінну та стабілізації випрямленої напруги (вихідної напруги ВЧВ). Стабілізація напруги здійснюється завдяки тому, що напруги на вторинних обмотках силового трансформатора мають форму прямокутних імпульсів з «паузою на нулі» і під час зміни напруги живлення РПН тривалість імпульсу змінюється так, що середнє значення змінної напруги за половину періоду залишається приблизно постійним.

Зміна тривалості імпульсу забезпечується схемою керування (СК), на вхід якої надходить випрямлена напруга одного з каналів. Тому стабільність вихідних напруг інших каналів буде такою самою, як і цього каналу. Якість вихідної напруги ВЧВ під час випрямлення напруги з «паузою на нулі» не дуже висока, тому після РПН як вихідний блок можна використовувати безперервний (компенсаційний) стабілізатор напруги (КСН). За невеликої зміни напруги на вході КСН може мати ККД до 95 %.

У процесі розробки схем імпульсних джерел живлення потрібно враховувати низку факторів, не властивих безперервним джерелам живлення. МВ зазвичай виконується за мостовою схемою з ємнісним навантаженням. Під час використання у випрямлячі низькочастотного силового трансформатора заряджання вихідного конденсатора випрямляча відбувається плавно, без великих імпульсних струмів. В імпульсних джерелах живлення після вмикання напруга мережі надходить без-

посередньо на діодний міст і через нього на конденсатор. Розряджений конденсатор до моменту вмикання еквівалентний короткому замиканню, а оскільки вмикання джерела може відбуватися за будь-якої фази напруги мережі, то до діодного моста може бути прикладена напруга аж до амплітудного значення. Внаслідок малого значення внутрішнього опору мережі амплітуда імпульсу струму в момент вмикання може досягати сотень амперів. Тому в МВ потрібно вживати заходів для обмеження амплітуди зарядного струму конденсатора під час вмикання джерела.

Якщо напруга мережі 220 В, вихідна напруга МВ становить приблизно 300 В. Тому в наступному блоці джерела живлення (ІСН або ПН) використовують потужні високовольтні транзистори. Для забезпечення безпечних режимів потужних високовольтних транзисторів вони мають не лише працювати в режимах, що не перевищують гранично-допустимі, а й мати достатні запаси за напругою та потужністю, що розсіюється.

Сучасні високовольтні перемикальні транзистори здебільшого дрейфові, в яких тривалість перемикання має один порядок зі сталою часу транзистора, тому впливом часу відкривання транзистора на імпульс струму в транзисторі, що закривається, нехтувати не можна. Внаслідок цього в потужних високовольтних транзисторах різко збільшується миттєва потужність, яка виділяється під час переходу транзистора з режиму відсікання у режим насичення і навпаки. Високовольтні транзистори зазвичай виконують за мезапланарною дифузійною технологією, тому колекторний струм не встигає рівномірно розподілятися по площі переходу, що призводить до локальних перегрівів деяких ділянок. Для зниження миттєвої потужності доводиться ускладнювати схему керування.

У високовольтних транзисторах, що працюють у ключовому режимі, різко зростає роль захисту за струмом силових транзисторів. За низьких напруг у процесі виходу з насичення настає процес самообмеження струму. У високовольтних перетворювачах транзистор, вийшовши з насичення, не може істотно змінити струм колектора. Це призводить до перевантаження високовольтних транзисторів і виходу їх з ладу. Тому вимоги щодо захисту за струмом значно жорсткіші.

Стабілізація вихідних напруг імпульсних джерел живлення здійснюється за допомогою ІСН або РПН, що містять у своєму складі схеми керування. У робочому режимі живлення СК здійснюється від додаткових обмоток силового трансформатора перетворювача напруги. Під час вмикання джерела,

коли перетворювач ще не працює, живлення СК здійснюється від допоміжних ланок живлення. Після початку роботи ПН відбувається перемикання живлення СК від допоміжних ланок на основні. Потужність ланки живлення СК не перевищує 2–3 Вт.

29.2. Схемотехніка основних блоків імпульсних джерел електроживлення

Мережний випрямляч. Обмеження амплітуди зарядного імпульсу струму конденсатора при включенні джерела найпростіше здійснюється за допомогою резистора (термістора), що підключається послідовно в коло заряджання конденсатора. Резистор може бути підключений як до діодного моста, так і після нього (рис. 29.2).

Під час вмикання джерела конденсатор C розряджений, і струм у колі обмежується резистором $R_{обм}$. Опір обмежувального резистора визначається для найгірших умов: максимального значення напруги мережі (з урахуванням допуску на межі зміни напруги) і допустимого імпульсного струму діода $I_{д.ім}$:

$$R_{обм} \geq \frac{U_{C\max} - 2U_{д.пр}}{I_{д.ім}}$$

Обмежувальний резистор потрібний лише у момент вмикання, а в процесі роботи джерела він відіграє пасивну роль, на ньому втрачається значна потужність. Для зменшення втрат потужності на $R_{обм}$ його опір має бути якомога меншим, для чого рекомендується вибирати діоди з великим значенням допустимого імпульсного струму.

Зменшити втрати потужності на $R_{обм}$ можна, використовуючи як $R_{обм}$ термістор з негативним ТКО. Під час вмикання джерела опір резистора максимальний, за рахунок чого амплітуда зарядного імпульсу струму невелика. У міру розігрівання термістора його опір зменшується, внаслідок чого зменшуються втрати потужності на ньому. Недоліком застосування термістора

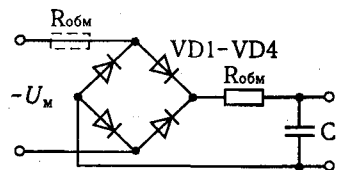


Рис. 29.2. Мережний випрямляч із струмообмежувальним резистором

як $R_{обм}$ є його інерційність. У разі короткочасного вимикання напруги мережі повторне вмикання можна робити через деякий час, потрібний для охолодження термістора, інакше амплітуда імпульсу зарядного струму перевищить розрахункове значення.

Напруга на виході МВ приблизно на 5–10 % менша, ніж амплітудне значення напруги мережі, а пульсації випрямленої напруги залежать від ємності конденсатора C . Під час вибору конденсатора слід враховувати амплітуду зарядного струму в процесі вмикання джерела, тому за великих значень цього струму використовують паралельне підключення двох конденсаторів.

Імпульсні стабілізатори напруги. Основною перевагою імпульсних стабілізаторів напруги (ІСН) порівняно з безперервними (компенсаційними) стабілізаторами є те, що в ІСН регулювальний транзистор працює в ключовому режимі (у режимі відсікання або у режимі насичення), тому втрати потужності на ньому мінімальні. Отже, ІСН має високий ККД (до 95 %), причому ККД зберігає таке значення в широкому діапазоні зміни вхідної напруги та струму навантаження.

У принциповій схемі ІСН можна виділити дві складові частини: силову частину, що є імпульсним регулятором напруги (ІРН), і схему керування режимом роботи ІРН, що під час зміни вхідної напруги ІСН змінює режим роботи регулювального транзистора так, щоб вихідна напруга ІСН залишалася приблизно постійною.

Принципову схему ІРН знижувального типу зображено на рис. 29.3, а часові діаграми, що пояснюють принцип дії ІРН, — на рис. 29.4.

Принцип дії ІРН такий. Регулювальний транзистор VT під дією керувальної напруги, яка має форму прямокутних імпульсів з частотою f і коефіцієнтом заповнення $K_z = t_{ім} / T$ (див. рис. 29.4) перебуває в режимі насичення, або у режимі відсікання. Стала часу кола навантаження $\tau_n = L / R_n$ значно більша, ніж тривалість імпульсу $t_{ім}$, тому у відкритому транзисторі струм дроселя L збільшується практично за лінійним законом (див. рис. 29.4)

$$i_k(t) = i_L(t) = I_{\min} + (I_{\text{вим}} - I_{\min}) \frac{t}{\tau_n}$$

У закритому транзисторі струм дроселя замикається через діод VD, що відкрився, і також змінюється за лінійним

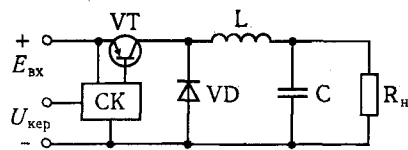


Рис. 29.3. ІРН знижувального типу

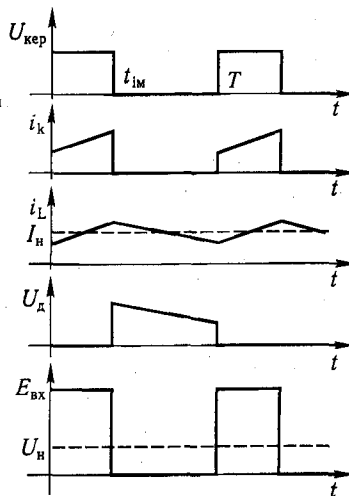


Рис. 29.4. Часові діаграми ІРН знижувального типу

законом:

$$i_L(t) = I_{\max} \left(1 - \frac{t}{\tau_n} \right),$$

де $I_{\max} = I_{\min} + (I_{\text{вим}} - I_{\min}) \frac{t_{\text{ім}}}{\tau_n}$.

Струм дроселя змінюється відповідно в межах $I_{\min} \dots I_{\max}$, напруга на дроселі у відкритому транзисторі

$$U_{L+} = E_{\text{вх}} - U_{\text{КЕ нас}} - U_n = L \frac{\Delta I_L}{\Delta t} = L \frac{I_{\max} - I_{\min}}{t_{\text{ім}}},$$

а напруга на навантаженні

$$U_n = E_{\text{вх}} - U_{\text{КЕ нас}} - U_{L+}.$$

У закритому транзисторі напруга на дроселі

$$U_{L-} = U_n + U_{\text{д. пр}} = L \frac{I_{\min} - I_{\max}}{T - t_{\text{ім}}} = -L \frac{I_{\max} - I_{\min}}{T - t_{\text{ім}}},$$

а напруга на навантаженні

$$U_n = |U_{L-}| - U_{\text{д. пр}}.$$

Середнє значення струму дроселя дорівнює струму навантаження

$$I_{L\text{ср}} = I_n = \frac{I_{\max} + I_{\min}}{2},$$

а змінна складового струму дроселя замикається через конденсатор С. Внаслідок кінцевого значення опору конденсатора на ньому відбувається спад напруги з частотою комутації регульовального транзистора, яке зумовлює пульсації вихідної напруги. Для забезпечення допустимого значення коефіцієнта пульсацій K_n ємність конденсатора вибирають за такої умови:

$$C \geq \frac{(I_{\max} - I_{\min})T}{4\pi K_n U_n}.$$

Частота комутації регульовального транзистора істотного значення не має і зазвичай вибирається десятків кілогерців. На високих частотах зменшуються номінальні значення індуктивності дроселя L і ємності конденсатора С. В ІРН рекомендуються використовувати режим безперервних струмів дроселя, коли $I_{\min} > 0$, тому зміна струму дроселя має відповідати умові

$$\Delta I_L = I_{\max} - I_{\min} \leq 2I_n.$$

Напруга на діоді VD (див. рис. 29.4) за формою — це прямокутні імпульси з амплітудою $E_{\text{вх}}$ і коефіцієнтом заповнення $K_z = t_{\text{ім}}/T$ (напругами $U_{\text{КЕ нас}}$ і $U_{\text{д. пр}}$ у першому наближенні можна знехтувати). Напруга на навантаженні є середнім значенням цієї напруги

$$U_n = E_{\text{вх}} K_z.$$

Визначивши потрібне значення коефіцієнта заповнення і задавшись допустимою зміною струму дроселя, вибирають частоту комутації регульовального транзистора і визначають потрібне значення індуктивності дроселя

$$L = \frac{U_{L+} t_{\text{ім}}}{\Delta I_L}.$$

Отже, змінюючи коефіцієнт заповнення, тобто змінюючи тривалість імпульсу за певного періоду проходження імпульсів, можна змінювати і регулювати напругу на виході. Тому принцип дії ІСН полягає в тому, що під час зміни вхідної

напруги схема керування (СК) змінює коефіцієнт заповнення керувальних імпульсів таким чином, що напруга на виході змінилася б не більше, ніж на припустиму величину ΔU_n , тобто залишалася б приблизно постійною. Для виконання цієї функції СК здійснює негативний зворотний зв'язок за напругою, як і в КСН. Функціональну схему СК зображено на рис. 29.5.

Як і в КСН, схема керування ІСН містить вимірювальний елемент (подільник напруги на резисторах R1, R2), джерело опорної напруги (параметричний стабілізатор напруги на стабілітроні VD2) і схему порівняння, на виході якої утворюється сигнал похибки, пропорційний відхиленню напруги на виході від потрібного значення.

За рівності напруги на виході заданому значенню напруга похибки дорівнює нулю, при цьому коефіцієнт заповнення керувального імпульсу регульовального транзистора дорівнює у разі нехтування величинами $U_{\text{КЕнас}}$ і $U_{\text{д. пр.}}$:

$$K_3 = \frac{U_H}{E_{\text{py}}}.$$

У разі збільшення вхідної напруги СК має зменшити коефіцієнт заповнення до значення

$$K_{3\min} = \frac{U_H + 0,5\Delta U_H}{E_{Bx\max}},$$

а у разі зменшення вхідної напруги — збільшити

$$K_{3 \max} = \frac{U_{\text{H}} - 0,5\Delta U_{\text{H}}}{E_{\text{BX min}}}.$$

Для виконання цієї функції СК у своєму складі містить широтно-імпульсний модулятор (ШІМ). Вхідною величиною ШІМ є сигнал похибки, вихідною – тривалість імпульсу,

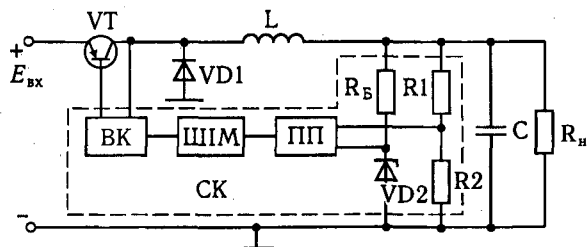


Рис. 29.5. Функціональна схема СК ІСН

пропорційна величині сигналу похибки. Принцип дії ШІМ полягає у порівнянні лінійно змінюваної напруги із сигналом похибки. За допомогою компаратора визначається інтервал часу, впродовж якого лінійно змінювана напруга перевищує напругу сигналу похибки. Амплітуда лінійно змінюваної напруги має бути не меншою, ніж максимальне значення сигналу похибки, тому для отримання амплітуди лінійно змінюваної напруги 1 – 2 В сигнал похибки заздалегідь підсилюється підсилювачем похибки (ПП). Частота лінійно змінюваної напруги визначає частоту комутації регульовального транзистора, а лінійну залежність тривалості імпульсу від значення сигналу похибки забезпечує напруга трикутної форми. Така напруга формується у мултивібраторі на операційному підсилювачі, що виконує функції задавального генератора (ЗГ).

Зміна тривалості імпульсу $\Delta t_{\text{ім}}$ залежить від амплітуди трикутної напруги U_m і зміни вихідної напруги підсилювача помилки $\Delta U_{\text{пп}}$

$$\Delta t_{\text{im}} = \frac{\Delta U_{\text{пп}}}{2U_m f}.$$

Значення $\Delta U_{\text{ПП}}$ залежить від припустимої зміни напруги на виході $\Delta U_{\text{н}}$, коефіцієнта передачі вимірювального подільника $K_{\text{н}} = U_{\text{ст}}/U_{\text{н}}$ і коефіцієнта підсилення ПП $K_{\text{ПП}}$:

$$\Delta U_{\Pi\Pi} = \Delta U_{\Pi} K_{\Pi} K_{\Pi\Pi}.$$

Коефіцієнт стабілізації ІСН визначають за звичайною методикою:

$$K_{\text{cr}} = \frac{\Delta E_{\text{BX}}}{\Delta U_{\text{II}}} \frac{U_{\text{II}}}{E_{\text{BX}}} = \frac{\Delta E_{\text{BX}}}{\Delta U_{\text{II}}} K_3.$$

З урахуванням залежності вихідної напруги від вхідної та зміни тривалості керувального імпульсу коефіцієнт стабілізації ІСН

$$K_{\text{CT}} = 1 + \frac{K_{\Pi} K_{\Pi\Pi} E_{\text{BX}}}{2U_m}.$$

Потрібне значення $K_{\text{ст}}$ забезпечується переважно значенням K_{III} , оскільки значення K_{II} і U_m залежать від величини вихідної напруги і схемних рішень ШІМ. На відміну від КСН в ІСН підсилювач похибки має бути неінвертувальним і звичай виконується на операційному підсилювачі, внаслідок чого величина опорної напруги обмежена допустимим

значенням вхідної синфазної напруги операційного підсилювача.

Основною функцією ШІМ є формування тривалості імпульсу, а узгодження ланки керування регулювальним транзистором з виходом ШІМ здійснюється за допомогою додаткового вихідного каскаду, що є однотактним підсилювачем потужності з трансформаторним виходом. Це дає змогу здійснити гальванічну розв'язку силової частини ІСН і схеми керування. В ІСН не практикується використання регулювального складеного транзистора, оскільки напруга насичення складеного транзистора в кілька разів більша, ніж напруга насичення окремого потужного транзистора.

В ІСН варто розрізнити поняття пульсації та нестабільності вихідної напруги. Пульсації вихідної напруги ІСН зумовлюються принципом дії ІРН. Частота пульсацій дорівнює частоті комутації силового транзистора, а значення коефіцієнта пульсацій визначається значеннями індуктивності дроселя L та ємності конденсатора C , які утворюють згладжувальний фільтр. Відповідним вибором значень L і C значення коефіцієнта пульсацій вихідної напруги можна довести до будь-якого потрібного значення.

Нестабільність вихідної напруги зумовлюється зміною вихідної напруги ІСН, яка залежить не лише від зміни напруги живильної мережі, а й пульсації вихідної напруги мережного випрямляча. За один період пульсацій вихідної напруги МВ ІСН здійснює сотні циклів стабілізації своєї вихідної напруги. Тому відносна зміна вхідної напруги ІСН:

$$\frac{\Delta E_{\text{вх}}}{E_{\text{вх}}} = a + b + 2K_{\text{п}},$$

де a і b — відповідно верхня і нижня межі зміни напруги мережі; $K_{\text{п}}$ — коефіцієнт пульсацій вихідної напруги.

Перетворювачі напруги. В імпульсних джерелах електроживлення використовують перетворювачі постійної напруги на змінну напругу прямокутної форми. За частот змінної напруги десятки кілогерців силові трансформатори перетворювачів виконуються на осердях, що мають прямокутну форму кривої намагнічування. Тривалість перемагнічування $t_{\text{пер}}$ такого осердя від максимально допустимого значення індукції $-B_m$ до значення $+B_m$ визначається параметрами трансформатора і прикладеною до первинної обмотки напругою

$$t_{\text{пер}} = \frac{2B_m S_{\text{ос}} \omega_1 K_{\text{ос}}}{E \cdot 10^4},$$

де $S_{\text{ос}}$ — перетин осердя, см^2 ; ω_1 — число витків первинної обмотки трансформатора; $K_{\text{ос}}$ — коефіцієнт заповнення осердя сталлю.

Якщо процеси у первинній обмотці трансформатора проходять упродовж часу менше, ніж $t_{\text{пер}}$, то трансформатор виконує свої безпосередні функції, тобто напруга на вторинній обмотці за формою повторює напругу на первинній обмотці, величина якої визначається коефіцієнтом трансформації, а струм первинної обмотки зумовлює струм вторинної обмотки. Тому осердя трансформатора насичується і струм первинної обмотки обмежується лише активним опором первинної обмотки, а напруги на всіх обмотках трансформатора дорівнюють нулю. Отже, в перетворювачах напруги часові параметри вихідної напруги зумовлені часом перемагнічування осердя трансформатора.

За принципом дії перетворювачі напруги поділяють на перетворювачі із самозбудженням (або автогенераторні), які є підсилювачами, що охоплені сильним позитивним зворотним зв'язком, і перетворювачі із зовнішнім збудженням, в яких сигнали керування потужними транзисторами забезпечуються задавальним генератором (ЗГ).

У перетворювачах із самозбудженням крива намагнічування осердя використовується на всій ділянці від $-B_m$ до $+B_m$ і частота вихідної напруги перетворювача:

$$f_{\text{пр}} = \frac{E \cdot 10^4}{4B_m S_{\text{ос}} \omega_1 K_{\text{ос}}}.$$

У перетворювачах із зовнішнім збудженням частота ЗГ має бути такою, щоб осердя трансформатора не насичувалося ні за яких умов. Для цього має виконуватися така умова:

$$t_{\text{пер}} > \frac{1}{2f_{\text{пр}}}.$$

Перетворювачі напруги поділяють на дві групи — одно- та двотактні. Однотактні перетворювачі формують змінну напругу прямокутної форми, несиметричну щодо осі часу, двотактні — центрально-симетричну щодо осі часу.

У джерелах живлення середньої потужності (до 100 Вт) використовують однотактні перетворювачі напруги (ОПН). Унаслідок несиметричності напруги на вторинній обмотці трансформатора ОПН у своєму складі містять високочастотний випрямляч (ВЧВ), тому вони є перетворювачами постійної напруги одного рівня на постійну напругу іншого рівня.

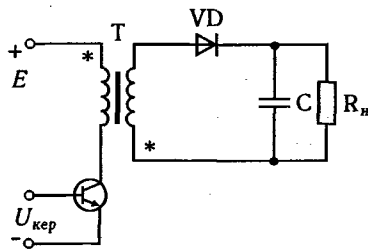


Рис. 29.6. ОПН зі зворотним підключенням діода

За способом передавання енергії з кола джерела вхідної напруги в коло навантаження розрізняють ОПН зі зворотним та ОПН із прямим підключенням діода.

Схему ОПН зі зворотним підключенням діода із зовнішнім збудженням зображено на рис. 29.6.

В ОПН зі зворотним підключенням діода при відкритому під дією керувальної напруги транзисторі VT напруга на вторинній обмотці трансформатора має таку полярність, за якої діод VD закритий. При цьому раніше заряджений конденсатор C розряджається на опір навантаження, а силовий трансформатор використовується як дросель з індуктивністю L_1 . За час відкритого стану транзистора t_{im} колекторний струм зростає практично за лінійним законом від значення I_{1min} до значення I_{1max} (як у IPH). Після закриття транзистора енергія, накопичена в осерді трансформатора, віддається в навантаження по колу вторинної обмотки трансформатора — дроселя з індуктивністю L_2 . Напруга на вторинній обмотці змінює полярність і діод VD відкривається. Струм вторинної обмотки при цьому зменшується за лінійним законом від значення I_{2max} до значення I_{2min} .

Отже, силовий трансформатор у схемі ОПН зі зворотним підключенням діода використовується як двообмотковий дросель. Унаслідок безперервності енергії у момент закриття транзистора співвідношення між струмами I_{1min} і I_{2min} , I_{1max} і I_{2max} визначаються коефіцієнтом трансформації силового трансформатора.

Середнє значення струму вторинної обмотки трансформатора є струмом навантаження

$$I_{2cp} = I_n = \frac{I_{2max} + I_{2min}}{2} \left(1 - \frac{t_{im}}{T} \right),$$

а зміну вихідної напруги, зумовлену процесом розрядження конденсатора C за тривалість t_{im} , визначають за формулою

$$\Delta U_n = \frac{U_n t_{im}}{R_n C} = \frac{I_n}{C} t_{im}.$$

Напруга на первинній обмотці трансформатора (дроселі L_1) за відкритого транзистора приблизно дорівнює E ($U_{KE нас} = 0$)

$$E = L_1 \frac{I_{1max} - I_{1min}}{t_{im}}.$$

Якщо транзистор закритий, напруга на вторинній обмотці трансформатора (дроселі L_2) приблизно дорівнює напрузі на виході ($U_{д. пр} = 0$):

$$U_2 = U_n = L_2 \frac{I_{2max} - I_{2min}}{T - t_{im}} = \frac{L_1}{n^2} \frac{(I_{1max} - I_{1min})n}{T - t_{im}}.$$

Розділивши E на U_n , дістанемо:

$$\frac{E}{U_n} = n \frac{T - t_{im}}{t_{im}},$$

$$\text{звідки } U_n = \frac{E}{n} \frac{t_{im}}{T - t_{im}}.$$

Отже, напруга на навантаженні визначається не лише коефіцієнтом трансформації n , а й параметрами керувального імпульсу — коефіцієнтом заповнення $K_3 = t_{im} / T$.

В ОПН зі зворотним підключенням діода із самозбудженням (рис. 29.7) енергія, накопичена в осерді трансформатора, віддається на виході повністю, тому $I_{2min} = I_{1min} = 0$, а величина I_{1max} визначається тривалістю перемагнічування осердя трансформатора по колу індуктивності первинної обмотки трансформатора, тобто L_1 . Інші співвідношення такі самі, як і для ОПН із зовнішнім збудженням.

В ОПН із прямим підключенням діода (рис. 29.8) силовий трансформатор використовується за прямим призначенням, тобто якщо у відкритому транзисторі струм протікає через первинну обмотку трансформатора, напруга на вторинній обмотці трансформатора має таку полярність, що діод VD2 відкритий, тому напруги і струми обмоток трансформатора пов'язані між собою через коефіцієнт трансформації трансформатора. Коло вторинної обмотки фактично є IPH зпизжувального типу. Функції джерела живлення і транзистора, що комутується з частотою f , виконує напруга вторинної обмотки трансформатора і діод VD2. Тому напруга на виході визначається так само, як і в IPH:

$$U_n = U_{2m} K_3.$$

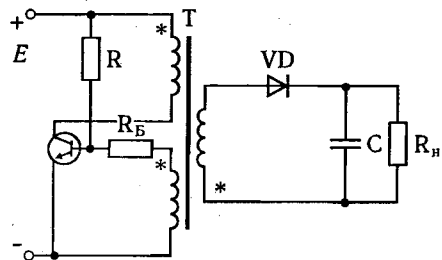


Рис. 29.7. ОПН із само-
збудженням

Струм навантаження дорівнює середньому значенню струму дроселя з індуктивністю L , а зміна струму дроселя від значення $I_{2\min}$ до $I_{2\max}$ зумовлює пульсації напруги на виході, що визначаються так само, як і в ІРН.

Унаслідок кінцевого значення індуктивності первинної обмотки трансформатора L_1 в осерді трансформатора накопичується електромагнітна енергія. Якщо не вживати заходів щодо розмагнічування осердя, він може намагнітитися до насичення. Коло розмагнічування в найпростішому вигляді містить додаткову секцію первинної обмотки трансформатора і діод VD1 (див. рис. 29.8). Кола розмагнічування ускладнюють схему ОПН, тому в імпульсних джерелах живлення невеликої потужності використовують ОПН зі зворотним підключенням діода.

У перетворювачах великої потужності (понад 100 Вт) застосовують двотактні перетворювачі напруги. Індукція в осерді силового трансформатора змінюється в межах $\pm B \leq \pm B_m$, тому в двотактних перетворювачах розмагнічувати осердя не потрібно. У перетворювачах із самозбудженням індукція в осерді змінюється від $-B_m$ до $+B_m$, у перетворювачах із зовнішнім збудженням осердя трансформатора не повинне насичуватися, тому індукція змінюється в менших межах — приблизно від $-0,8B_m$ до $+0,8B_m$.

Двотактні перетворювачі виконуються за схемою із середньою точкою (рис. 29.9, а), мостовою (див. рис. 29.9, б) і

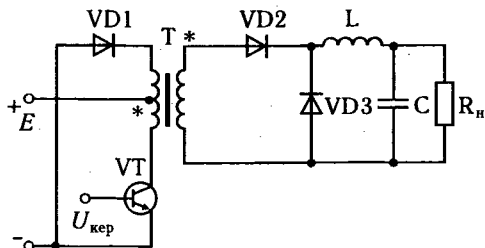


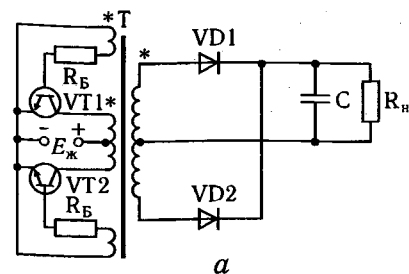
Рис. 29.8. ОПН із прямим підключенням діода

Рис. 29.9. Двотактні ПН із самозбудженням (а) та із зовнішнім збудженням (б, в)

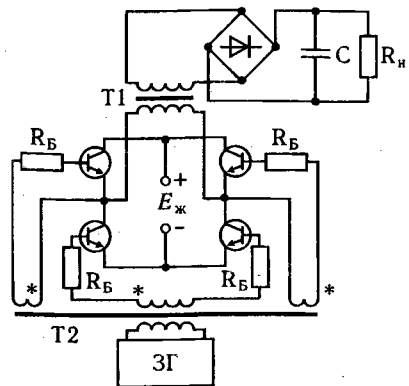
напівмостовою (див. рис. 29.9, в) схемами. Схема із середньою точкою із самозбудженням застосовується, якщо потужності навантаження до 100 Вт, а мостова і напівмостова схеми — якщо потужності навантаження понад 100 Вт і переважно використовуються у варіанті із зовнішнім збудженням.

У нерегульованих двотактних перетворювачах напруги діюче (середнє за півперіоду) й амплітудне значення напруг на кожній обмотці рівні між собою. Напруги і струми первинної та вторинної обмоток пов'язані між собою через коефіцієнт трансформації. Перетворення змінної напруги кожної вторинної обмотки на постійну здійснюється за допомогою випрямляча з ємнісною реакцією навантаження. За низьких напруг (менш ніж 15 В) доцільно використовувати двопівперіодну схему із середньою точкою (при цьому зменшуються втрати потужності на діодах випрямляча), за великих напруг для зменшення кількості витків вторинної обмотки рекомендується використовувати мостову схему випрямляча.

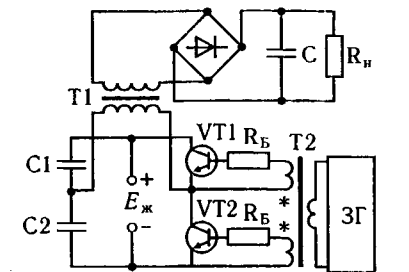
Відмінність у габаритній потужності силового трансформатора (для мостової схеми габаритна потужність трансформатора на 25–40 % менша, ніж для схеми із середньою точкою) істотного значення не має, оскільки на високих частотах з метою зменшення числа витків обмоток рекомендується ви-



а



б



в

бирати осердя із запасом на виході у 3–5 разів. Конденсатор у таких випрямлячах потрібний для забезпечення напруги на виході в момент зміни полярності її на вторинній обмотці трансформатора. На практиці процес зміни полярності (тривалість фронтів прямокутної напруги) протікає впродовж часу $t_{\phi} = (0,02 \dots 0,05)T$. Тому ємність конденсатора, за якої зміна вихідної напруги випрямляча за час t_{ϕ} не перевищить допустимого значення ΔU_n , визначається за формулою

$$C \geq \frac{t_{\phi}}{R_n \ln \frac{U_n}{U_n - \Delta U_n}}.$$

Оскільки напруги і струми в усіх ланках двотактних перетворювачів напруги мають форму прямокутних імпульсів з коефіцієнтом заповнення 0,5, то для визначення режиму роботи силових транзисторів, що працюють у ключовому режимі, використовують такі співвідношення:

$$\begin{aligned} P_2 &= U_2 I_n; \\ U_2 &= U_n + U_{д. пр}; \\ U_1 &= E - U_{КЕ нас}; \\ P_1 &= P_2 / \eta_{тр}; \\ I_{К нас} &= P_2 / U_1; \\ I_{Б нас} &= I_{К нас} / h_{21E \min}. \end{aligned}$$

Для забезпечення насиченого стану силових транзисторів вихідна напруга ЗГ (або напруга на обмотках позитивного зворотного зв'язку в перетворювачах із самозбудженням) має бути не менше, ніж 2–3 В за мінімальної глибини насичення транзистора 1,2–1,3 В. Надлишок напруги гаситься на додатковому резисторі R_B . Це потрібно для усунення впливу розкиду параметрів вхідних характеристик силових транзисторів на величину струму бази.

Схеми двотактних перетворювачів мають певні особливості. У схемі перетворювача із середньою точкою (див. рис. 29.9, а) напруга на повній первинній обмотці трансформатора вдвічі більша, ніж напруга живлення, тому транзистори вибирають на напругу не меншу, ніж $(2,2 \dots 2,4)E_{ж}$. У мостовій схемі перетворювача (див. рис. 29.9, б) допустима напруга транзисторів дорівнює $(1,1 \dots 1,2)E_{ж}$, але число транзисторів удвічі

більше. У напівмостовій схемі (див. рис. 29.9, в) два транзистори замінені двома конденсаторами однакової ємності. Потенціал точки з'єднання конденсаторів дорівнює половині напруги джерела живлення перетворювача, тому амплітуда напруги на первинній обмотці трансформатора

$$U_1 = E_{ж} - U_{КЕ нас} - 0,5E_{ж} = 0,5E_{ж} - U_{КЕ нас}.$$

Струм первинної обмотки трансформатора і відкритого транзистора складається зі струму джерела і розрядного струму відповідного конденсатора (інший конденсатор у цей час заряджається струмом джерела). Оскільки сума напруг на конденсаторах дорівнює $E_{ж}$, то кількість енергії, відданої одним конденсатором, дорівнює кількості енергії, отриманої іншим. Із цього випливає, що струм джерела і розрядний струм конденсатора однакові. Тому первинна обмотка силового трансформатора має бути розрахована на струм удвічі більший, ніж струм джерела. Незначним недоліком напівмостової схеми є невеликий спад вершини імпульсу вихідної напруги, зумовлений процесами заряджання і розряджання конденсаторів. Щоб напруги на конденсаторах змінювалися не більше, ніж на ΔU_C , ємність конденсаторів вибирають за такою формулою:

$$C \geq \frac{I_{К нас}}{2f\Delta U_C}.$$

Регульовані перетворювачі напруги. Регульовані (або стабілізовані) перетворювачі (РПН) дають змогу підтримувати вихідну напругу (після ВЧВ) приблизно постійною за рахунок зміни тривалості відкритого (або закритого) стану транзистора. Для цього схема керування здійснює зворотний зв'язок за напругою, як і в ІСН (див. рис. 29.1, б). За аналогією з ІСН схема керування РПН містить вимірювальний елемент — подільник напруги, джерело опорної напруги — параметричний стабілізатор напруги, схему порівняння і підсилювач похибки, перетворювач сигналу похибки на тривалість керувального імпульсу.

В ОПН для підтримання вихідної напруги на незмінному рівні потрібно змінювати тривалість або відкритого, або закритого стану транзистора. Досягається це за допомогою додаткової обмотки силового трансформатора, намагнічувальна сила якої пропорційна величині сигналу похибки, а напрям її залежить від того, на що і як має впливати намагнічувальна сила — на тривалість відкритого або закритого стану транзис-

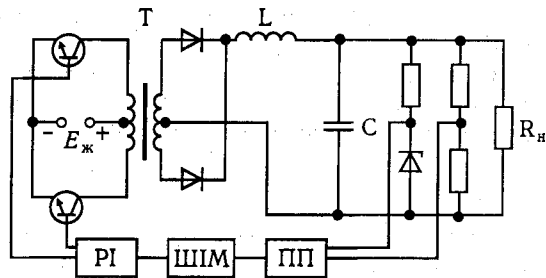


Рис. 29.10. Двотактний РПН

тора. При цьому частота перетворення ОПН із самозбудженням змінюється, оскільки під час зміни тривалості відкритого стану транзистора тривалість закритого стану залишається сталою і навпаки.

У двотактних перетворювачах напруги (рис. 29.10) потрібно ідентично змінювати тривалість відкритого стану кожного плеча перетворювача, щоб уникнути появи постійного підмагнічування осердя трансформатора. Зміна тривалості керувальних імпульсів у двотактних перетворювачах здійснюється так само, як і в ІСН, але на відміну від СК ІСН задавальний генератор генерує напругу трикутної форми з частотою вдвічі більшою, ніж частоти вихідної напруги перетворювача. Вихідні імпульси ШІМ надходять на подільник імпульсів (PI), що розподіляє імпульси по ланках керування кожного плеча перетворювача, тому частота комутації кожного транзистора зменшується вдвічі.

Вихідна напруга регульованого двотактного перетворювача визначається так само, як і в ІРН понижувального типу, але коефіцієнт заповнення керувальних імпульсів визначається щодо половини періоду напруги на вторинній обмотці трансформатора, оскільки після випрямлення цієї напруги частота імпульсів подвоюється. Визначення меж зміни тривалості імпульсів здійснюється так само, як і в ІСН, але спочатку визначається мінімальне значення амплітуди напруги на вторинній обмотці трансформатора за умови, що коефіцієнт заповнення при цьому має бути меншим за одиницю (приблизно 0,9...0,95). Номінальне і мінімальне значення коефіцієнта заповнення визначаються так само, як під час аналізу ІСН.

Асиметрія кривої намагнічування осердя призводить до асиметрії тривалості керувальних імпульсів, що спричинює збільшення нестабільності вихідної напруги, тому в РПН часто використовують компенсаційні стабілізатори напруги для підвищення якості вихідної напруги (див. рис. 29.1, б).

29.3. Силкові напівпровідникові елементи

Тип силових напівпровідникових елементів визначає тип напівпровідникового перетворювача, а параметри силового напівпровідникового елемента — його статичні та динамічні характеристики.

Силові напівпровідникові елементи в перетворювачах звичай працюють у ключовому режимі. Завдяки такому режиму роботи втрати в силовому напівпровідниковому елементі дуже малі порівняно з перетвореною потужністю. Ці втрати складаються з утрат під час протікання прямого струму, коли силовий напівпровідниковий елемент відкритий або насичений, утрат під час протікання зворотного струму, коли силовий напівпровідниковий елемент закритий та втрат під час перемикавання з одного стану на інший. Параметри, що наводяться в довідниках, визначають ці втрати.

Класифікацію силових напівпровідникових елементів зображено на рис. 29.11.

Істотний стрибок у розвитку перетворювальної техніки відбувся з появою біполярних високовольтних транзисторів і повністю керованих GTO (Gate Transisto Oxide) тиристорів, а потім біполярних транзисторів з ізольованою базою IGBT (Insulated Gate Bipolar Transistor) і потужних польових транзисторів MOSFET (Metal Oxide Semiconductor Field Effect Transistor).

Структура GTO-тиристора в областях анода і катода складається з великого числа технологічних елементів — окремих тиристорів, підключених паралельно, внаслідок чого він здатний виключатися за сигналом керувального електрода.

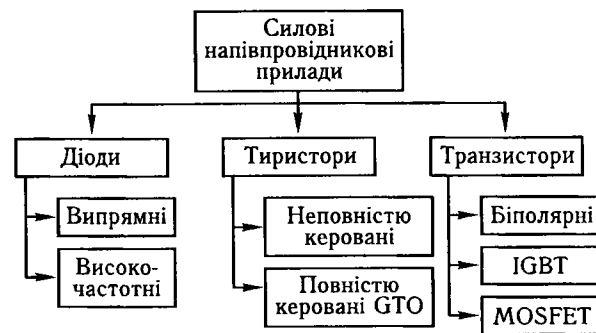


Рис. 29.11. Класифікація силових напівпровідникових приладів

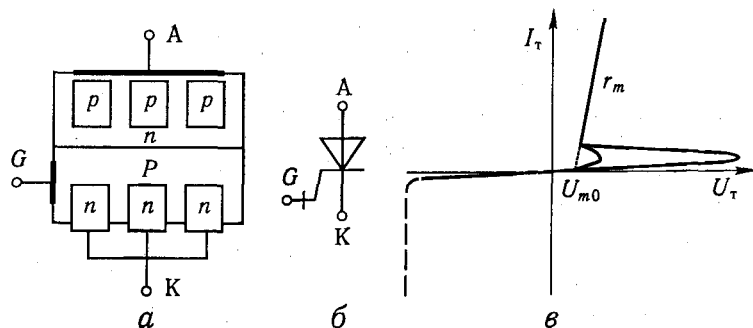


Рис. 29.12. Структура, умовне зображення та вольт-амперна характеристика GTO-тиристора

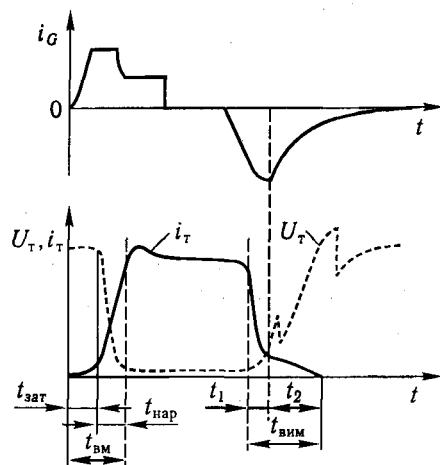


Рис. 29.13. Динамічні процеси під час вмикання/вимикання GTO-тиристора

Структуру GTO-тиристора зображено на рис. 29.12, а, його зображення на принциповій схемі — на рис. 29.12, б, а вольт-амперну характеристику GTO-тиристора — на рис. 29.12, в. Вона повторює характеристику неповністю керованого тиристора (SCR — Silicon Controlled Rectifier). В увімкненому стані GTO-тиристор характеризується такими параметрами: $U_{г.н}$ — граничною напругою; r_m — динамічним опором.

Динамічні процеси під час перемикання GTO-тиристора зображено на рис. 29.13. Тривалість процесу вмикання складається з тривалості затримки вмикання $t_{зат}$ та тривалості

наростання $t_{нар}$, впродовж якого напруга на тиристорі зменшується до 0,1 від початкового значення. Сума цих проміжків часу становить тривалість вмикання:

$$t_m = t_{зат} + t_{нар}$$

Для забезпечення малого часу і малих втрат вмикання струм на керувальному електроді із самого початку має бути зі значною швидкістю наростання

$$\frac{dI}{dt} > 5 \text{ А/мкс.}$$

Для GTO-тиристорів характерний досить повільний процес вимикання, що складається з двох стадій (див. рис. 29.13). На першій стадії струм тиристора спадає до 0,1...0,2 свого початкового значення. На другій стадії відбувається повільне зменшення струму. Тривалість затягування процесу вимикання більша, ніж тривалість спаду, і його слід враховувати.

Негативний струм керувального електрода, що вимикає тиристор, повинен мати значну швидкість наростання і значну амплітуду. В сучасних GTO-тиристорів ця амплітуда досягає 30 % амплітуди струму анода. Для зниження динамічних втрат під час перемикання та забезпечення надійної роботи в схемах з GTO-тиристорами використовують снабери (snubbers) — спеціальні схеми формування динамічних процесів. Найпростішою схемою снабера є коло, що складається з послідовно підключених резистора і конденсатора.

Фірма «Siemens» випускає фотосимистори під назвою SITAK. Фототиристори і фотосимистори — це тиристори та симистори (симетричні тиристори) з фотоелектронним керуванням, в яких керувальний електрод замінений інфрачервоним світловим діодом і фотоприймачем зі схемою керування. Основною перевагою цих приладів є гальванічна розв'язка кіл керування від силових кіл. Такий прилад споживає із входом керування світловим діодом струм близько 1,5 мА, а комутує у вихідному колі змінний струм 0,3 А за напруги до 600 В.

Ці прилади широко застосовують як ключі змінного струму з ізолюваним керуванням. Їх також можна використовувати більш потужними тиристорами або симет-

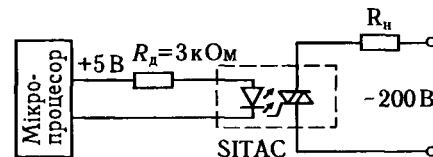


Рис. 29.14. Підключення фотосимистора SITAK до мікропроцесора

ричними тиристорами, забезпечуючи при цьому гальванічну розв'язку кіл керування. Мале споживання потужності колом керування дає змогу підключати SITAK до виходу мікропроцесора та мікроЕОМ. На рис. 29.14 зображено приклад підключення приладу SITAK до мікропроцесора для регулювання струму на виході, підключеного до мережі змінної напруги 220 В, коли максимальна потужність досягає 66 Вт.

У польових або уніполярних транзисторах зміна електричної провідності каналу здійснюється за допомогою електричного поля, перпендикулярного до напрямку проходження струму. Електроди, підключені до провідного каналу, називають *стоком* (Drain) і *витоком* (Source), а керувальний електрод — *затвором* (Gate). Напруга керування, що створює поле в каналі, підключається між затвором і витоком. У силових транзисторах MOSFET використовується конструктивно ізольований від провідного каналу затвор. Структуру транзистора зображено на рис. 29.15, а, а умовне позначення транзистора — на рис. 29.15, б.

Аналогічно біполярному транзисторові польовий має дві області роботи: область лінійного режиму та область насичення.

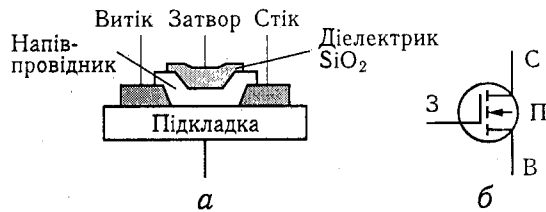


Рис. 29.15. Структура й умовне позначення MOSFET-транзистора

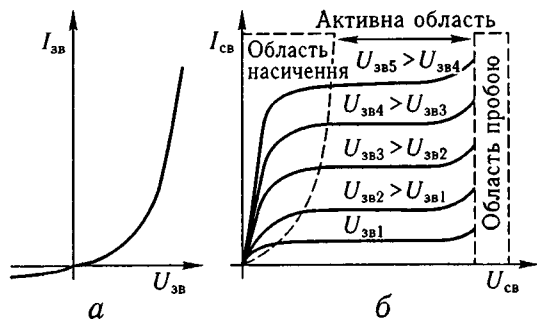
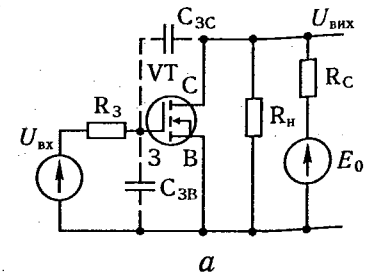


Рис. 29.16. Вольт-амперні характеристики MOSFET-транзистора

Рис. 29.17. Схема (а) і динамічні процеси перемикання (б) польового транзистора



чення (область малого опору стік-витік). У цих режимах MOSFET-транзистор поводить себе аналогічно біполярному транзисторові. Вхідна і вихідні вольтамперні характеристики MOSFET-транзистора зображені на рис. 29.16, а, б.

Динамічні характеристики польових транзисторів для ключового режиму роботи розглянемо на прикладі процесів вмикання і вимикання, користуючись схемою на рис. 29.17, а.

Для перемикання транзистора на його затвор подається прямокутний імпульс напруги $U_{вх}$. Спочатку відбувається заряджання конденсатора кола затвор-витік ємністю $C_{зв}$ через резистор джерела сигналу з опором $R_{в}$. Якщо напруга на ємності $C_{зв}$ не досягає граничної напруги $U_{пор}$, то струм стоку дорівнює нулю і напруга на стоці дорівнює напрузі джерела живлення E_0 .

Якщо еквівалентна ємність $C_{зв}$ кола затвор-витік зарядиться до напруги $U_{пор}$, транзистор деякий час буде знаходитися в області насичення. У цьому випадку вхідна ємність вхідного кола транзистора різко збільшується. Швидкість наростання напруги на затворі транзистора зменшується обернено пропорційно збільшенню ємності $C_{вх}$. Під час збільшення напруги на затворі поступово зростатиме струм стоку і зменшуватиметься напруга на стоці. Отже, процес заряджання ємності $C_{вх}$ триватиме доти, доки напруга на стоці не зменшиться до значення, за якого транзистор виявиться у лінійній області. При цьому вхідна ємність дорівнюватиме $C_{зв}$ і швидкість її заряджання різко збільшиться, тому наприкінці процесу вмикання транзистора на затворі буде напруга U_0 .

Під час процесу вмикання вихідний імпульс струму стоку затримується щодо надходження імпульсу керування на тривалість $t_{\text{вм}} = t_{\text{зат}} + t_{\text{нар}}$. Аналогічний процес відбувається у процесі вимикання транзистора і складається із тривалості затримки вимикання $t_{\text{зат. вим}}$, тривалості вимикання $t_{\text{вим}}$, впродовж якого спадає імпульс струму стоку, та тривалості встановлення $t_{\text{вст}}$ вихідного стану.

Біполярні транзистори з ізолюваним затвором (БТІЗ) виконані як сполучення вхідного уніполярного (польового) транзистора з ізолюваним затвором (ПТІЗ) і вихідного біполярного $n-p-n$ -транзистора (БТ). Є багато різних способів створення таких приладів, однак найбільшого поширення набули прилади IGBT, в яких вдало поєднуються особливості польових транзисторів з вертикальним каналом і додаткового біполярного транзистора.

У процесі виготовлення польових транзисторів з ізолюваним затвором, які мають вертикальний канал, утворювався паразитний біполярний транзистор, що заважало широкому практичному застосуванню. Схематично такий транзистор зображено на рис. 29.18, а, де VT1 — польовий транзистор з ізолюваним затвором, VT2 — паразитний біполярний транзистор, R1 — послідовний опір каналу польового транзистора. Шунтування переходу база—емітер біполярного транзистора VT2 забезпечувалося опором R2, завдяки якому біполярний транзистор замкнений та істотно не впливає на роботу польового транзистора VT1. Вихідні вольт-амперні характеристики ПТІЗ, зображені на рис. 29.18, б, характеризуються крутістю S та опором каналу R1.

Структура транзистора IGBT аналогічна структурі ПТІЗ, але доповнена ще одним $p-n$ -переходом, завдяки якому в схемі заміщення (див. рис. 29.18, в) з'явився ще один $p-n-p$ -транзистор VT2. Структура, що утворилася із двох транзисторів VT2 і VT3, має глибокий внутрішній позитивний зворотний зв'язок, оскільки струм колектора транзистора VT3 впливає на струм бази транзистора VT2, а струм колектора транзистора VT2 визначає струм бази транзистора VT3. Приймаючи, що коефіцієнти передачі струму емітера транзисторів VT2 і VT3 відповідно мають значення α_1 і α_2 , знайдемо $I_{K2} = I_{e2}\alpha_2$, $I_{K1} = I_{e1}\alpha_1$ і $I_e = I_{K1} + I_{K2} + I_c$. З останнього рівняння можна визначити струм стоку польового транзистора

$$I_c = I_e(1 - \alpha_1 - \alpha_2).$$

Оскільки струм стоку I_c ПТІЗ можна визначити через крутість S та напругу U_3 на затворі $I_c = SU_3$, визначимо

струм IGBT транзистора

$$I_K = I_e = \frac{SU_3}{1 - (\alpha_1 + \alpha_2)} = S_e U_3,$$

де $S_e = S / [1 - (\alpha_1 + \alpha_2)]$ — еквівалентна крутість біполярного транзистора з ізолюваним затвором.

Очевидно, що за $(\alpha_1 + \alpha_2) \approx 1$ еквівалентна крутість значно перевищує крутість ПТІЗ. Регулювати значення α_1 і α_2 можна зміною опорів R1 і R2 під час виготовлення транзистора. На рис. 29.18, з наведені вольт-амперні характеристики IGBT-транзистора, що показують значне збільшення крутості характеристики порівняно з ПТІЗ.

Іншою перевагою IGBT-транзисторів є значне зниження послідовного опору і, отже, зниження спаду напруги на замк-

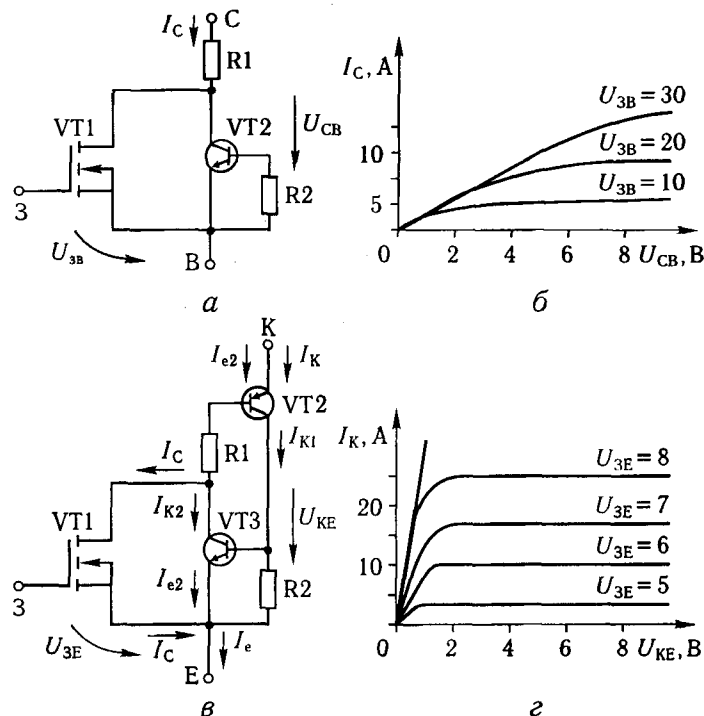


Рис. 29.18. Схема заміщення ПТІЗ з вертикальним каналом (а) і його вольт-амперні характеристики (б) та схема заміщення транзистора типу IGBT (в) і його вольт-амперні характеристики (г)

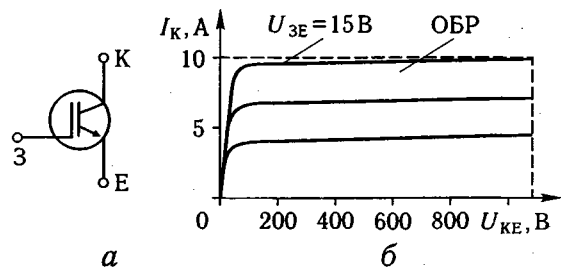


Рис. 29.19. Умовне графічне зображення транзистора БТІЗ (а) і його область безпечної роботи (б)

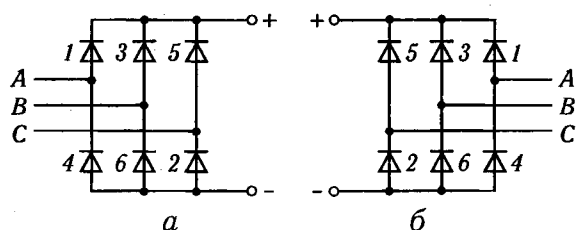


Рис. 29.20. Мости на діодах

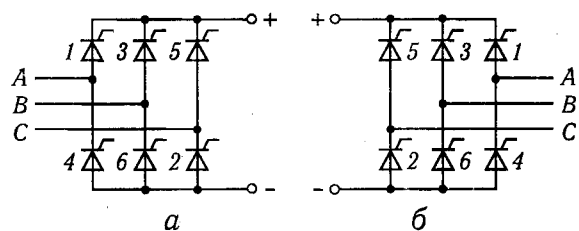


Рис. 29.21. Мости на тиристорах

неному ключі. Останнє пояснюється тим, що відбувається шунтування послідовного опору R2 каналу двома насиченими транзисторами VT2 і VT3, підключеними послідовно. Умовне схематичне зображення БТІЗ зображено на рис. 29.19, а. Це позначення підкреслює його гібридність тим, що ізольований затвор зображується як у ПТІЗ, а електроди колектора та емітера зображуються як у біполярного транзистора.

Область безпечної роботи БТІЗ подібна ПТІЗ, тобто у ній відсутня ділянка вторинного пробою, характерна для біполярних транзисторів. На рис. 29.19, б зображено область

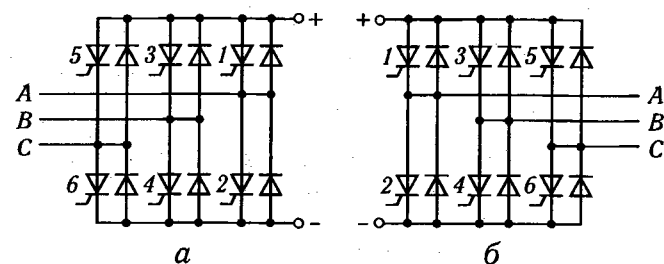


Рис. 29.22. Мости на GTO-тиристорах

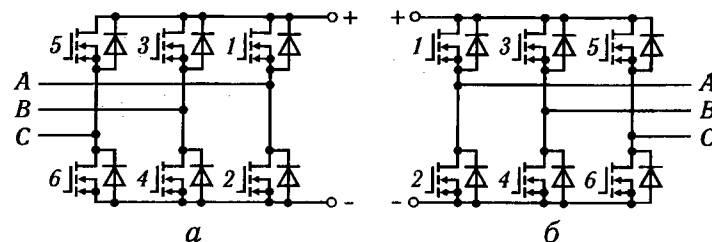


Рис. 29.23. Мости на MOSFET-транзисторах

безпечної роботи (ОБР) транзистора типу IGBT з максимальною робочою напругою 1200 В за тривалості імпульсу 10 мкс, що гарантує його надійність та безвідмовність. Оскільки в основу транзисторів типу IGBT покладені ПТІЗ з індукованим каналом, то напруга на затворі має бути більшою, ніж гранична напруга, що має значення 5...6 В.

Швидкодія БТІЗ трохи нижча за швидкодію польових транзисторів, але значно вища за швидкодію біполярних транзисторів. Дослідження показали, що для більшості транзисторів типу IGBT тривалість вмикання та вимикання не перевищує 0,5...1,0 мкс.

Розвиток технології виготовлення силових напівпровідникових елементів привів до створення модульних та інтегральних силових елементів. У модульних конструкціях, як правило, технологічно з'єднані транзистор і підключений до нього зустрічно-паралельно швидкодіючий зворотний діод. В інтегральних конструкціях (PIC — Power Integrated Circuit) об'єднано кілька модулів, що утворюють силовий напівпровідниковий перетворювач. Умовні схеми силових напівпровідникових перетворювачів зображені на рис. 29.20 — 29.24. При цьому можуть бути реалізовані одноплечі схеми, коли вико-

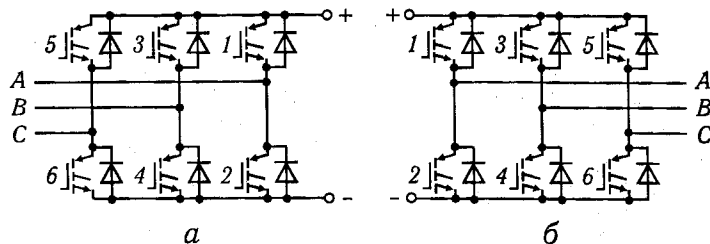


Рис. 29.24. Мости на IGBT-транзисторах

ристовуються лише одне плече, мостові одно- та трифазні схеми. Залежно від призначення перетворювача затискачі змінного струму ABC можуть бути вхідними (див. рис. 29.20—29.24, а), або вихідними (див. рис. 29.20—29.24, б).

Наведені схеми силової електроніки набули широкого практичного застосування в різних галузях техніки (традиційній енергетиці, технологічному і тяговому електроприводі, вторинних джерелах живлення) та промисловості.

29.4. Тенденції розвитку електронних компонентів

Широке впровадження технологічних досягнень мікроелектроніки в силове напівпровідникове приладобудування дало змогу створити нові класи приладів. Оскільки найближчим часом традиційна енергетика залишиться основним джерелом електричної енергії, то нові можливості застосування силової електроніки в традиційній енергетиці є актуальним питанням. Ці можливості відкриваються в зв'язку з появою енергетичного ринку, жорсткістю вимог до якості електропостачання та у зв'язку із зростанням кількості виробництв, які потребують безперебійного живлення. Як наслідок, підвищуються вимоги до ефективності передавання та споживання електричної енергії.

Для більшості нових розробок в енергетиці потрібно потужний (1...300 МВт) напівпровідниковий перетворювач, що працює на промислову трифазну мережу змінного струму. Такий перетворювач має забезпечувати плавне і незалежне регулювання потоку активної й реактивної потужності та не зумовлювати переключування форми напруги мережі. Тобто струм мережі перетворювача має бути близьким до синусоїди, а величина і фаза струму регулюватися незалежно одна від одної. Сучасні силові напівпровідникові прилади (тирис-

тори, GTO, IGBT) дають змогу реалізувати різні схемні варіанти потужного перетворювача, які мають зазначені вище властивості.

З появою силових транзисторів, виконаних за МОН-технологією (MOSFET і IGBT), з'явилася можливість створення на їхній базі потужних вискоефективних генераторів, які мають значні переваги порівняно з тими, які побудовані на електронних лампах і тиристорах. Цей новий тип генераторів із розширеним частотним діапазоном від 10 до 200 кГц дає змогу замінити електронні лампові генератори. Найважливішими перевагами таких генераторів порівняно з ламповими є вищі ККД та термін служби, а також менші маса та габаритні розміри.

Нині силові IGBT-модулі випускають для струму 10...2400 А та напруги комутації 600, 1200, 1700, 2500 і 3300 В. Їх застосовують у регульованому технологічному і тяговому електроприводі, вторинних джерелах живлення, у металургії, хімії, машинобудуванні, зв'язку, енергетиці, створюючи перетворювачі потужністю від одиниць кіловат до одиниць мегават. Маючи кращі характеристики (малу потужність керування і комутаційні втрати, високі швидкості комутації та стійкість проти перевантажень тощо), вони витиснули в цих галузях застосування не лише силових біполярних транзисторів, а й навіть тиристорів.

Ринок IGBT-модулів динамічно розвивається і з щорічним приростом до 30 % досяг близько півмільярда доларів. Ведуться розробки і розпочато виробництво IGBT-модулів на напругу комутації 4,5...6,5 кВ. Усю гаму силових модулів поділяють на звичайні IGBT-модулі та «інтелектуальні». Звичайні (стандартні) модулі випускають в одно-, дво-, чотири- і шестиключовому виконанні із (без) зворотними діодами швидкого відновлення FRD (Field Rectifier Direct).

Інтелектуальні силові модулі (IPM — Intelligent Power Modules) уперше з'явилися на ринку в 1988 р. Крім силової частини схеми перетворювача (мостового одно- або трифазного випрямляча, мостового інвертора) містять у єдиному корпусі також датчики, схеми драйверів, захисту, діагностики, джерел живлення тощо.

Стандартні IGBT-модулі умовно поділяють на два типи: паяної конструкції з ізолюваною основою і притисної конструкції (Press-Pack). За сучасного рівня виробництва IGBT максимальний постійний струм, що пропускається одним кристалом (чіпом) IGBT, становить 100 А. Тому в силовому модулі використовують паралельне з'єднання кількох (нині до 24) чіпів IGBT. Оскільки IGBT мають позитивний темпера-

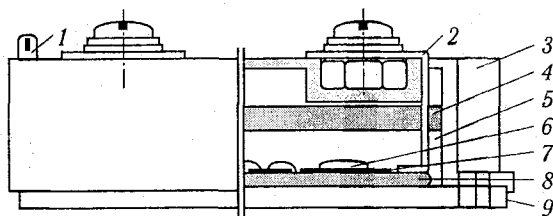


Рис. 29.25. Паяна конструкція силових IGBT-модулів

турний коефіцієнт і сучасна технологія їхнього виробництва забезпечує малий розкид параметрів чіпів, проблема паралельного з'єднання навіть такої великої кількості чіпів не дуже складна. Схематично базову паяну конструкцію сучасних силових IGBT-модулів зображено на рис. 29.25.

Чіпи силових напівпровідникових приладів IGBT і FRD припаюються на DCB-кераміку (Direct Copper Bonding), що виконує роль електроізолювального і теплопровідного шару між чіпами та основою — відводом для теплоти. DCB-Кераміка 8 — це плоска тонка Al_2O_3 - або AlN -кераміка, покрита з двох боків мідною фольгою методом прямого (дифузійного) зрощування. Нижній шар — суцільний, верхній — у вигляді друкованої плати, що забезпечує електричне з'єднання силових ключів, силових 2 і керувальних 1 виводів.

З'єднання силових (виводів емітера для IGBT і катодних для FRD) та керувальних виводів чіпів з контактними площадками DCB-кераміки здійснюється ультразвуковим зварюванням алюмінієвим дротом 6. DCB-Кераміка з припаяними силовими виводами та напаяними (привареними) чіпами IGBT і FRD припаюється на мідну основу 9. До мідної основи приклеюється пластмасовий корпус 3, усередині якого напівпровідникові чіпи і кераміка захищаються (заливаються) силіційорганічним гелем 7, що не змінює свої механічні та електроізоляційні властивості під впливом температури, вологості й часу. Додаткову жорсткість конструкції модуля додає шар епоксидного компаунду 5. Силові виводи 2 захищаються над гайкою і за допомогою гвинтів приєднуються до шин силових перетворювача. Керувальні виводи 1 пайкою з'єднуються зі схемою драйвера.

Для забезпечення надійного відводу теплоти і високої електричної ізоляції в багатопровідній конструкції силових модулів паяної конструкції з ізолюваною основою застосовують матеріали з різними коефіцієнтами термічного розширення. Для розробок з високими вимогами щодо надійності та термічної,

циклічної стійкості фірмами «Toshiba» та «Hitachi» запропоновано конструкцію модуля без основи з прямим паяним контактом DCB-кераміки на заздалегідь нікельований $AlSiC$ -охолодник. Подібну конструкцію використовує і фірма «Semikron» у серії інтегральних інтелектуальних модулів SKIP (Semikron Integrated Intelligent Power Module), виключивши паяний шар між охолодником і DCB-керамікою.

Одночасно із розвитком технологій паяної конструкції силових модулів останнім часом почала інтенсивно розвиватися технологія притискної конструкції IGBT-модулів. На рис. 29.26 зображено розріз конструкції IGBT-модуля притискної конструкції.

Чіпи IGBT та діодів швидкого відновлення, розділені сепаратором, мають притискні контакти на колектор та емітер (анод і катод діода) через молібденові пластини (термічні компенсатори). Вивід затворів також забезпечується притиском контактом (зондом) з послідовним резистором на кожний чіп IGBT для усунення паразитних коливань. Така конструкція потужнострумового модуля має набагато менший тепловий опір, ніж чіп-основа (11 K/кВт для 1000 A модуля), охолодження на обидва боки, високі енергетичну, термічну і циклічну стійкість на рівні GTO-тиристорів таблеткової конструкції (до 100 тис. циклів).

Фірма «Toshiba Semiconductor Group» (Японія) випускає в таблетковій металокерамічній конструкції IGBT-модулі (зі зворотним діодом) $\varnothing 75\text{ мм}$ типу ST800FXF21 (800 A/3300 B), ST1000EX21 (1000 A/2500 B) і $\varnothing 85\text{ мм}$ типу ST1200FXF21 на струм 1200 A та напругу 3300 B . В останньому модулі об'єд-

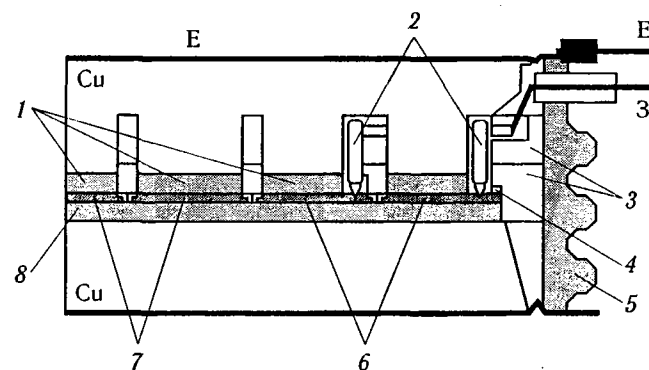


Рис. 29.26. Розріз конструкції IGBT-модуля притискної конструкції: 1 — молібденові прокладки; 2 — зонди; 3 — сепаратори; 4 — рамка; 5 — керамічний корпус; 6 — чіпи IGBT; 7 — чіпи FRD; 8 — молібденовий диск

нано 15 чіпів IGBT (80 A/3300 В) і 6 чіпів FRD (200 A/3300 В) розміром 15 × 15 мм кожний. Для забезпечення пробивної напруги 3300 В кожний чіп по периметру захищений ізолювальною рамкою.

IGBT-Модулі притискової конструкції крім високої надійності, термічної, циклічної стійкості, двостороннього охолодження з малим тепловим опором чіп-основа мають ще одну перевагу — малу паразитну індуктивність виводів (одиниці наногенрі). За великих швидкостей комутації струму на такій індуктивності не можуть виникати перенапруги, що забезпечує додатково високу надійність роботи модулів.

Мінімізація внутрішньої індуктивності виводів потужно-струмових IGBT-модулів (>800 А) є актуальним завданням. У таких модулях доводиться поєднувати десятки чіпів IGBT і FRD. Велика паразитна індуктивність виводів і, як наслідок, великі перенапруги на фронтах комутації обмежують область безпечної роботи модулів та знижують надійність їхньої роботи.

Для підвищення універсальності, простоти й зручності застосування силових IGBT-модулів у схемах перетворювачів розроблювачі модулів пропонують кілька варіантів конструкцій модулів з багатьма ключами, що мають у своєму складі повні мостові схеми. Нині можна говорити про два стандарти на IGBT-модулі з багатьма ключами: EconoPack і ECONO+ (Eupac, Siemens, Semikron, Toshiba) і LoPak4, LoPak5 (ABB Semiconductors AG, Semikron). Модулі серії Econo широко застосовуються розроблювачами в перетворювачах частоти електроприводів змінного струму потужністю до десятків кіловат.

Модулі LoPak4 і LoPak5 мають такі граничні характеристики: 6×300 А/1200 В; 2×900 А/200 В; 6×225 А/1700 В і 2×675 А/1700 В. Їх випускають у двох варіантах: з мідною основою та без основи з прямим контактом ДСВ-кераміки модуля на охолодник. Модулі мають низьку паразитну індуктивність як внутрішніх виводів, так і зовнішніх шин. Зовнішні силові шини встановлюють на болти силового модуля і прикручують гайками.

Найпоширенішим серед приладів силової електроніки є електропривід. Класичну функціональну схему перетворювача частоти з колом постійного струму зображено на рис. 29.27. Вхідна напруга надходить на мостовий випрямляч 1 на діодах, вхід якого захищений обмежувачами перенапруг 8. До виходу випрямляча підключена фільтрова ємність шини постійного струму зі схемою «м'якого» заряджання 9 і мостовий інвертор напруги 4 на IGBT. У приводах малої і середньої

потужності до шини постійного струму підключена схема гальмування 5. Силова частина перетворювача містить також датчики струму 2 і температури 3. Схема керування містить драйвери 12 для керування транзисторами інвертора і гальма зі схемами захисту 10, 13, контролер керування 14 і джерела живлення 11. Оскільки силова схема і частина системи керування (драйвери, датчики, схеми діагностики і захисту) є однаковими для більшості застосувань, бажано об'єднати ці елементи в єдину конструкцію. Поява МОН-керуваних приладів, що мають малі потужності керування, та висока стійкість IGBT проти перевантажень та легкість керування ними в аварійних режимах дали змогу об'єднати в єдиному корпусі силові частини перетворювача і схеми драйверів, діагностики й захисту.

Силову частину інтелектуального модуля виготовляють, як і стандартні модулі паяної конструкції, з ізолюваною основою. Тут також використовують технологічні прийоми, що дають змогу підвищити надійність, термічну, циклічну стійкість модулів, знизити паразитні індуктивності виводів. Інтелектуальна частина модуля розміщена на багатошаровій друкованій платі, встановленій над ДСВ-платами із силовими напівпровідниковими чіпами.

За такою технологією фірмами «Fuji», «Mitsubishi», «Toshiba» випускається ціла гама інтелектуальних силових модулів IPM на 300 А/1200 В у виконанні двох ключів і 100 А/1200 В (одного ключа), у шести- і семиключовому виконанні. Функціональну схему таких модулів зображено на рис. 29.28. Як схеми драйверів застосовують високовольтні силові інтегральні схеми, що забезпечують крім формування імпульсів керу-

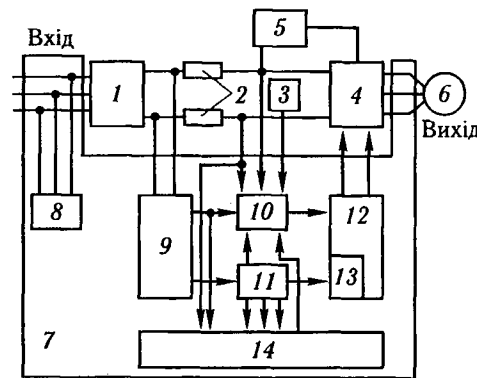


Рис. 29.27. Функціональна схема перетворювача частоти з колом постійного струму

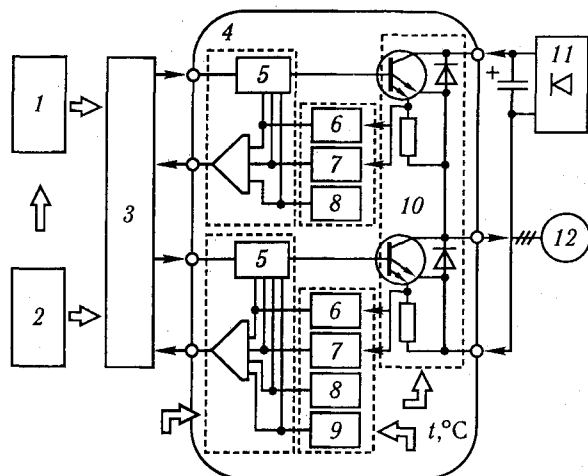


Рис. 29.28. Функціональна схема силового модуля IPM

вання на затвори IGBT 5 також функції захисту силових ключів від перевантаження за струмом 6 (OC — Over Current), включаючи коротке замикання 7 (SC — Short Current), захист від перегрівання 9 (OT — Over Temperature), від аварії (неприпустимого зниження) напруги живлення драйверів 8 (UV — Under Voltage). В окремих IPM є: гальванічна розв'язка керувальних сигналів 3, джерела живлення драйверів 2. У наступних поколіннях планується включати до складу IPM також і контролер керування 1.

Силові IGBT-модулі зайняли домінуюче положення на ринку приладів сигової електроніки для всіх практично видів перетворювального устаткування потужністю від одиниць кіловольтампера до одиниць мегавольтампера. Розроблювачі та виробники силових IGBT-модулів ведуть роботи з модернізації модулів паяної конструкції з метою поліпшення їхніх електричних характеристик, підвищення граничних параметрів, збільшення надійності й термічної, циклічної стійкості при зниженні ціни. Ця мета досягається застосуванням нових матеріалів і технологій складання модулів з використанням тонких Al_2O_3 - і AlN DSB-керамічних підкладок, застосуванням конструкцій модулів без мідної основи і з основою з матричних композиційних матеріалів, нових конструкцій модулів з виводами малої індуктивності, розробкою спеціальних конструкцій модулів з інтегрованим рідинним охолодженням, розробкою нових корпусів IGBT-модулів, що забезпечують

максимальні простоту і зручність використання їх у перетворювальному устаткуванні.

Поряд з розвитком технологій паяної конструкції модулів з ізолюваною основою останнім часом інтенсивно розвивається технологія притискної конструкції IGBT-модулів, що мають двостороннє охолодження, низьку індуктивність виводів, високу надійність та енергетичну, термічну, циклічну стійкість.

Головним напрямом розвитку сигової електроніки є система інтеграція, тобто надання користувача інтелектуального силового модуля, а в майбутньому — інтегрального перетворювального пристрою. Нині MOSFET та IGBT силові інтегральні схеми і модулі, в тому числі інтелектуальні IPM витісняють практично з усіх сфер застосування раніше тиристори, біполярні транзистори, оскільки за тих самих комутаційних струмів і напруг вони мають значно меншу потужність керування та тривалість комутації, ширшу область безпечної роботи й вищі частоти перетворення.

За прогнозами IGBT повністю замінить біполярні транзистори (BPT) і повністю керовані тиристори (GTO) в перетворювальному обладнанні потужністю до одиниць мегавольтампер, в області малих потужностей (в низьковольтних перетворювачах) домінуватиме MOSFET, а в області значних потужностей — GTO.

Контрольні запитання

1. Які переваги мають джерела живлення з високочастотним перетворенням енергії?
2. Як обмежується амплітуда імпульсу зарядного струму конденсатора мережного випрямляча?
3. Поясніть принцип дії імпульсного стабілізатора напруги.
4. У чому полягає відмінність між однотактним перетворювачем напруги зі зворотним та прямим підключенням діода?
5. Поясніть принцип дії регульованого двотактного перетворювача напруги.

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

Частина 1

1. *Виноградов Ю. В.* Основы электронной и полупроводниковой техники. — 2-е изд., доп. — М.: Энергия, 1982. — 536 с.
2. *Малахов В. П.* Электронные цепи непрерывного и импульсного действия. — Киев; Одесса: Либідь, 1991. — 256 с.
3. *Малахов В. П.* Схемотехника аналоговых устройств. — Одесса: АстроПринт, 2000. — 212 с.
4. *Эрглис К. Э., Степаненко И. П.* Электронные усилители. — М.: Наука, 1964. — 540 с.
5. *Гусев В. Г., Гусев Ю. М.* Электроника. — М.: Высш. шк., 1991. — 622 с.
6. *Севин Л.* Полевые транзисторы: Пер. с англ. — М.: Сов. радио, 1968. — 184 с.
7. *Руденко В. С., Сенько В. И., Трифонюк В. В.* Основы промышленной электроники. — К.: Вища шк., 1985. — 400 с.
8. *Алексеев А. Г., Шагури И. И.* Микросхемотехника. — М.: Радио и связь, 1990. — 496 с.
9. *Цыкин Г. С.* Электронные усилители. — М.: Связь, 1965. — 510 с.
10. *Цыкин Г. С.* Усилители электрических сигналов. — М.: Связь, 1967. — 424 с.
11. *Расчет электронных схем: Примеры и задачи / Г. И. Изъюрова, А. Ф. Давидов, Л. И. Щеголева и др.* — М.: Высш. шк., 1987. — 330 с.
12. *Степаненко И. П.* Основы микроэлектроники. — М.: Сов. радио, 1980. — 424 с.
13. *Захаров В. К.* Электронные элементы автоматики. — М.: Энергия, 1967. — 352 с.
14. *Проектирование и применение операционных усилителей / Под ред. Дж. Грэма и др.* — М.: Мир, 1974. — 510 с.
15. *Марше Ж.* Операционные усилители и их применение. — М.: Мир, 1976. — 258 с.
16. *Шило В. Л.* Линейные и интегральные схемы в радиоэлектронной аппаратуре. — М.: Сов. радио, 1974. — 312 с.
17. *Щербаков В. И., Грезов Г. И.* Электронные схемы на операционных усилителях: Справ. — К.: Техника, 1983. — 213 с.
18. *Справочник по интегральным микросхемам / Под ред. Б. В. Тарabrina.* — М.: Радио и связь, 1985. — 528 с.
19. *Алексеев А. Г., Войшвилло Г. В.* Операционные усилители и их применение. — М.: Радио и связь, 1989. — 120 с.
20. *Нестеренко Б. К.* Интегральные операционные усилители: Справ. пособие по применению. — М.: Энергоиздат, 1982. — 128 с.
21. *Сафрошкин Ю. В.* Частотно-избирательные RC-схемы на полупроводниковых триодах. — М.: Сов. радио, 1963. — 218 с.
22. *Аналоговая и цифровая электроника / Под ред. О. П. Глудкина.* — М.: Горячая Линия-Телеком, 1999. — 768 с.
23. *Акулов И. И., Баржин В. Я., Валитов Р. А.* Радиотехнические схемы на транзисторах и туннельных диодах. — М.: Связь, 1966. — 512 с.
24. *Бондаренко В. Г.* RC-генераторы синусоидальных колебаний. — М.: Связь, 1976. — 208 с.
25. *Бойко В. І., Зорі А. А.* Основи електронних систем: Вступ до фаху. — Донецьк: ДНТУ, 2002. — 207 с.

Частина 2

1. *Захаров В. К., Лыпась Ю. И.* Электронные устройства автоматики и телемеханики. — Л.: Энергоатомиздат, 1984. — 432 с.
2. *Ерофеев Ю. Н.* Импульсная техника. — М.: Высш. шк., 1984. — 386 с.
3. *Ефремов В. Д., Захаров В. К.* Импульсные элементы автоматики и вычислительной техники. — М.: Энергия, 1977. — 248 с.
4. *Скаржепа В. А., Луценко А. И.* Электроника и микросхемотехника. Ч. 1. Электронные устройства информационной автоматики / Под общ. ред. А. А. Краснопрошиной. — К.: Вища шк., 1989. — 431 с.
5. *Микросхемы памяти, ЦАП и АЦП: Справ. / О. Н. Лебедев, А. И. Мирошниченко, В. А. Телец и др.* — 2-е изд. — М.: КУ6К-а, 1996. — 384 с.

6. Лебедев О. Н. Применение микросхем памяти в электронных устройствах: Справ. пособие. — М.: Радио и связь, 1994. — 216 с.
7. Лебедев О. Н., Мирошниченко А. И., Телец В. А. Изделия электронной техники. Цифровые микросхемы. Микросхемы памяти. Микросхемы ЦАП и АЦП: Справ. — М.: Радио и связь, 1994. — 248 с.
8. Применение интегральных микросхем памяти: Справ. / Под ред. А. Ю. Гордонова, А. А. Дерюгина. — М.: Радио и связь, 1994. — 232 с.
9. Гольденберг Л. М. Импульсные устройства. — М.: Радио и связь, 1981. — 222 с.
10. Бойко В. И., Зорі А. А. Основы электронных систем. Вступ до фаху. — Донецьк: ДНТУ, 2002. — 207 с.

Частина 3

1. Алексеенко А. Г. Основы микросхемотехники. — М.: Сов. радио, 1977. — 205 с.
2. Андреев В. П. РПЗУ на основе стеклообразных полупроводников. — М.: Радио и связь, 1985. — 201 с.
3. Большие интегральные схемы запоминающих устройств: Справ. / А. Ю. Гордонов, Н. В. Бекин, В. В. Циркин и др.; Под ред. А. Ю. Гордонова. — М.: Радио и связь, 1990. — 288 с.
4. Брик Е. А. Техника постоянных запоминающих устройств. — М.: Сов. радио, 1973. — 240 с.
5. Блейкли Т. Р. Проектирование цифровых устройств с малыми и большими интегральными схемами. — К.: Вища шк. Головное изд-во, 1981. — 336 с.
6. Бойко В. И., Зорі А. А. Основы электронных систем. Вступ до фаху. — Донецьк: ДНТУ, 2002. — 207 с.
7. Валиев К. А., Орликовский А. А. Полупроводниковые интегральные схемы памяти на биполярных транзисторных структурах. — М.: Сов. радио, 1979. — 269 с.
8. Вениаминов В. Н., Лебедев О. Н., Мирошниченко А. И. Микросхемы и их применение. — 3-е изд., перераб. — М.: Радио и связь, 1989. — 240 с.
9. Глушков В. М. Синтез цифровых автоматов. — М.: Физматгиз, 1962. — 361 с.
10. Калабеков Б. А., Мамзелев И. А. Основы автоматики и вычислительной техники. — М.: Связь, 1980. — 223 с.

11. Караханян Э. Р., Шилин В. А. Динамические интегральные схемы памяти с МДП структурой. — М.: Радио и связь, 1984. — 136 с.
12. Колдуэл С. Логический синтез релейных устройств. — М.: Изд-во иностр. лит., 1962. — 153 с.
13. Корнийчук В. И., Тарасенко В. П. Вычислительные устройства на микросхемах. — К.: Техніка, 1988. — 351 с.
14. Косарев Ю. А., Виноградов С. И. Электрически изменяемые ПЗУ. — Л.: Энергоатомиздат, 1985. — 320 с.
15. Лазер И. М., Шубарев В. А. Устойчивость цифровых микроэлектронных устройств. — М.: Радио и связь, 1983. — 201 с.
16. Лачин В. И., Савелов Н. С. Электроника. — Ростов н/Д: Феникс, 2000. — 440 с.
17. Лебедев О. Н. Микросхемы памяти и их применение. — М.: Радио и связь, 1990. — 160 с.
18. Наумов Ю. Е., Аваев Н. А., Бедревский М. А. Помехоустойчивость устройств на интегральных логических схемах. — М.: Сов. радио, 1975. — 216 с.
19. Огнев И. В., Шамаев Ю. М. Проектирование запоминающих устройств. — М.: Высш. шк., 1979. — 320 с.
20. Опачий Ю. Ф., Глудкин О. П., Гуров А. И. Аналоговая и цифровая электроника. — М.: Горячая линия-Телеком, 1999. — 768 с.
21. Папернов А. А. Логические основы цифровой вычислительной техники. — М.: Сов. радио, 1972. — 345 с.
22. Полупроводниковые запоминающие устройства и их применение / В. А. Андреев, В. В. Баранов, Н. В. Бекин и др.; Под ред. А. Ю. Гордова. — М.: Радио и связь, 1981. — 343 с.
23. Поспелов Д. А. Арифметические основы вычислительных машин дискретного действия. — М.: Высш. шк., 1970. — 345 с.
24. Потемкин И. С. Функциональные узлы цифровой автоматики. — М.: Энергоатомиздат, 1988. — 320 с.
25. Преснухин Л. Н., Воробьев Н. В., Шишкевич А. А. Расчет элементов цифровых устройств. — М.: Высш. шк., 1991. — 526 с.
26. Применение интегральных микросхем в электронной вычислительной технике: Справ. / Р. В. Данилов, С. А. Ельцова, Ю. П. Иванов и др.; Под ред. Б. Н. Файзулаева, Б. В. Тарабрина. — М.: Радио и связь, 1987. — 384 с.
27. Проектирование импульсных и цифровых устройств радиотехнических систем / Под ред. Ю. М. Казаринова. — М.: Высш. шк., 1985. — 319 с.

28. *Прянишников В. Я.* Электроника. — СПб.: Корона принт, 1998. — 398 с.
29. *Пухальский Г. И.* Логическое проектирование цифровых устройств радиотехнических систем. — Л.: Изд-во Ленингр. ун-та, 1976. — 153 с.
30. *Расчет элементов импульсных и цифровых схем радиотехнических устройств* / В. П. Васильева, Ю. П. Гришин, В. П. Зюбенко и др.; Под ред. Ю. М. Казаринова. — М.: Высш. шк., 1976. — 243 с.
31. *Руденко В. С., Ромашко В. Я., Трифонюк В. В.* Промислова електроніка. — К.: Либідь, 1993. — 256 с.
32. *Савельев А. Я.* Арифметические и логические основы цифровых автоматов. — М.: Высш. шк., 1980. — 255 с.
33. *Скарлет Дж.* ТТЛ-интегральные схемы и их применение: Пер. с англ. — М.: Мир, 1974. — 288 с.
34. *Справочник по цифровой вычислительной технике* / Под ред. Б. Н. Малиновского. — К.: Техника, 1974. — 493 с.
35. *Справочник по интегральным микросхемам* / Б. В. Тарабрин, С. В. Якубовский, Н. А. Барканов и др.; Под ред. Б. В. Тарабрина. — М.: Энергия, 1981. — 607 с.
36. *Старос Ф. Г., Крайзмер Л. П.* Полупроводниковые интегральные запоминающие устройства. — Л.: Энергия, 1973. — 112 с.
37. *Степаненко И. П.* Основы микроэлектроники. — М.: Сов. радио, 1980. — 320 с.
38. *Схемотехника БИС постоянных запоминающих устройств* / О. А. Петросян, И. Я. Козырь, Л. А. Коледов, Ю. И. Щетинин. — М.: Радио и связь, 1987. — 304 с.
39. *Токхейм Р.* Основы цифровой электроники: Пер. с англ. — М.: Мир, 1988. — 392 с.
40. *Угрюмов Е. П.* Проектирование элементов и узлов ЭВМ. — М.: Высш. шк., 1987. — 318 с.
41. *Хоровиц П., Хилл У.* Искусство схемотехники: В 3 т.: Пер. с англ. — М.: Мир, 1993. — 367 с.
42. *Хвоц С. Т., Варлинский Н. Н., Попов Е. А.* Микропроцессоры и микро-ЭВМ в схемах автоматического управления: Справ. / Под общ. ред. С. Т. Хвоца. — Л.: Машиностроение, 1987. — 640 с.
43. *Фридман А., Менон П.* Теория и проектирование переключаемых схем: Пер. с англ. — М.: Мир, 1978. — 345 с.
44. *Шило В. Л.* Популярныe цифровые микросхемы. — М.: Радио и связь, 1987. — 352 с.

45. *Щеголева Л. И., Давыдов А. Ф.* Основы вычислительной техники и программирования. — Л.: Энергоиздат, 1981. — 256 с.
46. *Фистер М.* Логическое проектирование цифровых вычислительных машин. — К.: Техніка, 1964. — 275 с.
47. *Якубовский С. В., Барканов Н. А., Кудряшов Б. П.* Аналоговые и цифровые интегральные микросхемы. — М.: Радио и связь, 1985. — 365 с.
45. *Бойко В. І., Зорі А. А.* Основи електронних систем. Вступ до фаху. — Донецьк: ДНТУ, 2002. — 207 с.

Частина 4

1. *Абель П.* Язык Ассемблера для IBM PC и программирование / Пер. с англ. Ю. В. Сальникова. — М.: Высш. шк., 1992. — 447 с.
2. *Алексенко А. Г., Галицын А. А., Иванников А. Д.* Проектирование радиоэлектронной аппаратуры на микропроцессорах. — М.: Радио и связь, 1984. — 272 с.
3. *Балашов Е. П., Григорьев В. Л., Петров Г. А.* Микро- и мини-ЭВМ. — Л.: Энергоатомиздат, 1984. — 376.
4. *Вершинин О. Е.* Применение микропроцессоров для автоматизации технологических процессов. — Л.: Энергоатомиздат, 1986. — 208 с.
5. *Власов А. И.* Аппаратная реализация нейровычислительных управляющих систем // Приборы и системы управления. — 1999. — № 2. — С. 61—65.
6. *Галушкин А. И.* Некоторые исторические аспекты развития элементной базы вычислительных систем с массовым параллелизмом (80—90-е годы) // Нейрокомпьютер. — 2000. — № 1. — С. 68—82.
7. *Гольденберг А. М., Малев В. А., Малько Г. Б.* Цифровые устройства и микропроцессорные системы: Задачи и упражнения. — М.: Радио и связь, 1993. — 256 с.
8. *Горбунов В. Д., Панфилов Д. И., Преснухин Д. Л.* Микропроцессоры. Основы построения микро-ЭВМ. — М.: Высш. шк., 1984. — 144 с.
9. *Гребнев В. В.* Однокристалльные микро-ЭВМ семейства AT89 фирмы Atmel. — СПб.: ЭФО, 1998. — 76 с.
10. *Гук М.* Процессоры Intel: от 8086 до Pentium II. — СПб.: Питер, 1997. — 224 с.

11. Гук М. Процессоры Pentium II, Pentium Pro и просто Pentium. — СПб.: Питер Ком, 1999. — 228 с.
12. Евстигнеев А. В. Микроконтроллеры AVR семейства Classic фирмы «ATMEL». — М.: ДОДЭКА-XXI, 2002. — 228 с.
13. Козаченко В. Ф. Микроконтроллеры: руководство по применению 18-разрядный микроконтроллеров Intel MCD-196/296 во встроенных системах управления. — М.: ЭКОМ, 1997. — 688 с.
14. Корнеев В. В., Киселев А. В. Современные микропроцессоры. — М.: НОЛИДЖ, 2000. — 320 с.
15. Лебедев О. Н. Микросхемы памяти и их применение. — М.: Радио и связь, 1990. — 234 с.
16. Левенталь Л. Введение в микропроцессоры. Программное обеспечение, аппаратные средства, программирование. — М.: Энергоатомиздат, 1983. — 464 с.
17. Липовецкий Г. П., Литвинский Г. В., Оксинь О. Н. Однокристалльные микроЭВМ. Семейство МК48, Семейство МК51. Техническое описание и руководство по применению. — М.: МП «Бином», 1992. — 339 с.
18. Лю Ю-Чжен, Гибсон Г. Микропроцессоры семейства 8086/8088. Архитектура, программирование и проектирование микрокомпьютерных систем: Пер. с англ. — М.: Радио и связь, 1987. — 512 с.
19. Майоров В. Г., Гаврилов А. И. Практический курс программирования микропроцессорных систем. — М.: Машиностроение, 1989. — 215 с.
20. Микроконтроллеры: Сб. — М.: ДОДЭКА, 1998. — Вып. 1. — 384 с.
21. Микропроцессорный комплект K1810: Справ. книга. — М.: Высш. шк., 1990. — 269 с.
22. Морс С. П., Альберт Д. Д. Архитектура микропроцессора 80286. — М.: Радио и связь. — 1990. — 304 с.
23. Самофалов К. Г., Виктров О. В., Кузник А. К. Микропроцессоры. — К.: Техніка, 1986. — 278 с.
24. Справочник по микропроцессорным устройствам / А. А. Молчанов, В. И. Корнейчук, В. П. Тарасенко и др. — К.: Техніка, 1987. — 228 с.
25. Сташин В. В., Урусов А. В., Мологонцева О. Ф. Проектирование цифровых устройств на однокристалльных микроконтроллерах. — М.: Энергоатомиздат, 1990. — 221 с.

Частина 5

1. Виноградов Ю. В. Основы электронной и полупроводниковой техники. — 2-е изд., доп. — М.: Энергия, 1982. — 536 с.
2. Руденко В. С., Сенько В. И., Трифонюк В. В. Основы промышленной электроники. — К.: Вища шк., 1985. — 400 с.
3. Источники электропитания радиоэлектронной аппаратуры: Справ. / Под ред. Г. С. Найвельта. — М.: Радио и связь, 1986. — 576 с.
4. Галкин С. Г. Силовая электроника. — СПб.: Корона принт, 2002. — 304 с.
5. Бойко В. І., Зорі А. А. Основи електронних систем. Вступ до фаху. — Донецьк: ДНТУ, 2002. — 207 с.



Навчальне видання

ОСНОВИ СХЕМО- ТЕХНІКИ електронних систем

*Бойко Віталій Іванович
Гуржій Андрій Миколайович
Жуйков Валерій Якович
Зорі Анатолій Анатолійович
Сокол Євген Іванович
Співак Віктор Михайлович
Терещенко Тетяна Олександрівна*

*Художнє оформлення Г. С. Муратової
Технічний редактор А. І. Омоховська
Коректори: Л. М. Байбородіна,
Н. М. Мельник, Р. Б. Попович, Н. Г. Потаніна
Комп'ютерна верстка Н. П. Довлетукаєвої*

Підп. до друку 17.12.2004. Формат 84 × 108/32.
Папір. офс. № 1. Гарнітура Peterburg. Офс. друк.
Ум. друк. арк. 27,72. Обл.-вид. арк. 29,42. Тираж 1000 пр.
Вид. № 10591. Зам. № 5-104

Видавництво «Вища школа», вул. Гоголівська, 7г, м. Київ, 01054

Свідоцтво про внесення до Держ. реєстру від 04.12.2000
серія ДК № 268

Надруковано з плівок, виготовлених у видавництві «Вища школа»,
у ВАТ «Книжкова друкарня наукової книги»,
вул. Багговутівська, 17-21, м. Київ, 04107