

ВВЕДЕНИЕ

В настоящее время интегральная электроника базируется на достижениях микроэлектроники, для которой характерно органическое единство физических, конструкторско-технических и схемотехнических аспектов. *Микроэлектроника* – динамично развивающееся научно-техническое направление, охватывает вопросы исследования, разработки и принципов применения *интегральных микросхем*.

Интегральная микросхема (ИС) – это совокупность электрически связанных компонентов (транзисторов, диодов, резисторов и др.), изготовленных в едином технологическом цикле на единой полупроводниковой основе (подложке).

Интегральная микросхема выполняет определенные функции обработки (преобразования) информации, заданной в виде электрических сигналов: напряжений или токов. Электрические сигналы могут представлять информацию в непрерывной (аналоговой), дискретной и цифровой форме.

Аналоговые и дискретные сигналы обрабатываются *аналоговыми* или *линейными микросхемами*, цифровые сигналы – *цифровыми микросхемами*. Существует целый класс устройств и соответственно микросхем называемых *аналого-цифровыми* или *цифро-аналоговыми* и, служащих для преобразования сигналов из одной формы в другую.

Важнейшим этапом схемотехнического проектирования является выбор элементной базы, вариантов уже разработанных базовых цифровых и аналоговых узлов и устройств на их основе. В случае необходимости выполняется разработка новых электронных схем, которые имеют преимущества по отдельным параметрам перед известными. В современной микросхемотехнике используются различные варианты схем логических элементов и аналоговых каскадов.

1. ОСНОВНЫЕ ПОНЯТИЯ И ОПРЕДЕЛЕНИЯ

1.1. СИГНАЛЫ

Аналоговый сигнал описывается непрерывной или кусочно-непрерывной функцией, причем и аргумент и сама функция могут принимать любые значения из некоторых интервалов. На рис. 1, а, в качестве примера аналогового сигнала, приведено графическое изображение гармонического сигнала $x_a(t) = U_m \sin \omega t$, где $t' \leq t \leq t''$, $x_a' \leq x_a \leq x_a''$, $U_m = 1$, $\omega = 2\pi f$.

Дискретный сигнал – это форма представления непрерывного сигнала (рис. 1, б) в виде решетчатой функции $x(nT) = U_m \sin n\omega T$ (временного ряда), которая может принимать любые значения на некотором интервале $x' \leq x \leq x''$, а независимая переменная n принимает лишь дискретные значения ($n = 0, 1, \dots$), где T – интервал дискретизации.

Как видно из приведенных диаграмм значения дискретного и аналогового сигналов в однозначных временных точках абсолютно совпадают.

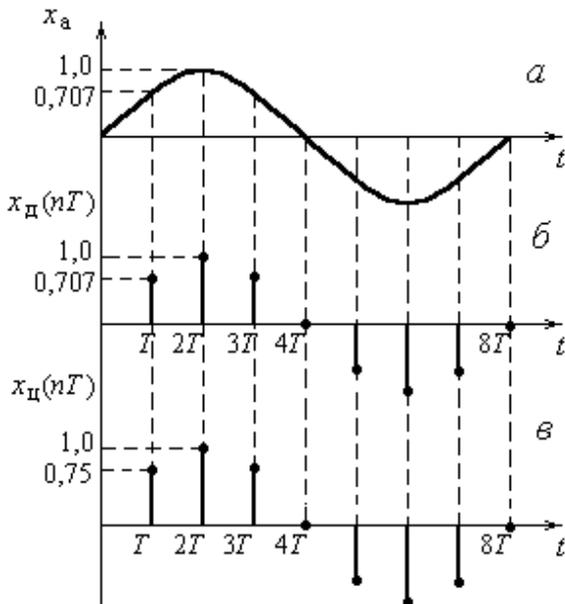


Рис. 1.1. Три формы представления сигналов

Цифровой сигнал – квантованный временной ряд $x_ц(nT) = Q_K(U_m \sin n\omega T)$, графически представленный на рис. 1, в, принимающий лишь ряд дискретных значений – уровней квантования, а независимая переменная n принимает значения 0, 1, Нелинейная функция Q_K – задает значения уровней квантования в двоичном коде. Число K уровней квантования и число S разрядов соответствующих кодов связаны зависимостью

$$S \geq \text{int}(\log_2 K).$$

1.2. ПОЛУПРОВОДНИКОВЫЕ ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

Функциональная сложность интегральных схем

Компоненты, входящие в состав ИС, не могут быть выделены из нее в качестве самостоятельных изделий, кроме того, они характеризуются некоторыми особенностями по сравнению с дискретными транзисторами, диодами и т. д.

Особенностью интегральных схем является высокая сложность выполняемых ими функций, поэтому количество компонентов в одной микросхеме может исчисляться сотнями тысяч и даже миллионами.

Функциональную сложность ИС обычно характеризуют *степенью компонентной интеграции*, т. е. количеством чаще всего транзисторов на кристалле. Количественно степень интеграции описывается условным коэффициентом $K = \lg N$, где N – число компонентов.

В зависимости от значений K интегральные схемы подразделяются:

$K \in 1 \dots 2$, ($N \in 100$) – малая интегральная схема (МИС или IS);

$2 < K \in 3 \dots 4$, ($N \in 10000$) – интегральная схема средней степени интеграции (СИС или MSI);

$3 \dots 4 < K < 5$, ($N < 10^5$) – большая интегральная схема (БИС или LSI);

$K \geq 5$, ($N \geq 10^5$) – сверхбольшая интегральная схема (СБИС или VLSI).

Сокращения приведенные на английском языке имеют следующий смысл: IS – Integrated Circuit; MSI – Medium Scale Integration; LSI – Large Scale Integration; VLSI – Very Large Scale Integration.

Иногда сложность ИС характеризуют таким показателем, как *плотность упаковки*. Это количество компонентов, приходящихся на единицу площади кристалла. Этот показатель характеризует уровень технологии, и в настоящее время он составляет более 1000 компонентов/мм².

Основные виды цифровых интегральных схем

Классификация ИС может производиться по различным признакам. Однако по способу производства современные микросхемы можно разделить на полупроводниковые, пленочные, гибридные. Основу современной цифровой электроники составляют полупроводниковые интегральные схемы.

Широкое распространение получили следующие полупроводниковые ИС:

- биполярные;
- МДП (МОП) – металл-диэлектрик (окисел)-полупроводник;
- БиМОП – сочетание двух первых типов.

Технология полупроводниковых ИС основана на легировании полупроводниковой (кремниевой) пластины поочередно донорными и акцепторными примесями, в результате чего под ее поверхностью образуются тонкие слои с разным типом проводимости и p - n -переходы на границах слоев. Отдельные слои используются в качестве резисторов, а p - n -переходы для формирования диодных и транзисторных структур.

Легирование осуществляется локально с помощью специальных масок с отверстиями, через которые атомы примеси проникают в пластину на нужных участках и на нужную глубину. Роль маски обычно играет пленка двуокиси кремния SiO_2 , покрывающая поверхность кремниевой пластины. В этой пленке различными методами формируются окна необходимой формы.

Основным элементом биполярных ИС является n - p - n -транзистор (биполярный транзистор), и на его изготовление ориентируется весь технологический цикл. Все другие элементы, по возможности, изготавливаются с этим транзистором, без дополнительных технологических операций.

Основным элементом МДП (МОП) ИС является МДП (МОП)-транзистор.

Элементы биполярной ИС необходимо изолировать друг от друга, чтобы они не взаимодействовали через кристалл. Элементы МДП (МОП) ИС не нуждаются в специальной изоляции друг от друга. В этом одно из главных преимуществ МОП ИС по сравнению с биполярными.

В последнее время широкое распространение в качестве материала подложки получил арсенид-галлий. В полупроводниковых микросхемах, выполненных на такой основе, активными элементами служат полевые транзисторы с управляющим переходом металл-полупроводник (МЭП-транзисторы).

Особенности технологии интегральных схем

При изготовлении интегральных схем используется групповой метод производства и в основном планарная технология.

Групповой метод производства предполагает изготовление на одной полупроводниковой пластине большого количества однотипных ИС и одновременную обработку десятков таких пластин. После завершения цикла изготовления пластины разрезаются в двух взаимно перпендикулярных направлениях на отдельные кристаллы – чипы (chip), каждый из которых, будучи помещенным в герметический корпус, представляет собой ИС.

Планарная (плоскостная) технология – это такая организация технологического процесса, при которой все составляющие ИС формируются в одной плоскости на подложке.

Необходимо отметить, что создание и освоение новых изделий микроэлектроники является чрезвычайно дорогостоящим делом.

Стоимость D одной ИС (одного кристалла) упрощенно можно вычислить следующим образом:

$$D = \frac{1}{XY} \frac{A+B}{Z} + C \frac{\ddot{\circ}}{\emptyset},$$

где A – затраты на НИР и ОКР по созданию ИС; B – затраты на технологическое оборудование; C – текущие расходы на материалы, электроэнергию, заработную плату в пересчете на одну пластину; Z – количество пластин, изготавливаемых до амортизации основных производственных фондов; X – количество кристаллов на пластине; Y – отношение годных ИС к количеству, запущенных в производство.

Увеличение Y достигается совершенствованием технологии, а рост числа кристаллов X достигается увеличением размера пластины и уменьшением размеров элементов ИС.

Исторические этапы микроэлектроники

Первый этап – изобретение точечного германиевого транзистора в 1948 году в лаборатории Bell Telephone Laboratories.

Второй этап – создание плоскостных кремниевых транзисторов в 1953 году на фирме Texas Instrument Incorporation и налаживание их группового производства.

Третий этап – создание первой интегральной схемы в 1961 году на фирме Fairchild Semiconductor, представляющей собой триггер, состоящий из четырех биполярных транзисторов и двух резисторов и по сегодняшний день.

В настоящее время успехи в производстве интегральных микросхем таковы, что ювелирный процесс изготовления высокотехнологичных элементов СБИС поставлен на промышленный поток, масштаб которого сравним разве что с масштабом производства продукции огромными металлургическими цехами. К 2007 году объем выпуска только 300-мм подложек достигнет 575 тыс. в месяц. Однако для многих крупных участников этого рынка ставки в конкурентной борьбе слишком высоки. Сегодня только Intel, IBM, Texas Instruments и Samsung владеют собственными действующими предприятиями по производству микросхем на 300-мм подложках. Другие создаются и управляются совместно объединениями компаний – например, “AMD – UMC Group (Тайвань) – Infineon (бывший полупроводниковый “департамент” компании Siemens)” или Motorola – Philips – STMicroelectronics – Taiwan Semiconductor”.

К 2005 году чипы будут делаться по технологии 65 нм, а к 2010 году – 45 нм, в СБИС будет интегрировано до миллиарда транзисторов.

Размеры кристаллов у современных полупроводниковых интегральных схем достигают 20´20 мм².

2. ОСНОВЫ ТЕОРИИ ИНТЕГРАЛЬНЫХ ЦИФРОВЫХ УСТРОЙСТВ

2.1. ЛОГИЧЕСКИЕ ОСНОВЫ ЦИФРОВОЙ ИНТЕГРАЛЬНОЙ ЭЛЕКТРОНИКИ

Функционирование любой цифровой системы описывается в двоичной системе счисления, оперирующей только двумя цифрами: нуль (0) и единица (1). В данном случае имеются в виду логические нуль и единица.

Математический аппарат, описывающий поведение цифровых схем, базируется на алгебре логики, или, как ее еще называют по имени автора – английского математика Джорджа Буля (1815-1864), булевой алгебре. В практических целях первым применил ее американский ученый Клод Шеннон в 1938 году при исследовании электрических цепей с контактными выключателями.

Предметом рассмотрения алгебры логики является утверждение, которое может быть либо истинным, либо ложным. Принято «истинно» обозначать цифрой 1, «ложно» – цифрой 0.

Простые утверждения, объединенные логическими операциями, образуют сложные утверждения. Если простые утверждения обозначить буквами, например, A, B, C, \dots , а сложные буквой F , то, используя законы алгебры логики, можно математически описать сколь угодно сложные логические взаимосвязи и реализующие их цифровые схемы.

В алгебре логики известны три основные логические операции:

1. *Логическое умножение* (конъюнкция или операция **И**). Записывается как $F = A \dot{\cup} B$, $F = A \cdot B$, $F = AB$, читается – $F = A$ и B . Операция обозначает, что сложное высказывание истинно лишь тогда, когда истинны все простые высказывания.
2. *Логическое сложение* (дизъюнкция или операция **ИЛИ**). Записывается как $F = A \cup B$, $F = A + B$, читается – $F = A$ или B . Обозначает, что сложное высказывание истинно, если истинно хотя бы одно из простых высказываний, и тем более, если истинны оба.
3. *Логическое отрицание* (инверсия или операция **НЕ**). Записывается $F = \bar{A}$, читается – $F =$ «не» A . Операция обозначает, что сложное высказывание истинно, если простое ложно, и наоборот.

Словесное описание приведенных логических операций можно свести к их табличному описанию или заданию (табл.2.1):

Таблица 2.1.

Аргументы (простые высказывания)		Логические операции (булевы функции)			
A	B	И	ИЛИ	НЕ	
		$A \dot{\cup} B$	$A \cup B$	\bar{A}	\bar{B}
0	0	0	0	1	1
0	1	0	1	1	0
1	0	0	1	0	1
1	1	1	1	0	0

Таким образом, выполнение сколь угодно сложной логической операции может быть сведено к выполнению сочетаний трех вышеперечисленных операций. Следовательно, имея некоторые технические устройства, реализующие операции **И**, **ИЛИ**, **НЕ**, можно построить сколь угодно сложную цифровую систему. Такие устройства называются соответственно логическими элементами (ЛЭ) **И**, **ИЛИ**, **НЕ** и образуют *основной базис* или функционально полную систему (ФПС) логических элементов (рис.2.1).

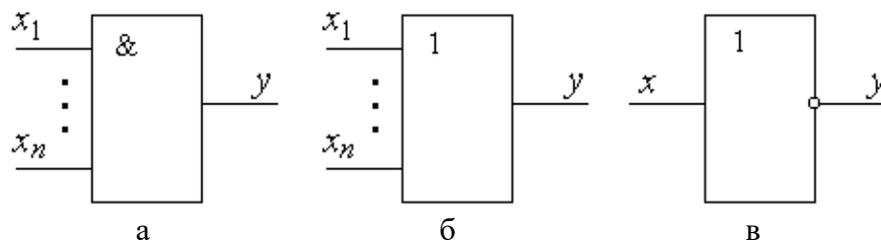


Рис. 2.1. Условное обозначение логических элементов на электрических схемах: **И** (а), **ИЛИ** (б), **НЕ** (в)

Базис считается минимальным, если удаление хотя бы одного из входящих в него ЛЭ, превращает его в функционально неполный. ФПС, состоящая из элементов **И**, **ИЛИ**, **НЕ**, не является минимальной, так как в результате исключения из нее элементов либо **И**, либо **ИЛИ** получатся минимальные базисы **ИЛИ**, **НЕ** и **И**, **НЕ** соответственно, каждый из которых реализуется на двух типах ЛЭ.

В интегральной цифровой электронике широко используются элементы базисов: **ИЛИ** – **НЕ** (стрелка Пирса $A \downarrow B$), **И** – **НЕ** (штрих Шеффера $A \uparrow B$), а также **И** – **ИЛИ** – **НЕ**, каждый из которых также является функционально полной системой элементов.

2.2. КОДИРОВАНИЕ СИГНАЛОВ В ЦИФРОВЫХ УСТРОЙСТВАХ

По виду кодирования электрических сигналов двоичными цифрами элементы цифровой техники делятся на потенциальные, импульсные и импульсно-потенциальные.

В потенциальных элементах нулю и единице соответствуют два резко отличающихся уровня напряжения – высокий и низкий. При этом напряжения могут быть как положительными, так и отрицательными относительно корпуса, электрический потенциал которого принимается за нулевой.

Различают элементы, работающие в положительной и отрицательной логике (рис. 2.2).

Полярность уровней напряжения	Вид логики	
	Положительная	Отрицательная
Положительная	<p>Timing diagram for positive logic. The vertical axis is labeled U and the horizontal axis is labeled t. The signal is high for a period labeled "1" and low for a period labeled "0". The origin is marked 0.</p>	<p>Timing diagram for negative logic. The vertical axis is labeled U and the horizontal axis is labeled t. The signal is low for a period labeled "0" and high for a period labeled "1". The origin is marked 0.</p>
Отрицательная	<p>Timing diagram for negative logic with negative voltage. The vertical axis is labeled U and the horizontal axis is labeled t. The signal is at level 0 for a period labeled "1" and at level $-U$ for a period labeled "0".</p>	<p>Timing diagram for positive logic with negative voltage. The vertical axis is labeled U and the horizontal axis is labeled t. The signal is at level $-U$ for a period labeled "0" and at level 0 for a period labeled "1".</p>

Р и с . 2 . 2 . Кодирование электрических сигналов в потенциальных элементах

Для положительной логики характерны более высокие значения напряжений, соответствующих логической единице.

У импульсных цифровых устройств логическими нулями и единицами кодируются перепады напряжений, наличие или отсутствие импульса, полярность импульса.

В цифровых схемах используются также импульсно-потенциальные элементы, у которых одна часть сигналов кодируется различными уровнями напряжения, а другая соответственно – перепадами напряжения.

2.3. КЛАССИФИКАЦИЯ ЦИФРОВЫХ УСТРОЙСТВ

В общем случае на вход цифрового устройства поступает множество двоичных переменных $X(x_1 \dots x_n)$, а с выхода снимается множество двоичных переменных $Y(y_1 \dots y_k)$. Устройство при этом осуществляет определенную логическую взаимосвязь между входными и выходными переменными.

Цифровые устройства можно разделить на *комбинационные* и *последовательностные*.

В комбинационных – значения Y в течение каждого такта определяются только значениями X в этом же такте. Такие устройства состоят только из логических элементов.

В последовательностных – значения Y определяются значениями X , как в течение рассматриваемого такта, так и существовавшими в ряде предыдущих тактов. Для этого в последовательностных устройствах, кроме логических должны быть еще и запоминающие элементы.

Структура последовательностного и комбинационного устройств приведена на рис. 2.3.

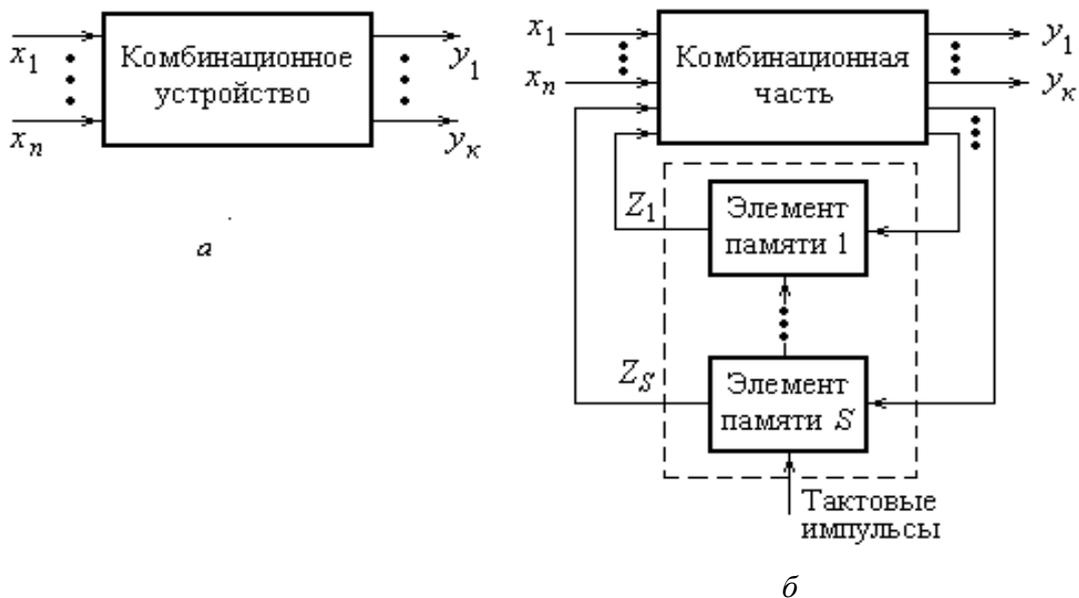


Рис. 2.3. Структура комбинационного (а) и последовательного (б) цифровых устройств

Запоминающее устройство может хранить информацию не бесконечно большого, а только ограниченного числа тактов, поэтому цифровые устройства с памятью называют конечными автоматами, к которым относят все ЭВМ.

Таблицы, показывающие взаимосвязь между входными и выходными переменными комбинационных устройств, называют *таблицами истинности*. Алгебраическая форма этих связей представляет систему уравнений

$$\begin{aligned}
 y_1 &= f_1(x_1, x_2, \dots, x_n), \\
 \times \times \times \times \times \times \times \times \times \\
 y_k &= f_k(x_1, x_2, \dots, x_n).
 \end{aligned}$$

В общем виде в последовательных устройствах выходные переменные y_i зависят не только от входных сигналов x_m , но и от сигналов элементов памяти, поступающих за этот же такт.

В частности, в *автоматах Мили* выходные сигналы формируются именно таким образом, т. е.

$$y_i^{t+1} = f_i(x_1, x_2, \dots, x_n, z_1, z_2, \dots, z_s)^{t+1}.$$

Это выражение называется *функцией выхода автомата Мили*.

В *автоматах Мура* выходные сигналы являются функциями только сигналов элементов памяти в этом же такте, т.е.

$$y_i^{t+1} = f_i(z_1, z_2, \dots, z_s)^{t+1}.$$

Это выражение называется *функцией выхода автомата Мура*.

Для описания работы последовательных устройств используются *таблицы переходов состояний*.

Таблицы истинности соответствуют только статическим или установившимся режимам работы цифровых устройств. При изменении входных сигнала-

лов в комбинационной схеме, из-за инерционности логических элементов, в ней начинает протекать переходный процесс. Максимальная длительность переходного процесса определяется максимальным числом последовательно включенных ЛЭ. Входные сигналы изменяются не мгновенно, а в течение некоторого времени $\tau_{\text{ф}}$. В течение этого времени входные сигналы имеют неопределенное значение. По этой причине, а также из-за задержек сигналов в ЛЭ выходные сигналы комбинационной схемы в течение переходного процесса могут принимать значения не соответствующие описывающим их функциям. Это явление называют *переходными (опасными) состязаниями* или «гонками». Появление кратковременных ложных значений выходных сигналов комбинационной схемы может привести к неправильной работе других схем, подключенных к ее выходам.

Цифровые устройства можно разделить на *асинхронные* и *синхронные*. В асинхронных изменение входных сигналов сразу же вызывает изменение выходных сигналов. В синхронных изменение выходных сигналов, соответствующее новому сочетанию входных, происходит только после подачи синхронизирующих (тактовых) импульсов, управляющих работой автомата, но не определяющих логику его функционирования. Период синхроимпульсов является, таким образом, минимальным временем между выполнением автоматом двух последовательных микроопераций, т.е. служит единицей машинного времени, называемой *тактом*. В зависимости от структуры автомата за один такт могут выполняться одна или несколько микроопераций, если они совмещены во времени.

В асинхронных устройствах отсутствуют синхронизирующие сигналы, поэтому в их структуры обычно включаются специальные схемы, которые после окончания каждой микрооперации вырабатывают сигнал готовности к выполнению следующей микрооперации.

Синхронные устройства, в принципе, имеют меньшее быстродействие, чем асинхронные, однако в них легко устраняются опасные состязания.

2.4. ОСНОВНЫЕ ТЕОРЕМЫ И ПОЛОЖЕНИЯ АЛГЕБРЫ ЛОГИКИ

Принцип двойственности.

Запишем алгоритм выполнения операций **ИЛИ** и **И**, расположив строки таблицы для операции **И** в обратном порядке – снизу вверх:

ИЛИ	$0 \dot{\cup} 0 = 0$	И	$1 \cdot 1 = 1$
	$0 \dot{\cup} 1 = 1$		$1 \cdot 0 = 0$
	$1 \dot{\cup} 0 = 1$		$0 \cdot 1 = 0$
	$1 \dot{\cup} 1 = 1$		$0 \cdot 0 = 0$

Если в этих таблицах переменные заменить их инверсиями, а знаки дизъюнкции на знаки конъюнкции и наоборот, то алгоритмы меняются местами. Таблица истинности для **ИЛИ** становится таблицей истинности для **И** и наоборот.

В этом состоит принцип двойственности, который в общем виде записывается так:

$$\overline{A \dot{U} B} = \bar{A} \dot{V} \bar{B}, \quad \overline{A \dot{V} B} = \bar{A} \dot{U} \bar{B}.$$

Для любого числа переменных это правило, называемое еще теоремой де Моргана, имеет вид:

$$\overline{A \dot{U} B \dot{U} C \dot{U} \dots} = \bar{A} \dot{V} \bar{B} \dot{V} \bar{C} \dot{V} \dots; \quad \overline{A \dot{V} B \dot{V} C \dot{V} \dots} = \bar{A} \dot{U} \bar{B} \dot{U} \bar{C} \dot{U} \dots$$

На практике принцип двойственности приводит к тому, что логический элемент, выполняющий в положительной логике операцию **И**, в случае отрицательной логики будет выполнять операцию **ИЛИ**. Для преобразования выражений алгебры логики с целью их упрощения или приведения к удобному виду используются, как и в обычной алгебре, скобки, а если их нет, то сначала выполняется отрицание (инверсия) над отдельными переменными, затем логическое умножение (конъюнкция), затем логическое сложение (дизъюнкция). Если же знак инверсии расположен над целым выражением, то она выполняется в последнюю очередь. В процессе преобразования формул используются теоремы алгебры логики.

Теоремы для одной переменной:

- | | | |
|-----------------------|-----------------------------|---------------------------|
| 1. $A \dot{U} 0 = A.$ | 4. $A \dot{U} \bar{A} = 1.$ | 7. $A \cdot A = A.$ |
| 2. $A \dot{U} 1 = 1.$ | 5. $A \cdot 0 = 0.$ | 8. $A \cdot \bar{A} = 0.$ |
| 3. $A \dot{U} A = A.$ | 6. $A \cdot 1 = A.$ | 9. $\bar{\bar{A}} = A.$ |

Эти теоремы легко проверяются подстановкой $A = 1$, $A = 0$ и остаются справедливыми (как и последующие) для случаев, когда под A понимают не только одно переменное, но и целое выражение.

Теоремы для двух и более переменных:

10. а) $A \dot{U} B = B \dot{U} A$, б) $AB = BA$ – *переместительный закон*,

означает, что все входы логического элемента равнозначны.

11. а) $A \dot{U} B \dot{U} C = A \dot{U} (B \dot{U} C) = (A \dot{U} B) \dot{U} C$,

б) $ABC = A(BC) = (AB)C$ – *сочетательный закон*.

12. а) $A(B \dot{U} C) = AB \dot{U} AC$, б) $A \dot{U} BC = (A \dot{U} B)(A \dot{U} C)$ – *распределительный закон*.

Данная теорема и все последующие вытекают из принципа двойственности. Применим его к выражению 12, а:

$$\bar{A} \dot{U} (\overline{B \dot{U} C}) = \bar{A} \dot{U} \bar{B} \dot{V} \bar{C} \quad \text{– левая часть,}$$

$$(\bar{A} \dot{U} \bar{B}) \dot{V} (\bar{A} \dot{U} \bar{C}) \quad \text{– правая часть.}$$

Введя новые обозначения: $\bar{A} = D, \bar{B} = E, \bar{C} = F$, получим: $D \dot{\cup} EF = (D \dot{\cup} E)(D \dot{\cup} F)$, а это и есть теорема 12, б.

13. а) $A \dot{\cup} AB = A$, б) $A(A \dot{\cup} B) = A$ – закон поглощения (A поглощает B).

Доказательство 13, а:

$A \dot{\cup} AB = A(1 \dot{\cup} B) = A \cdot 1 = A$, (используя теоремы 2, б).

Теорема 13, б следует из принципа двойственности.

14. а) $(A \dot{\cup} \bar{B})B = AB$, б) $A\bar{B} \dot{\cup} B = A \dot{\cup} B$.

Доказательство 14, а:

$(A \dot{\cup} \bar{B})B = AB \dot{\cup} \bar{B}B = AB \dot{\cup} 0 = AB$, (используя теоремы 8 и 1).

Теорема 14, б следует из принципа двойственности.

15. а) $AB \dot{\cup} \bar{A}B = B$, б) $(A \dot{\cup} B)(\bar{A} \dot{\cup} \bar{B}) = B$, закон склеивания (склеивание по A).

Доказательство 15, а:

$AB \dot{\cup} \bar{A}B = B(A \dot{\cup} \bar{A}) = B \cdot 1 = B$, (используя теоремы 4 и б).

Теорема 15, б следует из принципа двойственности.

Логические (булевы) функции

Булева функция (F) является результатом выполнения логических операций над двоичными переменными – аргументами (A, B, C, \dots) и полностью зависит от их значений.

Задать булеву функцию – значит указать ее значения, (0 или 1) при всех возможных комбинациях значений переменных.

Каждая комбинация аргументов называется набором, при N аргументах существует 2^N наборов.

Если известны значения функции на всех наборах аргументов, она называется полностью определенной. Если же на некоторых наборах значение функции не известно, то она называется *недоопределенной*, а соответствующие наборы – запрещенными наборами. В процессе упрощения функции ее значения на запрещенных наборах можно задать по своему усмотрению (доопределить функцию).

Логические функции могут иметь различные формы представления: словесную, табличную, алгебраическую, графическую..

Рассмотрим два примера словесного задания булевой функции.

Полностью определенная функция F_1 трех аргументов A, B, C принимает значение 1, если два любых аргумента (или все три) равны 1. В других случаях функция равна нулю. Количество наборов переменных равно $2^3 = 8$.

Недоопределенная функция F_2 трех аргументов A, B, C принимает значение 1, если два любых аргумента равны 1, и равна нулю в остальных случаях, кроме случаев однозначности всех трех аргументов.

Если пронумеровать наборы от 0 до $2^3 - 1$, эти словесно заданные функции можно представить в виде таблицы истинности (табл. 2.2).

Таблица 2.2

Номера наборов	A	B	C	F_1	F_2	F_3	F_4
0	0	0	0	0	–	0	0
1	0	0	1	0	0	0	1
2	0	1	0	0	0	0	1
3	0	1	1	1	1	0	1
4	1	0	0	0	0	0	1
5	1	0	1	1	1	0	1
6	1	1	0	1	1	0	1
7	1	1	1	1	–	1	1

Функция F_2 не определена на 0 и 7 наборах, где все три аргумента однозначны, поэтому в таблице 2.2 против этих наборов проставлены прочерки.

Отдельный интерес представляют функции F_3 и F_4 .

Конституентой единицы (F_3) называют функцию n аргументов, которая принимает значение, равное единице, только на одном наборе аргументов. На всех остальных наборах она равна нулю.

Конституентой нуля (F_4) называют функцию n аргументов, которая принимает значение, равное нулю, только на одном наборе аргументов.

От табличного задания булевой функции можно перейти к ее алгебраическому представлению, причем в двух формах: *совершенной дизъюнктивной нормальной форме* и *совершенной конъюнктивной нормальной форме*.

Совершенной дизъюнктивной нормальной формой (Сов ДНФ) функции называют дизъюнкцию конституент единицы – минтермов, взятых на тех наборах, на которых единице равна сама функция.

Минтерм – конъюнкция всех переменных в наборе, которые берутся в прямом виде, если их значение равно единице, либо в инверсном виде, если их значение в наборе равно нулю.

Функция F_1 в Сов ДНФ будет иметь вид:

$$F_1(A, B, C) = \bar{A}BC \dot{\cup} A\bar{B}C \dot{\cup} AB\bar{C} \dot{\cup} ABC.$$

Совершенной конъюнктивной нормальной формой (Сов КНФ) функции называют конъюнкцию конституент нуля – макстермов, взятых на тех наборах, на которых нулю равна сама функция.

Макстерм – дизъюнкция всех переменных в наборе, которые берутся в прямом виде, если их значение равно нулю, либо в инверсном виде, если их значение в наборе равно единице.

Функция F_1 в Сов КНФ примет вид:

$$F_1(A, B, C) = (A \dot{\cup} B \dot{\cup} C)(A \dot{\cup} B \dot{\cup} \bar{C})(A \dot{\cup} \bar{B} \dot{\cup} C)(\bar{A} \dot{\cup} B \dot{\cup} C).$$

Теоремы булевой алгебры позволяют достаточно просто перейти от одной формы представления булевой функции к другой. Однако, с точки зрения минимизации алгебраических выражений более удобна Сов ДНФ.

2.5. МИНИМИЗАЦИЯ БУЛЕВЫХ ФУНКЦИЙ

Аналитические методы минимизации

Используя законы булевой алгебры, можно получить для одной и той же логической функции множество эквивалентных представлений. Чем проще аналитическое выражение функции, тем экономичнее и проще ее практическая реализация на интегральных микросхемах. Сложность булевой функции определяется ее *рангом*, т.е. количеством переменных в ее конъюнктивных или дизъюнктивных членах.

Представление булевой функции в Сов ДНФ в большинстве случаев не является минимальным.

Используя операции поглощения и склеивания, его можно существенно упростить. Часто используется неполное склеивание, при котором оба члена, участвовавших в склеивании (или один из них), могут повторно склеиваться с другими оставшимися членами Сов ДНФ.

В процессе минимизации важно отыскать *смежные конститuenty*, которые отличаются только одним аргументом (в одну конститuentу аргумент входит с инверсией, а в другую – без нее).

Две смежные конститuenty, склеиваясь, образуют импликанту рангом на единицу ниже, чем исходные конститuenty.

Используя, например, неполное склеивание последней конститuenty в Сов ДНФ функции F_1 последовательно с остальными, приходим к следующему выражению:

$$\begin{aligned} F_1(A, B, C) &= (\bar{A}BC \dot{\cup} ABC) \dot{\cup} \bar{A}\bar{B}C \dot{\cup} A\bar{B}\bar{C} = \\ &= BC \dot{\cup} (\bar{A}\bar{B}C \dot{\cup} ABC) \dot{\cup} A\bar{B}\bar{C} = \\ &= BC \dot{\cup} AC \dot{\cup} (\bar{A}\bar{B}\bar{C} \dot{\cup} ABC) = BC \dot{\cup} AC \dot{\cup} AB. \end{aligned}$$

Процесс многоступенчатого склеивания приводит к импликантам, которые не склеиваются с другими. Такие импликанты называют простыми. Форма записи булевой функции в ДНФ, состоящая только

из простых импликант, называется *сокращенной дизъюнктивной нормальной формой* (Сокр ДНФ).

В некоторых случаях в Сокр ДНФ могут содержаться *лишние импликанты*, которые могут быть исключены без изменения значения функции.

Одним из методов отыскания лишних импликант является *метод испытания членов*: чтобы испытать некоторый член логической функции, следует исключить его из Сокр ДНФ и подставить в оставшееся выражение такие значения аргументов, которые обращают исключенный член в единицу. Если при такой подстановке оставшееся выражение окажется тождественно равным единице, то испытываемый член является лишним.

Найдем для примера *тупиковую* форму (без лишних импликант) Сокр ДНФ $F(A, B, C) = AC \dot{\cup} \bar{B}C \dot{\cup} \bar{A}\bar{B}$.

Испытаем член AC . $AC = 1$, если $A = 1$ и $C = 1$. Подставим в оставшееся выражение $F(A, B, C) = \overline{B}C \dot{\cup} \overline{A}\overline{B}$ $A = 1$ и $C = 1$, получим $F(A, B, C) = \overline{B} \times 1 \dot{\cup} 0 \times \overline{B}$. При $B = 0$ $F(A, B, C) = 1 \cdot 1 \dot{\cup} 0 \cdot 1 = 1$, но при $B = 1$ $F(A, B, C) = 0 \cdot 1 \dot{\cup} 0 \cdot 0 = 0$. Следовательно, член AC не лишний.

Испытаем член BC , равный 1 при $B = 0$, $C = 1$. При этом $F(A, B, C) = AC \dot{\cup} \overline{A}\overline{B} = A \times 1 \dot{\cup} \overline{A} \times 1$. Последнее выражение равно 1 как при $A = 1$, так и при $A = 0$. Поэтому член $\overline{B}C$ – лишний.

Испытание члена $\overline{A}\overline{B}$ по этой же методике показывает, что он не является лишним, в итоге тупиковая форма исходной функции имеет вид:

$$F(A, B, C) = AC \dot{\cup} \overline{A}\overline{B}.$$

Минимизация булевых функций с помощью карт Карно

Для минимизации функций относительно небольшого числа переменных (не более шести) наиболее простым и наглядным является графический метод, использующий карты Карно.

Карта Карно – это прямоугольник, разбитый на квадраты, число которых равно числу наборов рассматриваемой функции, т. е. 2^n . Клетки размечаются так, чтобы наборы, для которых возможны смежные конституенты, оказались бы в соседних клетках.

При заполнении карты Карно в ее клетки проставляют значения функции для соответствующих наборов, которые являются координатами клеток. Например, для функции двух переменных A и B (рис. 2.4) карта Карно имеет вид:

Номер набора	A	B	F
0	0	0	1
1	0	1	1
2	1	0	0
3	1	1	1

	\overline{B}	B
\overline{A}	№ 0	№ 1
A	№ 2	№ 3

Рис. 2.4. Карта Карно для булевой функции двух переменных

Единицы, представленные в клетках, обозначают конституенты единицы рассматриваемой функции. Отыскание минимальной ее формы сводится к определению варианта, при котором все конституенты единицы накрываются (охватываются контурами покрытия) наименьшим числом наиболее коротких импликант. Объединение клеток на карте эквивалентно выполнению операции склеивания.

Всегда нужно стремиться к минимальному количеству контуров и максимальной площади каждого из них, руководствуясь следующими правилами:

- площадь контура покрытия должна быть $S_k = 2^{m-i}$ клеток, где $i = 0, \dots, m$ – целое число, m – число переменных. Если, например, $m = 3$, то $S_k = 1, 2, 4$, или 8 клеток;
- число сокращаемых переменных $N_{\text{перем.}} = \log_2 S_k$, т.е. при $S_k = 1$ не сокращается ни одна переменная, при $S_k = 2$ сокращается одна переменная и т.д.

В примере на рис. 2.4 пара единиц верхней строки охватывается импликантой \bar{A} , т.е. обе клетки имеют общий аргумент \bar{A} . Пара единиц правого столбца накрывается импликантой B , как общей для обеих клеток. Следовательно, минимальная ДНФ функции $F(A, B) = \bar{A} \cup B$.

Если имеется несколько вариантов объединения конституент контурами, то можно получить несколько различных эквивалентных минимальных ДНФ функции, одна из которых выбирается для реализации в цифровом устройстве.

Карту Карно удобно использовать и для минимизации функций, заданных в алгебраической форме, например,

$$F(A, B, C) = ABC\bar{C} \cup \bar{A}BC\bar{C} \cup \bar{A}BC \cup A\bar{B}C \cup A\bar{B}\bar{C} \cup A\bar{B}C\bar{C}.$$

Карта Карно, состоящая из $2^3 = 8$ клеток, может быть размечена, как показано на рис. 2.5.

	\bar{B}	B	
\bar{A}	1	0	1
A	1	0	1
	\bar{C}	C	\bar{C}

Рис. 2.5. Карта Карно для функции трех переменных

При охвате единиц контурами склеивания карту Карно можно сворачивать в цилиндр, как вдоль горизонтальной, так и вертикальной оси. В результате все четыре единицы, расположенные в углах Карты, охватываются контуром с общей импликантой \bar{C} . Такой минимизации соответствует выражение

$$F(A, B, C) = \bar{C} \cup \bar{A}B \cup A\bar{B}.$$

Минимизация недоопределенных функций

Недоопределенность функции предполагает, что запрещенные наборы никогда не появятся в процессе работы устройства. Значит, такую функцию можно произвольно доопределить, установив ее значения на запрещенных наборах. Это не отразится на работе устройства, но может упростить его реализацию.

Пусть необходимо минимизировать булеву функцию, заданную картой Карно (рис. 2.6).

Если группировать единицы в контурах только по исходному заданию (рис. 2.6, а), то минимальная форма функции будет иметь вид:

$$F(A, B, C, D) = \bar{A}\bar{D} \cup \bar{B}\bar{C}\bar{D}.$$

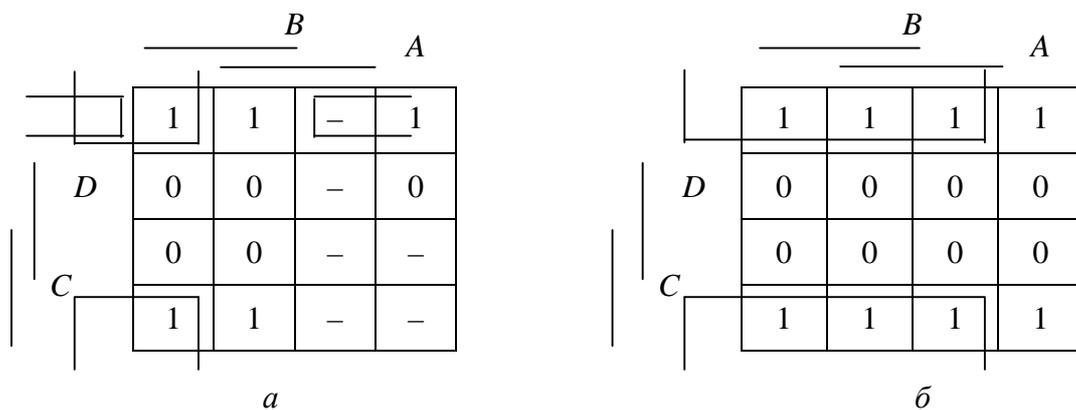


Рис. 2.6. Минимизация недоопределенной функции

После доопределения функции (рис. 2.6, б), ее минимальная ДНФ (заметим, что это будет уже другая полностью определенная функция j) оказывается предельно простой

$$j(A, B, C, D) = \bar{D}.$$

Функция j , значения которой совпадают со значениями заданной функции F на тех наборах, где F определена, называется *эквивалентной*. Таким образом, задача минимизации недоопределенной функции сводится к отысканию такой эквивалентной функции, которая имеет простейшую форму. При синтезе комбинационных схем всегда возникает вопрос выявления опасных состязаний, которые по характеру перехода устройства от одного состояния к другому разделяются на *статические* и *динамические* состязания. Статические состязания имеют место в случае, когда по алгоритму функционирования для двух соседних состояний значение логической функции остается неизменным. Динамические состязания могут возникнуть при формировании соседними входными состояниями алгоритмического перехода от нуля к единице или наоборот на выходе устройства. На практике большее внимание уделяют статическим состязаниям, с этой целью пользуются простым и удобным формальным критерием Хаффмена: *статические опасные состязания в устройстве с минимизированной структурой могут иметь место, если на карте Карно при охвате соседних клеток контурами склеивания окажутся хотя бы две соседние клетки, не покрытые контуром*.

Поэтому устранение опасных состязаний достигается возвращением импликант, которые оказались лишними при переходе от сокращенной к тупиковой ДНФ.

2.6. РЕАЛИЗАЦИЯ ЛОГИЧЕСКИХ ФУНКЦИЙ НА ЭЛЕМЕНТАХ И-НЕ, ИЛИ-НЕ

При реализации цифровых устройств стремятся сузить номенклатуру применяемых интегральных микросхем за счет использования только функционально полного базиса **И-НЕ** или только базиса **ИЛИ-НЕ**. Для этого миними-

зированные логические функции путем преобразований приводятся к соответствующему виду.

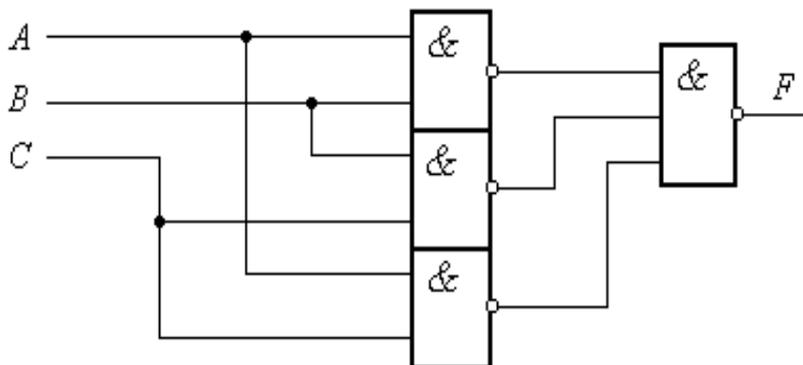
Пусть задана минимальная ДНФ функция вида:

$$F(A, B, C) = AB \dot{\cup} BC \dot{\cup} AC.$$

Применим к этому выражению двойное отрицание и теорему де Моргана

$$F = \overline{\overline{F}} = \overline{\overline{AB \dot{\cup} BC \dot{\cup} AC}} = \overline{(AB)(BC)(AC)}.$$

Как видно, после преобразования функция F включает только операции **И-НЕ**, и ее реализация в базисе **И-НЕ** имеет вид (рис. 2.7)



Р и с . 2.7. Реализация функции $F = AB \dot{\cup} BC \dot{\cup} AC$ в базисе И-НЕ

Аналогичным образом от КНФ функции можно перейти к ее форме, удобной для реализации в базисе **ИЛИ-НЕ**.

4. ИНТЕГРАЛЬНЫЕ ПОТЕНЦИАЛЬНЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ: СРАВНИТЕЛЬНАЯ КЛАССИФИКАЦИЯ, ОСНОВНЫЕ ПАРАМЕТРЫ

В процессе развития интегральной электроники выделилось несколько типов схем логических элементов, имеющих достаточно хорошие характеристики и удобных для реализации в интегральном исполнении, которые служат элементной базой современных цифровых микросхем.

Базовые элементы, независимо от их микросхемотехники и особенностей технологий изготовления, строятся в одном из базисов (как правило, в базисе **И–НЕ** или **ИЛИ–НЕ**).

Базовые элементы выпускаются в виде отдельных микросхем, либо входят в состав функциональных узлов и блоков, реализованных в виде СИС, БИС, СБИС.

В процессе реализации базовые логические элементы строят из двух частей: входной логики, выполняющей операции **И** или **ИЛИ**, и выходного каскада, выполняющего операцию **НЕ**.

Входная логика может быть выполнена на диодах, биполярных и полевых транзисторах. В зависимости от этого различают:

- транзисторно-транзисторную логику (ТТЛ), (ТТЛШ),
- интегральную инжекционную логику (I^2L),
- логику на МДП-транзисторах (МДП),
- МОП-транзисторная логика на комплементарных транзисторах (КМОП-логика).

В перечисленных группах логических элементов в качестве выходного каскада используется ключевая схема (инвертор).

Другая группа логических элементов основана на переключателях тока – эмиттерно-связанная логика (ЭСЛ-логика).

Транзисторно-транзисторная логика (ТТЛ)

Основой транзисторно-транзисторной логики является базовый элемент на основе многоэмиттерного транзистора Т1 (рис. 4.1), который легко реализуется в едином технологическом цикле с транзистором Т2. В ТТЛ-логике многоэмиттерный транзистор осуществляет в положительной логике операцию **И**, а на транзисторе Т2 собран инвертор. Таким образом, по данной схеме реализован базис **И–НЕ**.

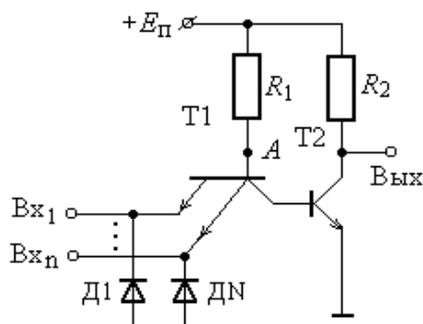


Рис. 4.1. Базовый элемент ТТЛ

В случае подачи на все входы схемы высокого потенциала, все переходы эмиттер–база транзистора Т1 окажутся запертыми так как потенциал в точке А примерно равен входным сигналам. В то же время, переход база–коллектор будет открытым, поэтому по цепи $E_{п} - R_1 -$ база Т1 – коллектор Т1 – база Т2 – эмиттер Т2 – корпус течет ток $I_{б\text{ нас}}$, который открывает транзистор Т2 и вводит его в насыщение. Потенциал на выходе схемы оказывается близким к нулю (на уровне $\approx 0,1$ В). Сопротивление R_1 подобрано

таким, чтобы, за счет падения напряжения на нем от тока $I_{6 \text{ нас}}$ транзистора Т2, потенциал в точке А был бы ниже, чем потенциал входов, и эмиттеры Т1 оставались бы запертыми.

При подаче низкого потенциала логического нуля хотя бы на один из входов открывается этот переход эмиттер–база транзистора Т1, появляется значительный ток I_3 и потенциал в точке А, равный $E_{\text{п}} - I_3 R_1$, приближается к нулевому. Разность потенциалов между базой и эмиттером Т2 также становится равной нулю, ток I_6 транзистора Т2 прекращается, и он закрывается (переходит в режим отсечки). В результате выходное напряжение приобретает значение, равное приблизительно напряжению питания (логической единицы).

Входные диоды Д1, ... , ДN предназначены для демпфирования (отсечки) отрицательных колебаний, которые могут присутствовать во входных сигналах за счет паразитных элементов предыдущих каскадов.

Существенным недостатком рассмотренной схемы элемента И–НЕ являются низкие нагрузочная способность и экономичность ее инвертора, поэтому в практических схемах используют более сложный инвертор.

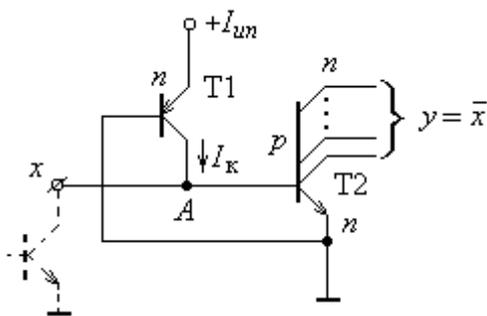
В конце 70-х годов началось широкое применение серий элементов на транзисторах Шоттки с повышенным быстродействием за счет уменьшения задержки выключения ключей. По принципу действия базовый элемент ТТЛШ аналогичен ТТЛ-элементу.

Необходимо заметить, что схемам ТТЛ и ТТЛШ свойственен большой логический перепад напряжений, равный

$$U_{\text{л}} = E_{\text{к}} - U_{\text{кэ нас}} \gg E_{\text{к}}.$$

Интегральная инжекционная логика (И²Л)

Схемы И²Л не имеют аналогов в дискретных транзисторных схемах, т. е. характерны именно для интегрального исполнения. Основой И²Л элементов является инвертор (рис. 4.2), составленный из двух транзисторов.



Р и с . 4.2. Базовый элемент инжекционной логики

Транзистор Т1 является транзистором *n-p-n* типа, а транзистор Т2 – *p-n-p* типа, причем одна из областей *n*-типа является как базой транзистора Т1, называемого инжектором (отсюда и название логики), так и эмиттером транзистора Т2, а база транзистора Т2 является коллектором инжектора. Функционально транзистор Т1 выполняет роль нагрузочного резистора, а Т2 – полупроводникового ключа.

Выходной транзистор – многоколлекторный, что обеспечивает развязку выходов друг от друга. Если ключевой транзистор предыдущей схемы открыт, то через него замыкается на корпус ток $I_{\text{к}}$ транзистора Т1, заданный внешним источником тока, и не поступает в базу транзистора Т2, оставляя его закрытым.

Если же ключевой транзистор предыдущей схемы заперт, то ток $I_{\text{к}}$ потечет в базу Т2 и вызовет его открывание. Таким образом рассматриваемый базовый

элемент реализует операцию **НЕ**, принимая открытое состояние Т2 за нуль, а запертое – за единицу.

Соединив параллельно (рис. 4.3) два базовых элемента, можно получить реализацию базиса **ИЛИ-НЕ**.

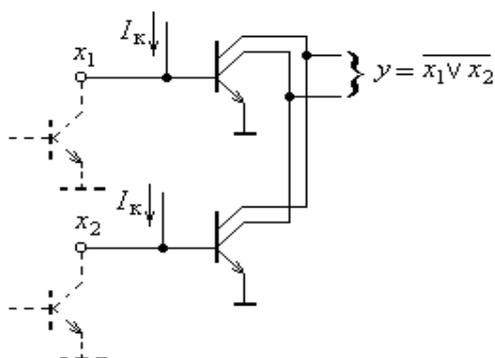


Рис. 4.3. Реализация схемы **ИЛИ-НЕ** в логике И²Л

В качестве источников тока питания $I_{\text{ип}}$ служат генераторы токов на $p-n-p$ транзисторах, включенных по схеме с общей базой. Из-за отсутствия в схеме резисторов и общих для обоих транзисторов областей p и n -типа схема очень техно-логична и в интегральном исполнении позволяет достичь плотности упаковки в 50 раз выше, чем при ТТЛ технологии.

При напряжении питания 1,5 В значение высокого потенциала составляет порядка 0,7 В, а низкого – 0,05 В. Так как транзистор Т1 представляет высокоомную нагрузку, потребляемая элементом мощность может быть снижена до чрезвычайно низкой величины (раз в 100 меньше, чем у ТТЛ-элементов). Поэтому элементы И²Л нашли широкое применение в БИС (серии КР582, 584).

В сериях ИС невысокой степени интеграции логика И²Л не эффективна из-за низкого логического перепада, равного 0,65 В, и поэтому, низкой помехоустойчивости. Кроме того, по быстродействию, вследствие глубокого насыщения транзисторов инвертора, И²Л-элементы уступают ТТЛШ-элементам.

Логические элементы на МДП-транзисторах

В настоящее время в логических схемах используются МДП-транзисторы с диэлектриком SiO₂ (МОП-транзисторы).

Анализ МОП-транзисторных логических элементов достаточно прост, т.к. из-за отсутствия входных токов их можно рассматривать отдельно от других элементов даже при работе в цепочке.

На рис. 4.4 показаны два варианта построения логических элементов на МОП-транзисторах с n -каналами.

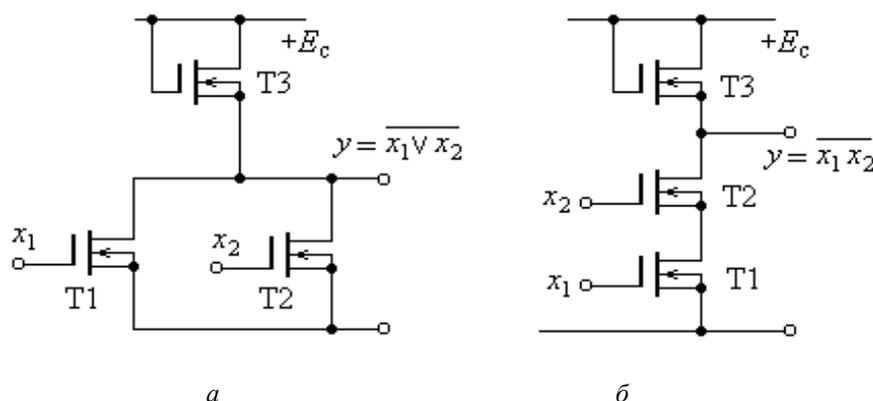


Рис. 4.4. Логические элементы на МОП-транзисторах:
а) – элемент **ИЛИ-НЕ**, б) – элемент **И-НЕ**

Транзисторы ТЗ выполняют роль нагрузки.

Логические уровни в обеих схемах не зависят от нагрузки и соответствуют выходным напряжениям открытого и закрытого ключа:

$$U_{\text{ВЫХ}}^0 \gg 0,1\text{В}, \quad U_{\text{ВЫХ}}^1 \gg E_c.$$

Соответственно, логический перепад составляет:

$$U_{\text{Л}} = U_{\text{ВЫХ}}^1 - U_{\text{ВЫХ}}^0 \gg E_c.$$

Напряжение питания E_c МОП-логики выбирают в 3...4 раза больше порогового напряжения U_o открывания транзисторов. Если $U_o = 1,5 \dots 3\text{В}$, то получаемый логический перепад в 5 ... 10В намного превышает значения, свойственные схемам И²Л, ЭСЛ и даже ТТЛ (при напряжении питания 4 ... 5В). Поэтому МОП-логика обладает повышенной помехоустойчивостью.

Более высоким быстродействием и низким энергопотреблением характеризуется логика на комплементарных транзисторах вследствие причин, рассмотренных ранее. По принципу действия и схемотехнике КМОП-логика очень близка МОП-логике.

Эмиттерно-связанная логика (ЭСЛ)

В основе схемы ЭСЛ лежит переключатель тока, в одно из плеч которого включено параллельно несколько транзисторов. Эти транзисторы равноправны – отпирание любого из них (или всех вместе) приводит к изменению логического состояния переключателя. Поэтому ЭСЛ-элементы выполняют логическую функцию **ИЛИ-НЕ**.

Вследствие ненасыщенного режима работы транзисторов логический перепад в схеме не превышает 0,65В.

Параметры интегральных логических элементов

Независимо от принадлежности к той или иной серии, все логические элементы характеризуются определенным одним и тем же набором параметров, которые являются справочными данными. Значения же этих параметров обусловлены схемотехническим, конструктивным и технологическим исполнением элементов.

Значения параметров, как правило, задаются с запасом и не исчерпывают физических возможностей микросхемы, однако превышать их не следует.

Оценивают микросхемы по следующим основным параметрам: быстродействию, напряжению питания, потребляемой мощности, коэффициенту разветвления по выходу, коэффициенту объединения по входу, помехоустойчивости, энергии переключения, надежности, стойкости к климатическим и механическим воздействиям. Проанализируем основные из них.

Уровни выходных напряжений

Техническими условиями для каждой серии логических элементов задаются наибольший и наименьший уровни выходных напряжений, соответствующих логическим единице и нулю при допустимых изменениях напряжения питания, нагрузки, температуры. Напряжение

$U_{\text{вых min}}^1$ соответствует минимальному уровню логической единицы на выходе (для ТТЛ $U_{\text{вых min}}^1 = 2,4\text{В}$), а напряжение $U_{\text{вых max}}^0$ – максимальному уровню логического нуля (для ТТЛ $U_{\text{вых max}}^0 = 0,4\text{В}$).

Статическая помехоустойчивость

Этот параметр определяет допустимое напряжение помех на входах микросхемы и оценивается для низкого и высокого уровней напряжения.

Статической помехоустойчивостью по низкому уровню считают разность $U_{\text{пом}}^0 = |U_{\text{вых max}}^0 - U_{\text{вх max}}^0|$, где $U_{\text{вых max}}^0$ – максимальное допустимое напряжение низкого уровня на выходе нагруженной микросхемы; $U_{\text{вх max}}^0$ – максимальное допустимое напряжение низкого уровня на входе нагружающей микросхемы.

Помехоустойчивость по высокому уровню определяют так: $U_{\text{пом}}^1 = |U_{\text{вых min}}^1 - U_{\text{вх min}}^1|$; здесь $U_{\text{вых min}}^1$ – минимальное напряжение высокого уровня на выходе нагруженной микросхемы; $U_{\text{вх min}}^1$ – минимальное допустимое напряжение высокого уровня на нагружающем входе.

ТТЛ, например, логика еще будет нормально работать, если на ее входе напряжение логического нуля достигнет 0,8В, а напряжение логической единицы снизится до 2В. Таким образом, гарантированный запас помехоустойчивости в обоих состояниях составляет 0,4В. Реальный же запас помехоустойчивости гораздо больше и превышает 1В.

Коэффициент разветвления по выходу

Этот параметр $K_{\text{раз}}$ (*нагрузочная способность*) определяет максимальное число входов элементов данной серии, которым можно нагружать выходы микросхемы без нарушения ее нормального функционирования.

Коэффициент объединения по входу

$K_{\text{об}}$ определяет число логических входов, которые имеет логический элемент. Простейшие логические элементы выпускаются с 2, 3, 4 и 8 входами. Более сложные устройства содержат и другие входы: адресные, установочные, разрешающие, входы синхронизации и др.

Входные токи

Эти параметры определяют нагрузку, которую представляет рассматриваемая схема, на предшествующую схему или другой источник сигнала. Различают входные токи $I_{\text{вх}}^0$ и $I_{\text{вх}}^1$ при подаче логических нуля или единицы.

Средняя статическая потребляемая мощность

Определяется следующим образом: $P_{\text{ст. ср.}} = \frac{1}{2}(P_{\text{пот}}^0 + P_{\text{пот}}^1)$, где $P_{\text{пот}}^0$ и $P_{\text{пот}}^1$ – мощности, потребляемые интегральным логическим элементом в состоянии логического нуля и логической единицы. Это вытекает из того, что в сложных многоэлементных устройствах в среднем половина логических элементов находится в состоянии 1, а половина – в состоянии 0.

Быстродействие

Характеризуется максимальной частотой смены входных сигналов, при которой еще не нарушается нормальное функционирование устройства.

Инерционность полупроводниковых приборов и паразитные емкости служат причиной того, что каждое переключение сопровождается переходными процессами, отчего фронты импульсов растягиваются.

Для оценки временных свойств микросхем обычно пользуются *задержкой распространения сигнала*, которая представляет собой интервал времени между входным и выходным импульсами, измеренными на уровне 0,5. Задержки распространения сигнала при включении $t_{\text{зд.р.}}^{1,0}$ и при выключении $t_{\text{зд.р.}}^{0,1}$ не равны, поэтому пользуются усредненным параметром $t_{\text{зд.р. ср.}} = 0,5(t_{\text{зд.р.}}^{1,0} + t_{\text{зд.р.}}^{0,1})$.

Для последовательностных устройств (триггеры, счетчики и др.) вводятся некоторые дополнительные временные параметры, обусловленные принципом действия: разрешающее время, длительность входного импульса и др.

В общем случае анализ физических, технологических и схемотехнических особенностей интегральных логических элементов показывает, что можно создать различные их варианты, но их особенностью будут либо относительно высокое (высокое) быстродействие при низкой экономичности, либо высокая экономичность при относительно низком (низком) быстродействии. Обобщенные характеристики известных типов интегральных логических элементов приведены в таблице 4.1.

Таблица 4.1

Тип логики	$P_{\text{ст. ср.}}$, мВт	$t_{\text{зд.р. ср.}}$, нс	$U_{\text{пом}}$, В	$K_{\text{об}}$	$K_{\text{раз}}$
ТТЛ	1 – 20	5 – 20	0,8 – 1	2 – 8	10 – 30
ТТЛШ		2 – 10	0,5 – 0,8		10 – 40
ЭСЛ	20 – 50	0,5 – 2	0,2 – 0,3	2 – 8	1 – 20
И ² Л	0,01 – 0,1	10 – 100	0,02 – 0,05	1	3 – 5
МОП	1 – 10	20 – 200	2 – 3	2 – 8	10 – 20
КМОП	0,01 – 0,1	10 – 50	1 – 2		

Как видно из таблицы, наиболее быстродействующими являются в настоящее время схемы ЭСЛ и ТТЛШ, наиболее экономичными – схемы И²Л и КМОП.

5. МИКРОЭЛЕКТРОННЫЕ ФУНКЦИОНАЛЬНЫЕ ЦИФРОВЫЕ УЗЛЫ КОМБИНАЦИОННОГО ТИПА

Интегральные логические элементы являются основой для построения цифровых устройств, выполняющих более сложные операции и относящихся к классу комбинационных устройств.

Основные из них: дешифраторы и шифраторы; мультиплексоры и демультимплексоры; двоичные сумматоры; цифровые компараторы и мажоритарные элементы; преобразователи кодов и др.

Сумматоры

Сумматорами называются цифровые функциональные устройства, предназначенные для выполнения операции сложения чисел, представленных в различных кодах.

По характеру действия сумматоры подразделяются на комбинационные, не имеющие элементов памяти, и накапливающие – запоминающие результаты вычислений при снятии входных сигналов.

В дальнейшем будут рассматриваться только комбинационные сумматоры, на основе которых выполняется большинство суммирующих ИС.

Сумматор по модулю два. Это устройство с двумя входами (a и b), на выходе у которого сигнал «1» появляется только в том случае, когда на входах действуют противоположные сигналы, т. е. «0» и «1». Сумматор не обладает памятью, а его таблица истинности и логическое уравнение имеют вид:

a	b	y
0	0	0
0	1	1
1	0	1
1	1	0

$$y = \bar{a}b \dot{\cup} a\bar{b}.$$

Название «по модулю два» этот сумматор получил потому, что y соответствует значению младшего разряда при суммировании одноразрядных двоичных чисел A и B . Построим в базисе **И–НЕ**

схему сумматора по модулю два. Для этого преобразуем его логическое уравнение, применив к нему последовательно двойное отрицание и теорему де Моргана:

$$y = \bar{a}b \dot{\cup} a\bar{b} = \overline{\overline{\bar{a}b} \dot{\cup} \overline{a\bar{b}}} = \overline{\overline{\bar{a}b} \times \overline{a\bar{b}}}.$$

Тогда логическая схема сумматора примет вид (рис. 5.1):

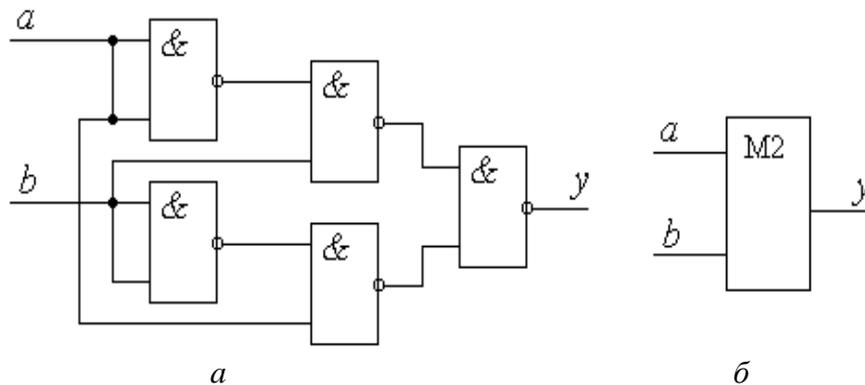


Рис. 5.1. Реализация сумматора по модулю два:
 a – принципиальная схема; b – функциональная схема

Полусумматор. Обеспечивает операцию сложения двух одноразрядных двоичных чисел a и b . Так как при $a = 1$ и $b = 1$ получается перенос единицы в следующий разряд, полусумматор должен иметь два выхода: с одного снимается сигнал суммы по модулю два, а с другого соответственно – сигнал переноса. Таблица истинности полусумматора и его логические уравнения имеют вид:

a	b	S'	P'
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$S' = \bar{a}b \dot{\cup} a\bar{b}$$

$$P' = ab$$

Реализация полусумматора в базисе **И–НЕ** представлена на рис. 5.2

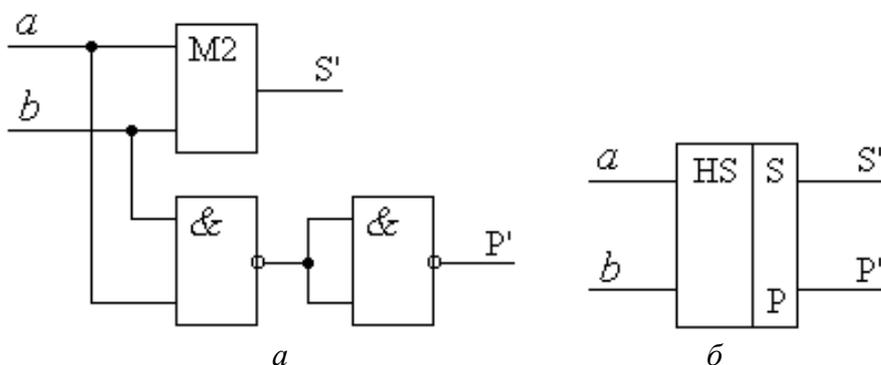


Рис. 5.2. Схема полусумматора:

a – реализация в базисе **И–НЕ**; b – условное обозначение

Условное обозначение полусумматора на схемах – HS (halfsum – полусумма), а полного сумматора – SM.

Полный сумматор. Это устройство для сложения трех одноразрядных двоичных чисел a, b, c , где c – сигнал переноса из предыдущего младшего разряда. Имеет два выхода S (сумма) и P (перенос). Полный сумматор можно построить из двух полусумматоров (рис. 5.3), отсюда и название – полусумматор, используя следующие логические уравнения

$$S_i = \bar{P}_i \bar{a}_i b_i \dot{\cup} \bar{P}_i a_i \bar{b}_i \dot{\cup} P_i \bar{a}_i \bar{b}_i \dot{\cup} P_i a_i b_i$$

$$P_{i+1} = \bar{P}_i a_i b_i \dot{\cup} P_i \bar{a}_i b_i \dot{\cup} P_i a_i \bar{b}_i \dot{\cup} P_i a_i b_i = a_i b_i \dot{\cup} P_i a_i \dot{\cup} P_i b_i$$

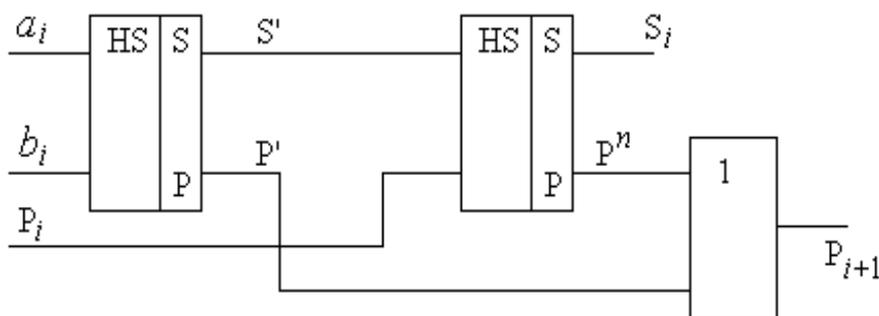


Рис. 5.3. Полный сумматор

На основе полного сумматора можно построить суммирующие устройства параллельного или последовательного действия для сложения многоразрядных двоичных чисел.

В цифровой схемотехнике операцию вычитания обычно заменяют сложением уменьшаемого с вычитаемым, представленным в дополнительном коде, поэтому вычитатели могут быть выполнены на основе сумматоров.

Дешифраторы, шифраторы, преобразователи кодов

Дешифратор. Комбинационное устройство, позволяющее преобразовать n -разрядный двоичный код в позиционный 2^n -разрядный код. Имеет n входов и 2^n или меньше выходов. В зависимости от входного набора сигнал 1 появится только на одном определенном выходе, а на всех остальных выходах будут сигналы 0.

Таблица истинности полного дешифратора, например, на три входа имеет вид (табл.5.1):

Таблица 5.1

Номер входного набора	Входы			Выходы							
	x_3	x_2	x_1	y_0	y_1	y_2	y_3	y_4	y_5	y_6	y_7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1

Логические функции выходов дешифратора:

$$y_0 = \bar{x}_3 \bar{x}_2 \bar{x}_1 \qquad y_4 = x_3 \bar{x}_2 \bar{x}_1$$

$$y_1 = \bar{x}_3 \bar{x}_2 x_1 \qquad y_5 = x_3 \bar{x}_2 x_1$$

$$y_2 = \bar{x}_3 x_2 \bar{x}_1 \qquad y_6 = x_3 x_2 \bar{x}_1$$

$$y_3 = \bar{x}_3 x_2 x_1 \qquad y_7 = x_3 x_2 x_1$$

По способу реализации дешифраторы могут быть линейные, прямоугольные и пирамидальные.

Более совершенными являются пирамидальные дешифраторы, относящиеся к многоступенчатым структурам и содержащие ряд логических элементов для выделения общих частей функций.

В ниже следующей таблице дана сравнительная оценка линейных, пирамидальных и прямоугольных дешифраторов по аппаратным затратам $N_{ЛЭ}$ в пересчете на 2-входные ЛЭ для m -разрядного входного кода (табл. 5.2).

Таблица 5.2

Тип дешифратора		m						
		2	3	4	5	6	7	8
$N_{ЛЭ}$	Линейный	4	16	48	128	320	768	1792
	Пирамидальный	4	12	28	60	124	252	508
	Прямоугольный	4	12	24	48	88	164	304

Как видно из таблицы 5.2, преимущества многоступенчатых дешифраторов заметно нарастают с увеличением m . В специализированных ИС тем не менее предпочтение часто отдают более простым линейным (одноступенчатым) дешифраторам, обладающим к тому же повышенным быстродействием.

Шифратор. Это комбинационное устройство, преобразующее управляющий сигнал на одном из входов в соответствующий двоичный код.

Для шифратора на четыре входа и два выхода, например, логические уравнения в ДНФ, полученные из таблицы, имеют следующий вид:

Номер набора	x_1	x_2	x_3	x_4	y_1	y_2
0	0	0	0	1	0	0
1	0	0	1	0	0	1
2	0	1	0	0	1	0
3	1	0	0	0	1	1

$$y_1 = \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 \dot{\cup} x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4;$$

$$y_2 = \bar{x}_1 \bar{x}_2 x_3 \bar{x}_4 \dot{\cup} x_1 \bar{x}_2 \bar{x}_3 \bar{x}_4.$$

Наибольшее применение шифраторы находят в цифровых устройствах ввода информации с пультов управления для преобразования десятичных чисел в двоичный код. При нажатии на клавишу на один их входов шифратора подается логическая единица (на остальные – логические нули), на выходе формируется соответствующий двоичный код.

Условное обозначение дешифратора и шифратора приведено на рис. 5.4:

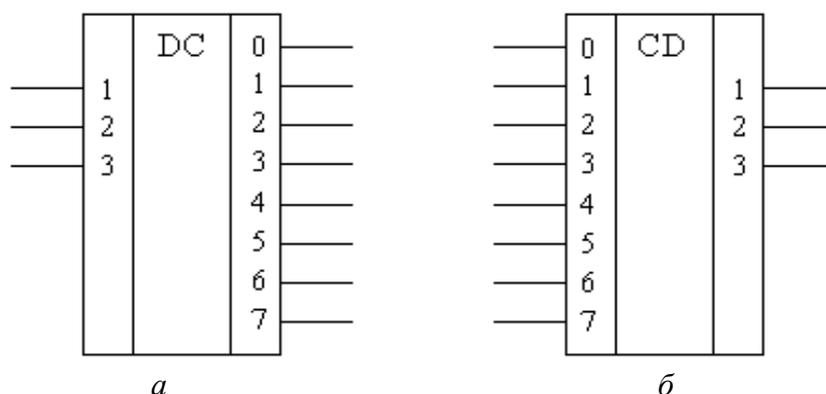


Рис. 5.4. Условное обозначение: *a* – дешифратор; *б* – шифратор

Преобразователи кодов. Это устройства для автоматического изменения по заданному алгоритму соответствия между входным и

выходным кодами без изменения их смыслового содержания.

По другому, преобразователь кода представляет собой устройство с m входами и n выходами, взаимно и однозначно преобразующее входные слова из некоторого алфавита $\{X_1, X_2, \dots, X_p\}$ и выходные слова другого алфавита $\{Y_1, Y_2, \dots, Y_u\}$.

Задача преобразования кодов возникает прежде всего в связи с необходимостью сведения цифровых устройств с разнообразными способами кодирования в единую систему.

Для преобразования параллельных двоичных кодов можно построить достаточно простые преобразователи на комбинационных логических схемах. Однако на практике это часто осуществляется алгоритмическим путем, используя запоминающие устройства.

Мультиплексоры, демультиплексоры

Демультиплексоры (распределители). Устройства, передающие сигнал, поступивший на его вход x , на один из S выходов в зависимости от управляющего сигнала (УС), заданного двоичным кодом.

Структура демультиплексора имеет вид (рис. 5.5):

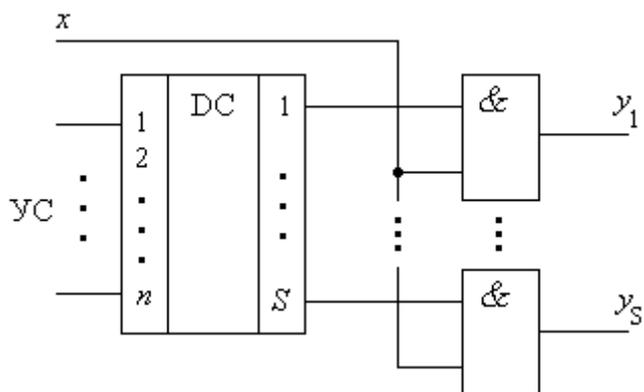


Рис. 5.5. Структура демультиплексора

Демультиплексоры по своей логике работы близки к дешифраторам. Если на вход x подать логическую единицу, то показанный на рис. 5.5 демультиплексор превращается в дешифратор. Поэтому некоторые промышленно выпускаемые дешифраторы могут выполнять функции демультиплексоров.

Мультиплексор. Устройство для коммутации информации, поступающей по нескольким входным каналам, на один выходной канал в зависимости от управляющего сигнала, заданного двоичным кодом.

Если мультиплексор имеет n -разрядный управляющий сигнал, то количество коммутируемых входов составит 2^n (рис. 5.6).

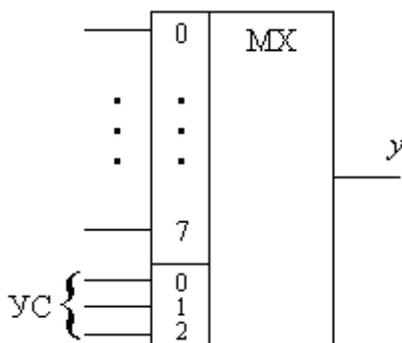


Рис. 5.6. Условное обозначение мультиплексора

Цифровые компараторы

Компаратором называется устройство сравнения кодов нескольких чисел. В общем случае компаратор параллельных кодов двух m -разрядных двоичных чисел представляет собой комбинационную схему с $2m$ входами и тремя выходами («равно», «больше», «меньше»). При поступлении на входы кодов двух сравниваемых чисел сигнал логической единицы, в зависимости от результатов сравнения, появляется только на одном из выходов. В некоторых случаях компаратор может иметь менее трех выходов.

Одноразрядный компаратор имеет два входа на которые одновременно поступают одноразрядные двоичные числа x_1 и x_2 , и три выхода ($=$, $>$, $<$).

Из таблицы истинности логические уравнения компаратора при сравнении x_1 с x_2 получаются в виде

x_1	x_2	$y^=$	$y^>$	$y^<$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

$$y^= = x_1 x_2 \cup \bar{x}_1 \bar{x}_2,$$

$$y^> = x_1 \bar{x}_2,$$

$$y^< = \bar{x}_1 x_2.$$

Реализация такого компаратора в базисе **И–НЕ** приводит к следующей схеме (рис. 5.7):

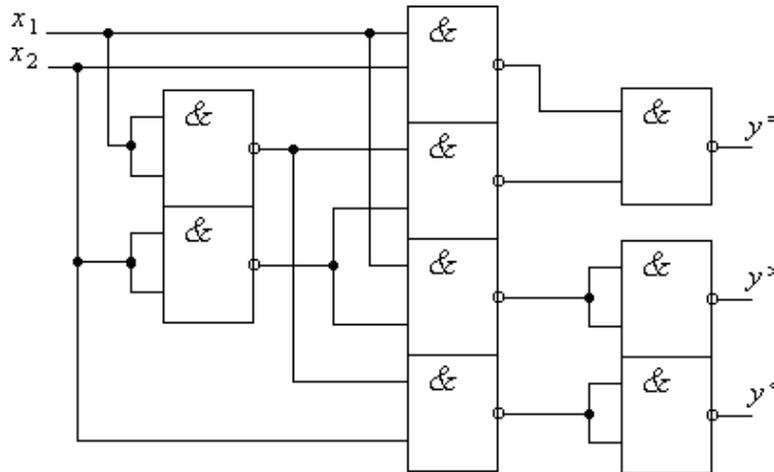


Рис. 5.7. Одноразрядный компаратор двоичных чисел

Многоразрядные компараторы обычно выполняют на базе одноразрядных. При этом используется принцип последовательного сравнения разрядов много-разрядных чисел, начиная с их старших разрядов, так как уже на этом этапе, если $x_{1m} \neq x_{2m}$, задача может быть решена однозначно, и сравнение следующих за старшими разрядов не потребуется.

6. ИНТЕГРАЛЬНЫЕ ТРИГГЕРЫ

Триггером называется устройство, имеющее два устойчивых состояния и способное под действием управляющих сигналов скачкообразно переходить из одного состояния в другое.

Можно выделить две основные области их применения: формирование импульсов и работу в качестве элементарных автоматов цифровых устройств.

Как формователи, триггеры позволяют получать стандартные по амплитуде прямоугольные импульсы с малой длительностью фронта и среза, практически не зависящей от скорости изменения управляющего сигнала. В роли цифровых автоматов с двумя внутренними состояниями различные типы триггеров выполняют функции ячеек памяти, каскадов задержки, пересчетных ячеек и т. д.

Триггер, как элементарный конечный автомат, характеризуется следующими свойствами:

- число внутренних состояний – два (единица и нуль), что соответствует одной внутренней переменной, обозначаемой для триггеров буквой Q ;
- число выходных переменных y – одно, значение переменной y совпадает со значением Q ;
- число входных переменных x зависит от типа триггера.

Наряду с выходом Q , называемым прямым, триггер имеет и инверсный выход \bar{Q} . Состояние триггера определяется значением его прямого выхода.

Все известные на сегодняшний день триггеры по функциональному признаку можно разделить на четыре основных типа:

- *RS*-триггеры – триггеры с двумя установочными входами;
- *D*-триггеры – триггеры задержки с одним входом;
- *T*-триггеры – триггеры с одним счетным входом;
- универсальные триггеры с несколькими входами.

Как и любые цифровые автоматы, триггеры могут быть асинхронными и синхронными.

Различают также триггеры со статическими и динамическими входами. Входы, управляемые потенциалами (уровнями напряжений), называются *статическими* (включая и входы синхронизации). Причем, если триггер переключается сигналами логической единицы, то его называют триггером с *прямым управлением*, в противном случае – триггером с *инверсным управлением*.

Входы же управляемые перепадами потенциалов называют *динамическими*.

6.1. RS-ТРИГГЕРЫ

Асинхронный RS-триггер. В простейшем исполнении триггер это симметричная структура из двух логических элементов **ИЛИ–НЕ** либо **И–НЕ**, охваченных перекрестной положительной обратной связью. Схема триггера на элементах **ИЛИ–НЕ** и его условное обозначение на электрических схемах приведены на рис. 6.1.

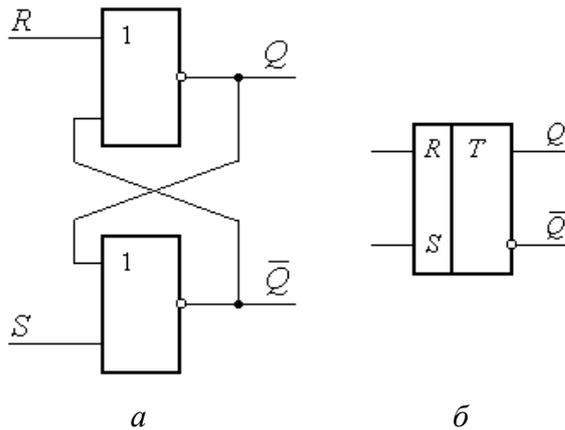


Рис. 6.1. Асинхронный RS-триггер на элементах ИЛИ-НЕ: а – логическая структура; б – условное обозначение

Этот триггер (бистабильная ячейка) обладает двумя устойчивыми состояниями, которые обеспечиваются за счет положительной обратной связи выхода каждого элемента с одним из входов другого. Свободные входы служат для управления и называются информационными или логическими. Одному из выходов присвоено наименование прямого, его обозначают символом Q , а другому – наименование инверсного выхода и его обозначают, соответственно, символом \bar{Q} .

Вход, по которому триггер устанавливается в единичное состояние ($Q = 1, \bar{Q} = 0$), называют входом S (от английского Set – установка), а в нулевое ($Q = 0, \bar{Q} = 1$) – входом R (reset – возврат).

Работа триггера характеризуется таблицей переходов состояний (табл. 6.1), из которой следует, что на двух наборах переменных ($S^n = R^n = 1, Q^n = 0$ и $S^n = R^n = 1$ и $Q^n = 1$) его состояние не определено. Карта Карно для нахождения логической функции переходов RS-триггера приведена на рис. 6.2.

Таблица 6.1

Такт t^n			Такт t^{n+1}
R^n	S^n	Q^n	Q^{n+1}
0	0	0	0
0	1	0	1
1	0	0	0
1	1	0	–
0	0	1	1
0	1	1	1
1	0	1	0
1	1	1	–

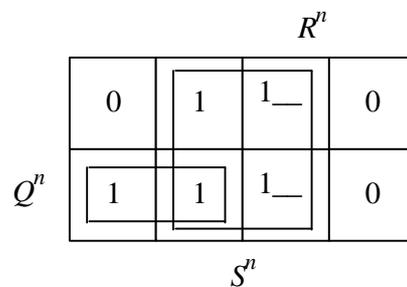


Рис. 6.2. Карта Карно функции переходов RS-триггера

Доопределив карту единицами на запрещенных наборах и применив правила минимизации, получим

$$Q^{n+1} = S^n \dot{\bar{R}}^n Q^n.$$

Возможны следующие состояния триггера, в зависимости от комбинации входных сигналов:

- $S^n, R^n = 0$, сигнал на выходе может быть $Q^{n+1} = 1$ или $Q^{n+1} = 0$, что соответствует нейтральному состоянию (режим хранения информации);
- $S^n = 1, R^n = 0, Q^{n+1} = 1$ – установка триггера в единичное состояние;
- $S^n = 0, R^n = 1, Q^{n+1} = 0$ – установка в нулевое состояние;

- $S^n = 1, R^n = 1$ – состояние не определено. Если затем входная комбинация станет $S^n = 0, R^n = 0$, то триггер с равной вероятностью может установиться или в нулевое, или в единичное состояние, поэтому входная комбинация $S^n = 1, R^n = 1$ недопустима.

Минимизированная таблица состояний RS -триггера и его временная диаграмма имеют вид (рис. 6.3):

Такт t^n		Такт t^{n+1}
R^n	S^n	Q^{n+1}
0	0	Q^n
0	1	1
1	0	0
1	1	н/о

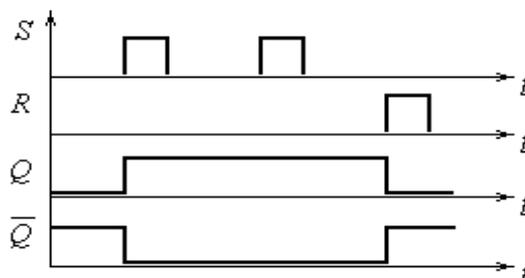


Рис. 6.3. Минимизированная таблица состояний RS -триггера и его временная диаграмма работы

При синтезе устройств на триггерах возникает задача определения требуемых входных комбинаций для перехода триггера из одного (заданного) состояния Q^n в другое (требуемое) Q^{n+1} .

Эту задачу удобно решать с помощью таблицы, называемой *матрицей переходов*.

Рассмотрим функцию переходов RS -триггера для всех возможных изменений его выхода $Q^n \textcircled{R} Q^{n+1}$:

$$0 \textcircled{R} 0; 0 \textcircled{R} 1; 1 \textcircled{R} 0; 1 \textcircled{R} 1.$$

С учетом этого, получим систему уравнений

$$\begin{aligned} 0 &= S \cup \bar{R} \times 0 & 0 &= S \cup \bar{R} \times 1 \\ 1 &= S \cup \bar{R} \times 0 & 1 &= S \cup \bar{R} \times 1. \end{aligned}$$

Результаты анализа этих уравнений позволяют составить матрицу переходов RS -триггера (табл. 6.2). Матрица переходов позволяет найти такие сочетания входных сигналов R и S , которые обеспечивают требуемое состояние триггера при переходе из такта n в такт $(n + 1)$ с учетом его предыдущего состояния.

Результаты анализа этих уравнений позволяют составить матрицу переходов RS -триггера (табл. 6.2). Матрица переходов позволяет найти такие сочетания входных сигналов R и S , которые обеспечивают требуемое состояние триггера при переходе из такта n в такт $(n + 1)$ с учетом его предыдущего состояния.

Таблица 6.2

$Q^n \textcircled{R} Q^{n+1}$	R^n	S^n
0	*	0
0	0	1
1	1	0
1	0	*

Примечание. Звездочка (*) означает, что значение сигнала может быть любым (нулем или единицей)

Если RS -триггер выполнить на элементах **И–НЕ**, то получим схему, приведенную на рис. 6.4.

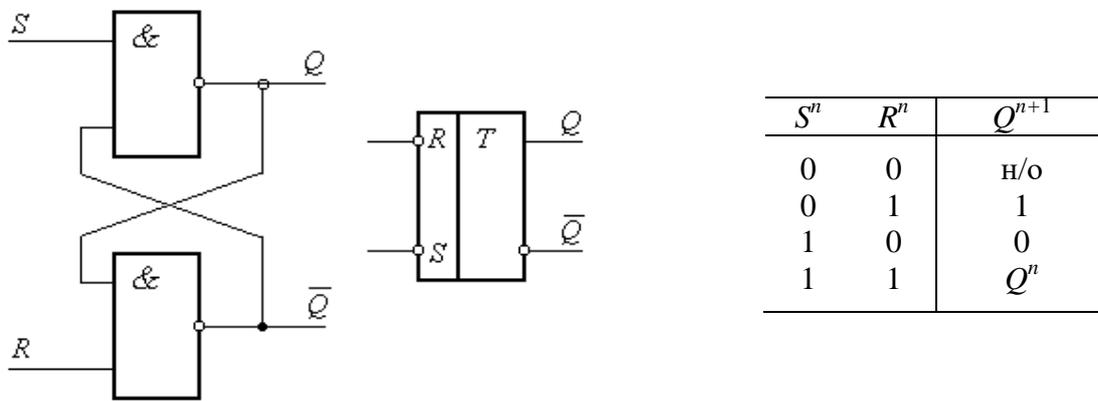


Рис.6.4. RS -триггер на элементах **И-НЕ**, его условное обозначение и таблица состояний

Такой вариант триггера называют \overline{RS} -триггером или RS -триггером с инверсным управлением.

Синхронный RS -триггер. Известно, что из-за задержек переключения логических элементов могут возникнуть ложные состояния. Устранить это помогает временное стробирование. Временное стробирование обеспечивается синхронизирующими (тактовыми) импульсами, поэтому в синхронном RS -триггере кроме информационных входов R и S имеется вход C , на который подается синхронизирующий сигнал (рис. 6.5).

Такой триггер функционирует как RS -триггер только при условии наличия синхронизирующих сигналов. В противном случае, т.е. при отсутствии синхронизирующих сигналов, состояние его сохраняется неизменным $Q^{n+1} = Q^n$, какие бы сигналы ни подавались на информационные входы, причем возможна подача сочетания $R=S=1$ (или $R=S=0$ для триггера с инверсными входами).

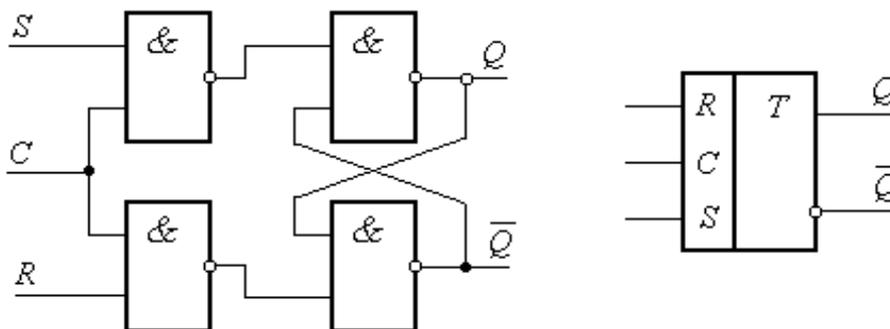


Рис.6.5. Синхронный RS -триггер с прямыми статическими входами на элементах **И-НЕ** и его условное обозначение

Специфика синхронных триггеров со статическим управлением по входу синхронизации такова, что в течение времени действия тактового сигнала, смена сигналов на информационных входах вызывает новые срабатывания триггера. Следовательно, синхронные триггеры со статическим управлением при активном состоянии тактового входа ведут себя подобно асинхронным. Во многих случаях это свойство является недостатком, так как может оказаться причиной сбоев в цифровых устройствах.

От этого свободны триггеры с динамическим и двух ступенчатым управлением. Триггеры с динамическим управлением в зависимости от схемы испол-

нения реагируют на перепад напряжения от нуля к единице, либо от единицы к нулю. Таким образом, сигналы, поступающие на динамический вход, воспринимаются только в те моменты времени, когда их состояние изменяется определенным образом.

На рис. 6.6. приведено условное обозначение двух вариантов синхронных *RS*-триггеров с динамическими входами синхронизации.

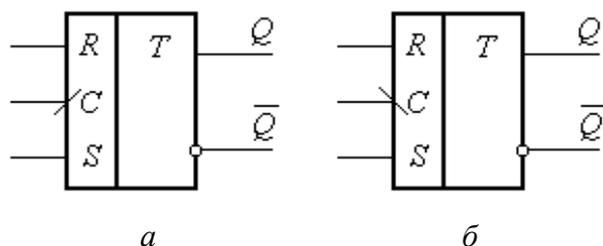


Рис. 6.6. Условное обозначение синхронных *RS*-триггеров: *a* – тактирование перепадом напряжения 0 @ 1; *б* – тактирование перепадом напряжения 1 @ 0

Двухступенчатые же триггеры содержат первую ступень для промежуточной записи входной информации и вторую – для ее последующего запоминания и хранения. У двухступенчатых триггеров формирование нового состояния происходит за два такта, поэтому их иногда называют двухтактными.

Функциональные свойства всей триггерной системы определяются первой ступенью, вторая ступень

обычно представляет собой синхронный *RS*-триггер со статическим управлением.

6.2. D-ТРИГГЕРЫ

Функциональная особенность триггеров этого типа состоит в том, что сигнал на выходе *Q* в такте (*n*+1) равен значению сигнала на входе *D* в предыдущем такте *n*. Другими словами, *D*-триггер задерживает на один такт информацию, существовавшую на входе *D*. Триггер принял свое название от первой буквы английского слова delay – задержка. Логическое уравнение *D*-триггера имеет вид:

$$Q^{n+1} = D^n.$$

Асинхронный *D*-триггер не имеет смысла, так как его выход просто повторяет входной сигнал после окончания переходного процесса, поэтому все реальные *D*-триггеры выполняются тактируемыми и функционируют в соответствии с табл. 6.3.

Таблица 6.3

<i>C</i>	<i>Dⁿ</i>	<i>Qⁿ</i>	<i>Qⁿ⁺¹</i>
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

Смена состояний триггера происходит под действием тактового импульса (*C*=1), т. е. хранение информации в *D*-триггере обеспечивается цепями синхронизации. Управление по входу тактирования может быть статическим, динамическим, а также

Таблица 6.4

<i>Qⁿ</i> @ <i>Qⁿ⁺¹</i>	<i>Dⁿ</i>
0 0	0
0 1	1
1 0	0
1 1	1

двухступенчатым.

Матрица переходов *D*-триггера приве-

дена в (табл. 6.4).

Структурная логическая схема простейшего D -триггера со статическими входами, выполненного на ЛЭ И-НЕ, и его условное обозначение представлены на рис.6.7.

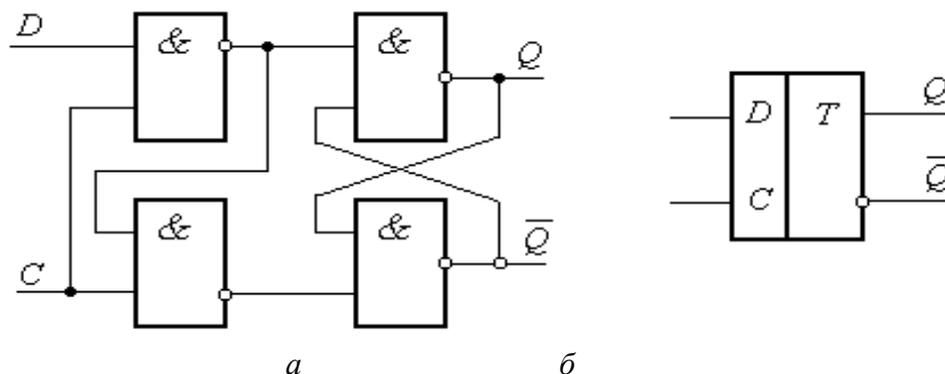


Рис.6.7. Пример D -триггера со статическим управлением уровнем $C = 1 - a$ и его обозначение – б

6.3. T-ТРИГГЕРЫ

Триггер T -типа, или счетный триггер является основой всех пересчетных схем и имеет один информационный T -вход. Смена состояния такого триггера на *противоположное* происходит всякий раз, когда входной сигнал меняет свое значение в определенном направлении. В зависимости от того, какой перепад напряжения используется для управления (от нуля к единице или от единицы к нулю), различают счетные триггеры с прямым (T -триггеры) или инверсным (\bar{T} -триггеры) динамическим управлением.

По способу ввода входной информации T -триггеры могут быть асинхронными и синхронными.

Уравнение T -триггера имеет вид

$$Q^{n+1} = Q^n \bar{T} \cup \bar{Q}^n T.$$

Порядок смены состояний T и \bar{T} -триггеров приведен в табл. 6.5, а их временные диаграммы работы на рис. 6.8.

Таблица 6.5

T -триггер		\bar{T} -триггер
T^n	Q^{n+1}	Q^{n+1}
0	Q^n	Q^n
	\bar{Q}^n	Q^n
	Q^n	\bar{Q}^n
1	Q^n	Q^n

Особенностью T -триггера является в два раза меньшая частота выходных сигналов по сравнению с частотой сигналов на входе. Это позволяет использовать его в качестве делителя частоты последовательности импульсов на два, а также при создании двоичных счетчиков.

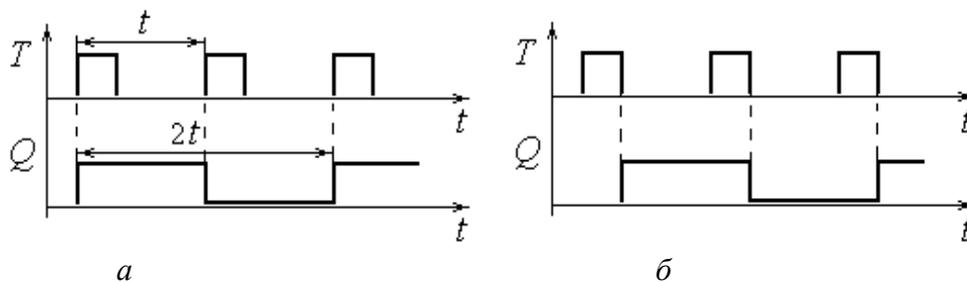


Рис. 6.8. Таблица состояний T -триггеров и временные диаграммы их работы: а – T -триггера; б – \bar{T} -триггера

Счетные триггеры как самостоятельные микросэлектронные изделия не выпускаются промышленно, так как их легко получить из других типов триггеров, например из D -триггеров (рис. 6.9).

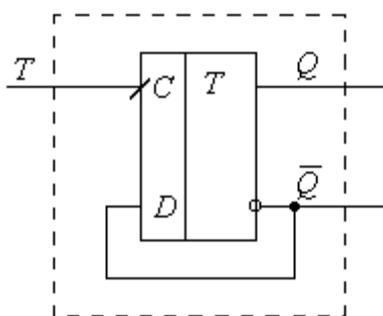


Рис. 6.9. Реализация счетного триггера на основе D -триггера

Счетные триггеры со стати-ческим управлением во время действия входного импульса проявляют склонность к генерации, и практической реализации не нашли.

6.4. JK -ТРИГГЕРЫ

Функциональная особенность JK -триггеров состоит в том, что при всех входных комбинациях, кроме одной $J^n = K^n = 1$, они действуют подобно RS -триггеру, причем вход J играет роль входа S , а K -вход соответствует R -входу. При входной комбинации $J^n = K^n = 1$ в каждом такте выходной сигнал меняет свое значение на противоположное. JK -триггеры не имеют неопределенных состояний. Смена состояний триггера осуществляется в соответствии с табл. 6.6.

Используя карту Карно (рис. 6.10), найдем минимальную форму уравнения триггера.

Таблица 6.6

Номер набора	J^n	K^n	Q^n	Q^{n+1}
0	0	0	0	0
1	0	1	0	0
2	1	0	0	1
3	1	1	0	1
4	0	0	1	1
5	0	1	1	0
6	1	0	1	1
7	1	1	1	0

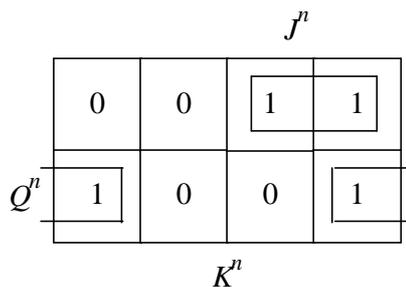


Рис. 6.10. Карта Карно JK -триггера

$$Q^{n+1} = J^n \bar{Q}^n \cup \bar{K}^n Q^n.$$

Для составления матрицы переходов JK -триггера подставим в полученное уравнение все возможные сочетания состояний триггера

$$0 \textcircled{R} 0 \quad 0 = J > 1 \cup \bar{K} > 0, \text{ при любом } K \text{ и } J = 0,$$

$$0 \textcircled{R} 1 \quad 1 = J > 1 \cup \bar{K} > 0, \text{ при любом } K \text{ и } J = 1.$$

$$1 \textcircled{R} 0 \quad 0 = J > 0 \cup \bar{K} > 1, \text{ при любом } J \text{ и } K = 1,$$

$$1 \textcircled{R} 1 \quad 1 = J > 0 \cup \bar{K} > 1, \text{ при любом } J \text{ и } K = 0.$$

Откуда следует матрица переходов (табл. 6.7), которую используют при

Таблица 6.7

$Q^n \textcircled{R} Q^{n+1}$	J^n	K^n
0 0	0	*
0 1	1	*
1 0	*	1
1 1	*	0

синтезе цифровых устройств на JK -триггерах. В схемном отношении JK -триггер отличается от триггеров RS -типа наличием дополнительных обратных связей. Логическая структура простейшего JK -триггера показана на рис. 6.11.

Элементы временной задержки в данной схеме играют роль стабилизаторов состояний триггера, и непосредственно на его функциональные свойства не влияют.

В интегральной схемотехнике применяются только синхронные JK -триггеры в силу жестких требований к длительности входных сигналов для асинхронного варианта.

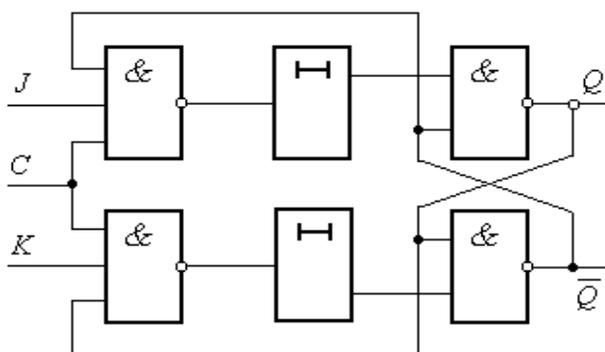


Рис. 6.11. Логическая структура JK -триггера.

JK -триггеры относятся к универсальным устройствам. Их универсальность имеет двойственный характер. Во-первых, эти триггеры с равным успехом могут быть использованы в счетчиках, регистрах, делителях частоты и других электронных узлах, во-вторых, путем определенного соединения выводов они легко обращаются в триггеры других типов.

Если, например, принять $J=D$ и $K=\bar{D}$, то уравнение JK -триггера примет вид:

$$Q^{n+1} = D^n \bar{Q}^n \cup D^n Q^n = D^n (\bar{Q}^n \cup Q^n) = D^n,$$

что соответствует логическому уравнению D -триггера.

Для получения T -триггера достаточно объединить вход J и K и подавать на них входные импульсы. Это будет вариант синхронного T -триггера. В асинхронном варианте T -триггера на входы J и K подают сигнал логической единицы, а входные импульсы поступают на вход синхронизации (рис.6.12).

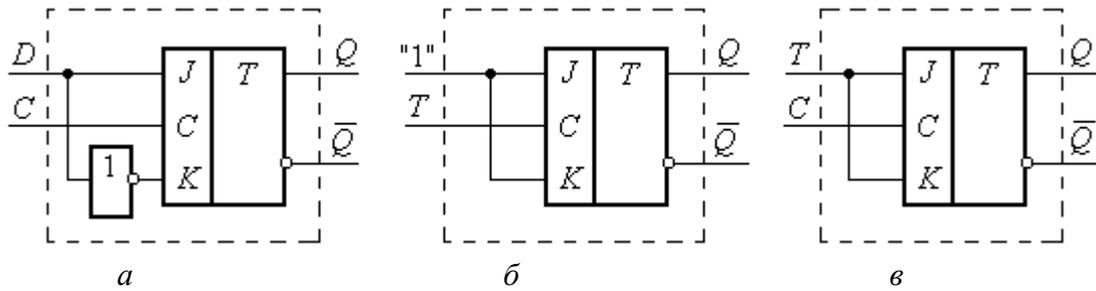


Рис. 6.12. Использование *JK*-триггера в качестве: *a* – *D*-триггера; *б* – асинхронного *T*-триггера; *в* – синхронного *T*-триггера

Приведенная на рис.6.11 структура является одноступенчатым. *JK*-триггером. Однако более устойчивыми в работе являются двухступенчатые триггеры, поскольку обе ступени тактируются поочередно, что предупреждает паразитную генерацию в схеме.

6.5. ТРИГГЕРЫ, ТАКТИРУЕМЫЕ ФРОНТОМ

В цифровых микросхемах широко используются *JK*- и *D* - триггеры, синхронизируемые фронтом. Их структуру можно представить как последовательное соединение двух триггерных ячеек, управляемых уровнями напряжения. На рис. 6.13 в качестве примера представлены два варианта построения синхронизируемых фронтом *D* - триггеров, а на рис. 6.14 – временная диаграмма их работы.

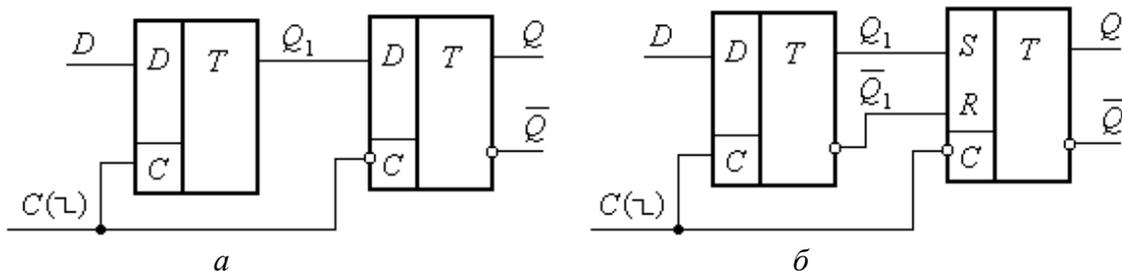


Рис. 6.13. Синхронизируемые фронтом *D*-триггеры: *a* – на синхронизируемых уровнях 2-х *D*-триггерах, *б* – на *D*- и *RS*-триггерах

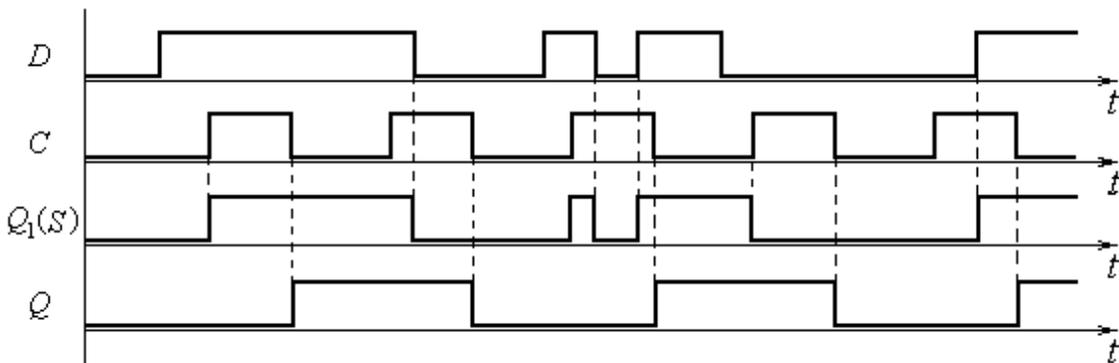


Рис. 6.14. Временная диаграмма синхронизируемого фронтом *D*-триггера

Как видно из приведенной диаграммы рассмотренные *D*-триггеры синхронизируются отрицательным перепадом напряжения.

7. ЦИФРОВЫЕ ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ПОСЛЕДОВАТЕЛЬНОСТНОГО ТИПА

7.1. ИНТЕГРАЛЬНЫЕ СЧЕТЧИКИ

Счетчиком называется устройство, предназначенное для подсчета числа входных сигналов и хранения в определенном двоичном коде этого числа.

Счетчики – это цифровые автоматы, внутренние состояния которых определяются только количеством сигналов “1”, пришедших на вход. Сигналы “0” не изменяют их внутренние состояния.

Триггер T -типа является простейшим счетчиком, который считает до двух. Счетчик, образованный цепочкой из m триггеров, сможет подсчитывать в двоичном коде 2^m входных импульсов. Каждый из триггеров в этой цепочке называют разрядом счетчика.

Основная характеристика счетчика – *модуль счета*, или *емкость* счетчика $K_{сч.}$. Это количество поступивших входных сигналов, которое возвращает счетчик в исходное состояние.

Количество триггеров, необходимое для реализации счетчика, равно $m = \log_2 K_{сч.}$, где m – ближайшее большее целое число.

Классификация счетчиков

Цифровые счетчики классифицируются следующим образом:

- по *модулю счета*: двоичные, двоично-десятичные или с другим основанием счета, недвоичные с постоянным модулем счета, с переменным модулем счета;
- по *направлению счета*: суммирующие, вычитающие, реверсивные;
- по *способу организации внутренних связей*: с последовательным переносом, с параллельным переносом, с комбинированным переносом, кольцевые.

Классификационные признаки независимы и могут встречаться в различных сочетаниях: например, суммирующие счетчики бывают как с последовательным, так и с параллельным переносом и могут иметь двоичный, десятичный и иной модуль счета.

В суммирующем счетчике каждый входной импульс увеличивает число, записанное в счетчик, на единицу (для счетчиков с *естественным* порядком счета) и на единицу и более для счетчиков с *произвольным* порядком счета.

Вычитающий счетчик действует обратным образом: двоичное число, хранящееся в счетчике, с каждым поступающим импульсом уменьшается. Переполнение счетчика наступает при поступлении на его вход количества импульсов большего $K_{сч.}$

Реверсивный счетчик может работать в качестве суммирующего и вычитающего. Эти счетчики имеют дополнительные входы для задания направления счета.

Счетчики могут быть как асинхронными, так и синхронными.

Последовательные счетчики

Рассмотрим работу суммирующего двоичного счетчика ($K_{\text{сч.}} = 2^m$) с естественным порядком счета и с $K_{\text{сч.}} = 8$. Для его построения необходимо $m = \log_2 8 = 3$ триггера, что соответствует трем разрядам двоичного числа.

Таблица состояний такого счетчика имеет вид (табл. 7.1), причем входной сигнал x^n обозначим через 1, Q_3^n – старший разряд, Q_1^n – младший разряд.

Таблица 7.1

x^n	Q_3^n	Q_2^n	Q_1^n	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}
1	0	0	0	0	0	1
1	0	0	1	0	1	0
1	0	1	0	0	1	1
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	0	1	1	1	0
1	1	1	0	1	1	1
1	1	1	1	0	0	0

Из анализа таблицы видно:

- триггер младшего разряда Q_1 переключается от каждого входного сигнала;
- второй разряд Q_2 переключается через два входных сигнала;
- третий разряд Q_3 переключается через четыре входных сигнала.

Таким образом, частота переключения каждого следующего триггера уменьшается вдвое. Следовательно, последовательный счетчик можно построить как цепочку последовательно включенных счетных триггеров.

Построим такой счетчик на JK -триггерах, работающих в счетном режиме (рис. 7.1).

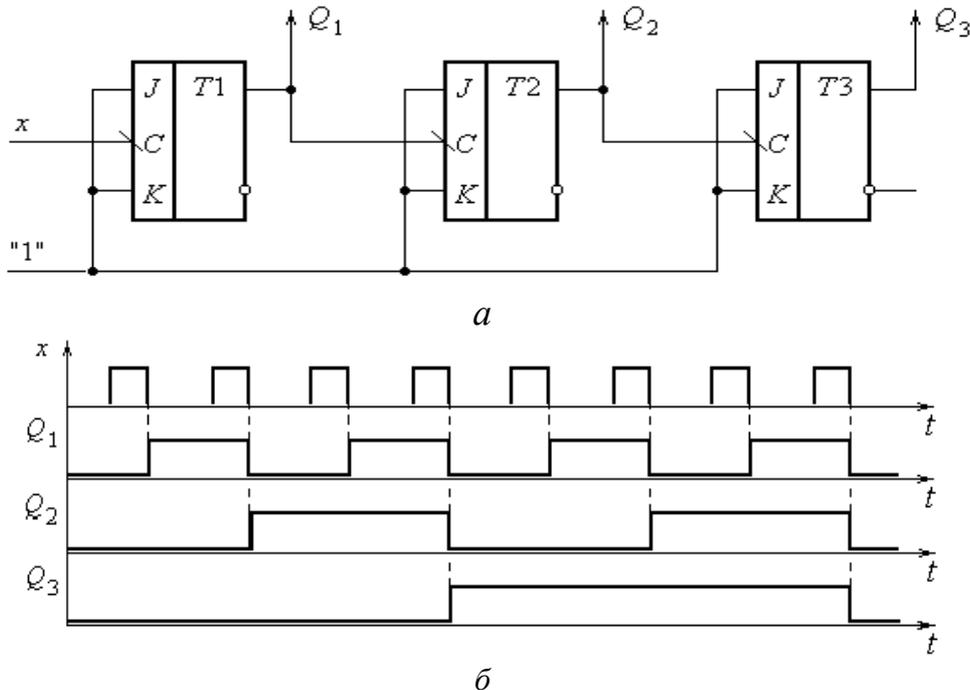


Рис. 7.1. Последовательный суммирующий счетчик на JK -триггерах – а;
временная диаграмма его работы – б

Данный счетчик может работать как вычитающий. Для этого необходимо сигналы на входы последующих разрядов подавать с инверсных выходов триггеров предыдущих разрядов.

Так как полученный счетчик – асинхронный, то каждый его триггер переключается с задержкой относительно входного сигнала. Поэтому по мере продвижения сигнала от младшего разряда к старшему эта задержка суммируется и может произойти искажение информации, в виде несоответствия числа уже поступивших в счетчик импульсов и кода на его выходах. В общем случае суммарная задержка пропорциональна числу триггеров и для устранения ее влияния на работоспособность счетчика приходится снижать частоту поступления входных импульсов, что снижает, в целом, быстродействие счетчика.

Счетчики с параллельным переносом

Для повышения быстродействия счетчики выполняются с параллельным (сквозным) переносом.

Их особенность заключается в том, что выходы всех предшествующих разрядов счетчика соединяются с входами триггера последующего разряда, поэтому длительность переходного процесса определяется только длительностью переходного процесса одного разряда и не зависит от количества триггеров.

Отсюда следует, что параллельные счетчики – синхронные.

Структура параллельного счетчика не столь очевидна, как структура последовательного счетчика, и для ее выявления необходима определенная процедура синтеза.

В качестве примера синтезируем двоичный параллельный счетчик с $K_{сч.} = 8$.

Суммирующий счетчик. Процедура синтеза включает следующие операции:

1. Определяется необходимое количество разрядов m . В данном случае $m = \log_2 8 = 3$.

2. Строится таблица состояний счетчика. Для рассматриваемого примера возьмем таблицу 7.1.

3. Составляются карты переходов триггеров каждого разряда. Карта переходов размечается также как карта Карно, строится по таблице состояний и отображает переход триггера $Q_i^n \rightarrow Q_i^{n+1}$ в каждом такте в зависимости от состояний остальных триггеров в такте n (рис. 7.2).

Для $Q_1^n \oplus Q_1^{n+1}$				Для $Q_2^n \oplus Q_2^{n+1}$				Для $Q_3^n \oplus Q_3^{n+1}$					
Q_2^n				Q_2^n				Q_2^n					
Q_1^n		01		00		01		Q_1^n		00		01	
		10		01		10				11		10	
Q_3^n				Q_3^n				Q_3^n					

Рис. 7.2. Карты переходов триггеров счетчика

Например, первой строке табл. 7.1 ($Q_1^n = Q_2^n = Q_3^n = 0$) соответствует левая верхняя клетка карт переходов. Так как при поступлении первой единицы в счетчик Q_1 должен перейти из нулевого состояния в единичное, а Q_2 и Q_3 должны сохранить состояние нуля, в указанную клетку карты переходов для Q_1 следует поставить 01, а в картах для Q_2 и Q_3 поставить 00 и т.д.

4. Выбирается тип триггера, например, JK -триггер, для построения счетчика. Используя матрицу переходов JK -триггера, для каждого входа триггера составляются карты Карно, в клетках которых проставляются сигналы, необходимые для обеспечения переходов триггеров, указанных в одноименных клетках карт переходов (рис. 7.3).

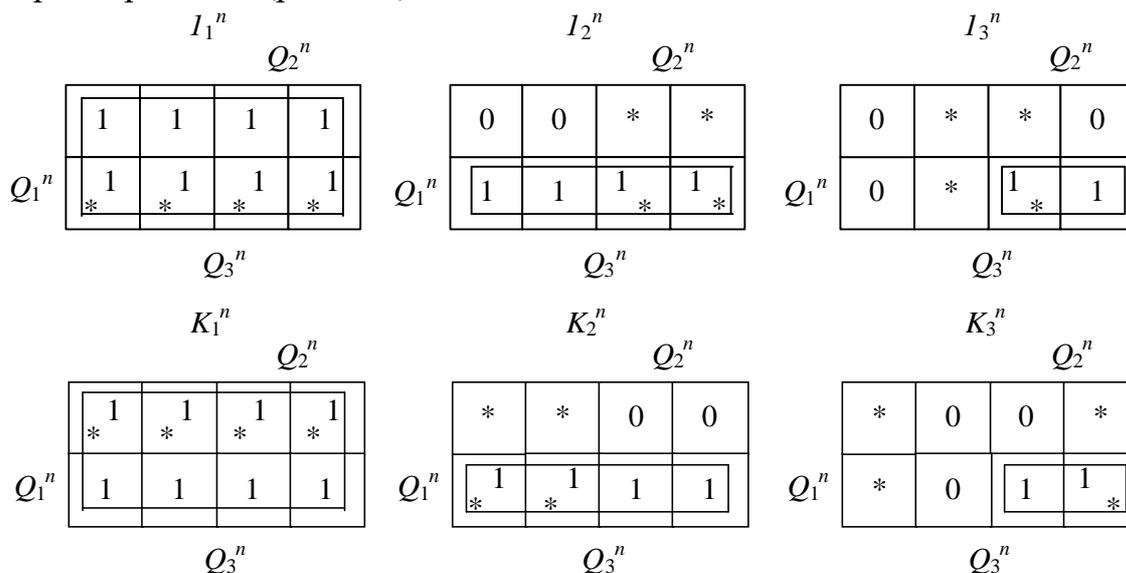


Рис. 7.3. Карты Карно функций входов триггеров счетчика

Например, для переходов 01 JK -триггера согласно его матрице переходов необходимо подать сигнал $J = 1$, а сигнал на входе K может быть любым (* – звездочка), поэтому в верхнюю левую клетку карты Карно для J_1 проставляют единицу, а для K_1 – звездочку и т.д.

5. Проводится минимизация логических функций входов в картах Карно с целью получения их аналитических представлений, показывающих связи между входами и выходами всех триггеров, составляющих счетчик.

В процессе минимизации производится доопределение функций там, где это целесообразно, единицами в клетках со звездочками.

В результате получают следующие функции входов триггеров счетчика:

$$\begin{aligned} J_1 &= 1 & K_1 &= 1 \\ J_2 &= Q_1 & K_2 &= Q_1 \\ J_3 &= Q_1 Q_2 & K_3 &= Q_1 Q_2 \end{aligned}$$

6. Строится электрическая схема счетчика, реализуя функции входов (рис. 7.4).

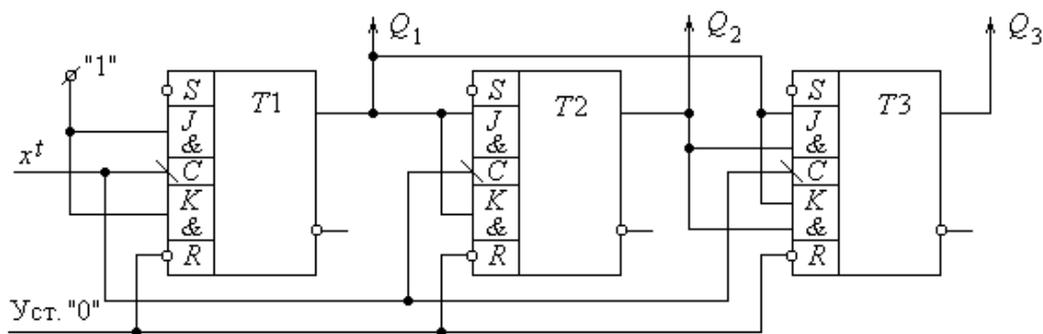


Рис. 7.4. Параллельный суммирующий двоичный счетчик с $K_{сч.} = 8$

В качестве триггеров выбраны универсальные JK -триггеры (микросхема К155ТВ1), особенностью которых является наличие логики типа **ЗИ** на входах J и K и дополнительных RS входов с инверсным асинхронным управлением.

Вычитающий счетчик. Синтез вычитающего счетчика, работающего в соответствии с таблицей переходов обратной таблице 7.1, включает все рассмотренные выше процедуры и дает следующие функции входов:

$$\begin{aligned} J_1 &= K_1 = 1 \\ J_2 &= K_2 = \overline{Q_1} \\ J_3 &= K_3 = \overline{Q_1} \overline{Q_2}. \end{aligned}$$

Таким образом, вычитающий счетчик отличается от суммирующего тем, что сигналы на входы J и K последующих триггеров необходимо подавать с инверсных выходов триггеров предшествующих разрядов. Так как исходное состояние вычитающего счетчика – единицы во всех разрядах, то организуется общая шина установки по \overline{S} -входам.

Реверсивный счетчик. Такой счетчик должен, в зависимости от сигналов управления, обеспечивать или режим суммирования, или режим вычитания входных сигналов.

Из сравнения функций входов, полученных ранее для суммирующего и вычитающего параллельных счетчиков с $K_{сч.} = 8$, следует, что сами функции имеют один и тот же вид, только в случае вычитающего счетчика берутся инверсные значения переменных. Следовательно, реверсивный счетчик должен содержать схему управления, обеспечивающую подключение либо прямых, либо инверсных выходов ко входам последующих разрядов, в зависимости от сигналов управления направлением счета T .

Функция входов для реверсивного счетчика будет иметь вид:

$$\begin{aligned} K_1 &= J_1 = 1, \\ J_2 &= K_2 = TQ_1 \dot{U}T\overline{Q_1}, \\ J_3 &= K_3 = TQ_1 Q_2 \dot{U}T\overline{Q_1} \overline{Q_2}, \end{aligned}$$

а его схема представлена на рис. 7.5.

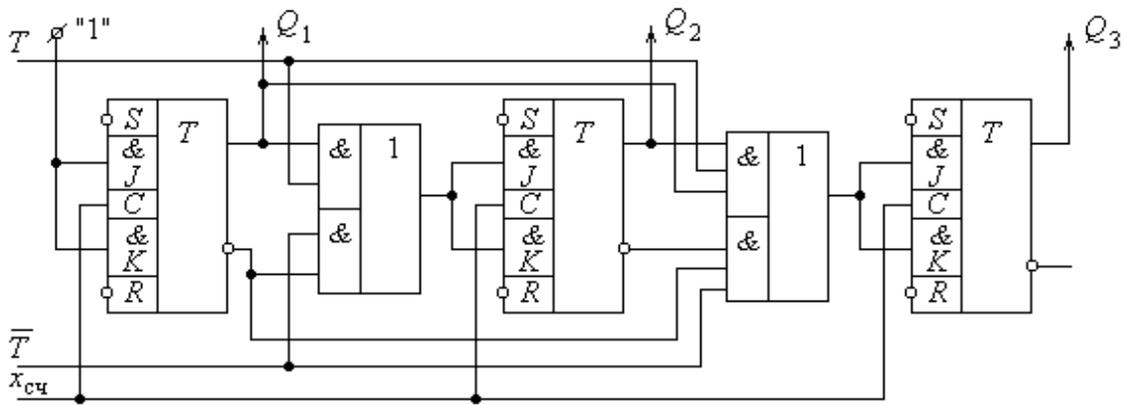


Рис. 7.5. Реверсивный двоичный параллельный счетчик с $K_{сч.} = 8$

Счетчик работает в режиме суммирования при $T = 1$ и в режиме вычитания при $T = 0$.

Недвоичные счетчики. Счетчик, имеющий $K_{сч.} \neq 2^m$, называется недвоичным. Состояния $(2^m - K_{сч.})$ являются избыточными и исключаются внутри счетчика с помощью обратных связей. Задача синтеза таких счетчиков сводится к определению вида необходимых обратных связей и минимизации их числа.

Рассмотрим пример синтеза суммирующего счетчика с $K_{сч.} = 3$.

1. Определяем необходимое количество триггеров:

$$m = \log_2 3 = 1,58.$$

Округляем m до двух.

2. Находим число избыточных состояний:

$$2^2 - 3 = 1.$$

3. Из числа возможных состояний счетчика исключим, например, состояние $Q_1 = Q_2 = 1$.

4. Строим таблицу переходов счетчика:

x	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}
1	0	0	0	1
1	0	1	1	0
1	1	0	0	0

5. Составляем карты переходов триггеров счетчика, проставляя в клетках, соответствующим исключенным наборам, прочерк:

Для $Q_1^n \textcircled{R}$		Для $Q_2^n \textcircled{R}$	
Q_1^{n+1}		Q_2^{n+1}	
Q_2		Q_2	
01	00	00	10
10	—	01	—
Q_1		Q_1	

6. Выбираем тип триггеров (D -триггер). Используя матрицу переходов D -триггера и построенные карты переходов триггеров счетчика, строим карты функций входов триггеров:

Для D_1^n	
Q_2^n	
1	0
Q_1^n	0
	—

Для D_2^n	
Q_2^n	
0	0
Q_1^n	1
	—

Находим функции входов триггеров счетчика:

$$D_1 = \overline{Q_1} \overline{Q_2}, \quad D_2 = Q_1.$$

7. Строим схему счетчика (рис. 7.6):

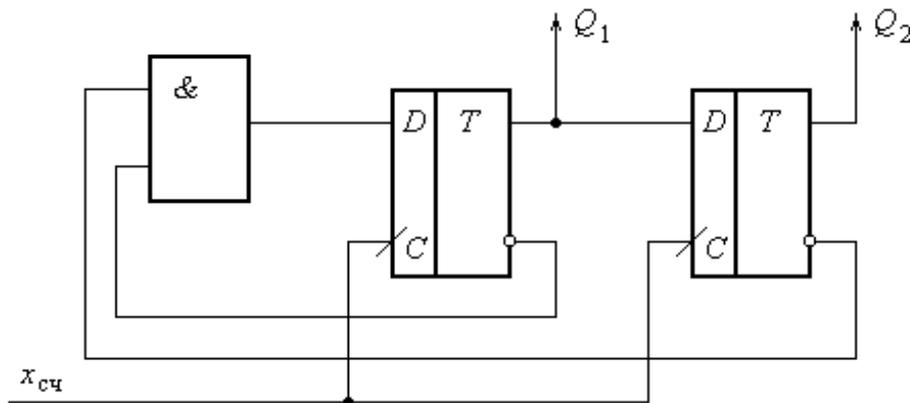


Рис. 7.6. Параллельный не двоичный счетчик с $K_{сч.} = 3$ на D -триггерах

Как видно из схемы, исключение из состояний счетчика двоичного числа 11 достигается подачей сигналов с инверсных выходов первого и второго разрядов на вход первого разряда.

При использовании в счетчике триггеров JK -типа функции входов имеют вид:

$$J_1 = \overline{Q_2}, \quad J_2 = Q_1, \quad K_1 = K_2 = 1,$$

а его схема приведена на рис. 7.7:

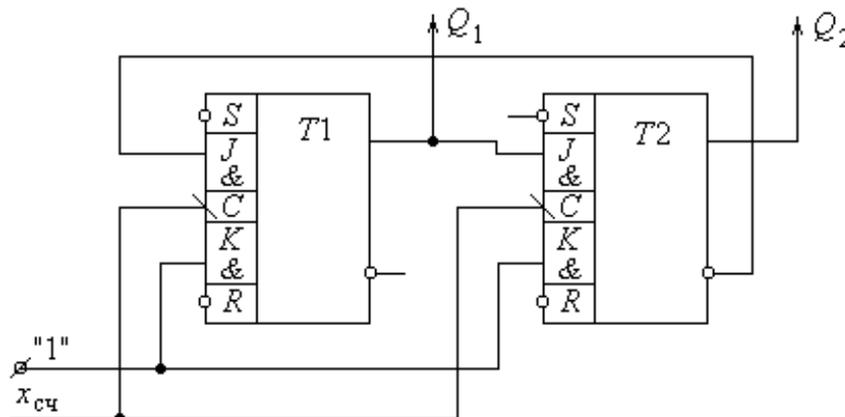


Рис. 7.7. Параллельный не двоичный счетчик с $K_{сч.} = 3$ на JK -триггерах

Двоично-десятичные счетчики. Двоично-десятичные счетчики имеют $K_{сч.} = 10$. Их синтезируют на основе четырехразрядного счетчика, исключая $N = 2^m - K_{сч.} = 2^4 - 10 = 6$ избыточных состояний. Так как исключить можно любые 6 из 16 состояний, то общее число возможных схем построения таких счетчиков достигает приблизительно 76×10^6 . В разных вариантах схем одному и тому же десятичному числу могут соответствовать различные кодовые комбинации, т. е. различные варианты счетчиков работают в различных двоично-десятичных кодах.

Особую форму составляют двоично-десятичные счетчики, работающие в самодополняющихся кодах, особенностью которых является соответствие обратных двоичных чисел обратным десятичным числам. Целесообразность такого соответствия очевидна, так как в ЭВМ операция вычитания заменяется операцией сложения кода уменьшаемого с обратным кодом вычитаемого. Примером самодополняющегося кода может быть следующий код (табл. 7.4):

Таблица 7.4

Десятичное число	Двоичный код				Несамодпол- няющийся код	Самодопол- няющийся код
	Q ₁	Q ₂	Q ₃	Q ₄		
1	2				3	4
0	0	0	0	0	0	0
1	0	0	0	1	1	1
2	0	0	1	0	2	2
3	0	0	1	1	3	-
4	0	1	0	0	4	-
5	0	1	0	1	5	3
6	0	1	1	0	6	4
7	0	1	1	1	7	-
8	1	0	0	0	8	-
9	1	0	0	1	9	5
10	1	0	1	0	-	6
11	1	0	1	1	-	-
12	1	1	0	0	-	-
13	1	1	0	1	-	7
14	1	1	1	0	-	8
15	1	1	1	1	-	9

Примечание: Обратный код числа x определяется по формуле $(s-1) - x$, где s – основание системы счисления.

Рассмотрим кодовую комбинацию 0110. В несамодополняющемся коде ей соответствует десятичное число 6 (см. вторую и третью колонки табл. 7.4). Обратный код числа 6 равен 3, обратный код числа 0110 равен 1001. Коду чис-

ла 1001 в третьей колонке таблицы соответствует десятичное число 9, а не 3, т.е. самодополнения нет.

Для самодополняющегося кода комбинации 0110 соответствует десятичное число 4, обратный код которого равен 5 (вторая и четвертая колонки). Коду 1001 (т.е. обратному двоичному числу 0110) соответствует десятичное число 5 (т.е. обратное десятичному числу 4) в четвертой колонке, Таким образом, самодополняемость кодов выполняется.

Последовательность синтеза двоично-десятичных счетчиков не отличается от синтеза недвоичных счетчиков.

7.2. ЦИФРОВЫЕ РЕГИСТРЫ

Цифровыми регистрами называют устройства, функцией которых является хранение и преобразование многоразрядных двоичных чисел. Запоминающими элементами регистра являются триггеры, число которых равно разрядности хранимых чисел. Кроме триггеров регистры содержат также комбинационные схемы, предназначенные для ввода и вывода хранимых чисел, преобразования их кодов, сдвига кодов на то или иное число разрядов. Информация в регистрах хранится, как правило, в течение некоторого количества тактов.

Различают *параллельные регистры* (регистры памяти), *последовательные регистры* (регистры сдвига), *параллельно-последовательные регистры* (например, ввод в параллельном коде, вывод – в последовательном и наоборот).

В регистрах памяти число вводится (выводится) за один такт, а в регистрах сдвига – за m тактов, где m – разрядность чисел.

По способу ввода-вывода информации регистры подразделяются на *однофазные* и *парафазные*. В однофазных ввод (и вывод) производится только в прямом или только в обратном коде, в парафазных возможен ввод и вывод как в прямом, так и в обратном кодах.

В параллельных регистрах можно производить поразрядные логические операции с хранимым числом и вновь вводимым. Вид логических операций зависит от типа триггеров, составляющих регистр, и комбинации сигналов управления.

Регистры сдвига применяются для преобразования последовательного кода в параллельный (и обратно), для умножения и деления многоразрядных чисел и т. д.

Параллельные регистры

Структура регистров этого типа представлена на рис. 7.8.

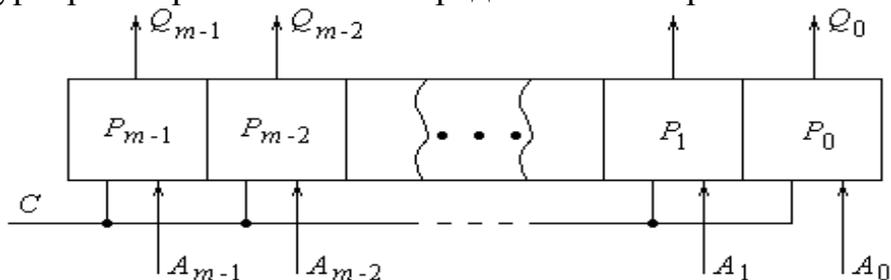


Рис.7.8. Структура параллельного регистра

Изменение хранящейся информации (ввод новой информации) происходит после соответствующего изменения сигналов на входах A при поступлении определенного уровня ($C = 0$ или $C = 1$) или фронта синхросигналов. В качестве разрядов регистра памяти используются синхронизируемые D -триггеры, если информация поступает в виде однофазных сигналов, или RS -триггеры, если информация поступает в виде парафазных сигналов (рис. 7.9)

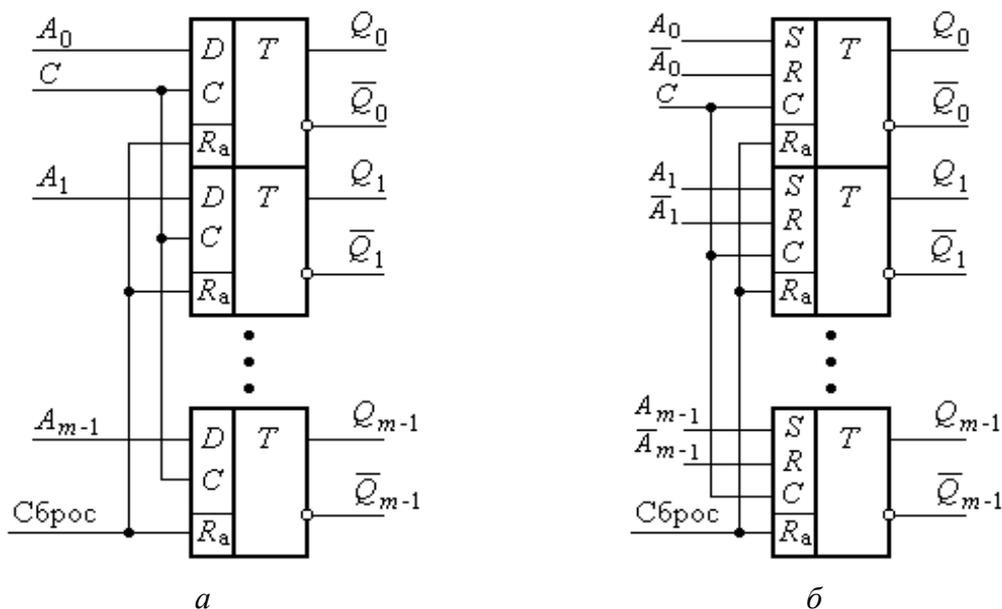


Рис. 7.9. Регистры памяти: a – однофазный; b – парафазный

Предварительная очистка регистра производится с помощью асинхронных входов R_a установки триггеров в нулевое состояние.

Последовательные регистры

В регистре с последовательным вводом (выводом) производится последовательный сдвиг поступающей на вход информации на один разряд вправо в каждом такте синхросигналов (рис. 7.10).

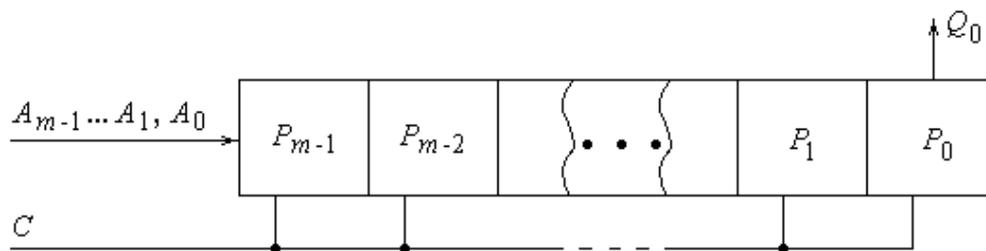


Рис. 7.10. Структура сдвигового регистра

После поступления m синхроимпульсов весь регистр оказывается заполненным разрядами числа A , и первый разряд числа (A_0) появляется на выходе Q_0 регистра. В течение последующих m синхроимпульсов производится последовательный поразрядный вывод из регистра записанного числа, после чего регистр оказывается полностью очищенным.

Сдвиговые регистры обычно реализуются на синхронных D -триггерах (рис. 7.11).

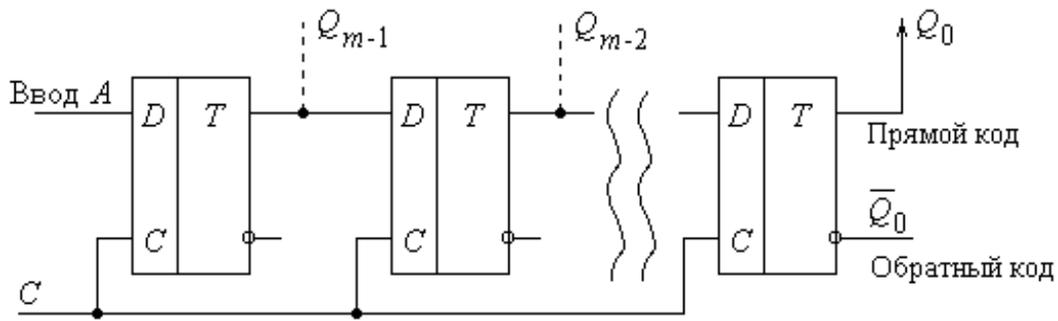


Рис. 7.11. Сдвиговый регистр на D -триггерах со сдвигом вправо

Ввод информации в таком регистре осуществляется только в прямом коде, подаваемом на вход D , и связь между регистрами будет только с прямых выходов предыдущих триггеров на D -входы последующих. Выход может быть как однофазным (с Q_0), так и парафазным (с Q_0 и \bar{Q}_0).

Синтез достаточно просто осуществляется с применением методики, рассмотренной при синтезе параллельных счетчиков.

При синтезе последовательного регистра достаточно рассмотреть процесс передачи информации между i -м триггером и либо $(i + 1)$ -м (при сдвиге вправо), либо $(i - 1)$ -м триггером (при сдвиге влево).

При построении последовательных регистров со сдвигом влево требуется произвести переключение входов триггеров таким образом, чтобы состояние i -го триггера изменялось в соответствии с состоянием $(i - 1)$ -го триггера.

Для построения реверсивного сдвигового регистра необходимо между его триггерами включать устройства управления направлением сдвига. Эти устройства в зависимости от единичного сигнала, поступившего либо по шине $T_{с. прав.}$, либо по шине $T_{с. лев.}$, должны подключать входы каждого триггера регистра к выходам предыдущего или к выходам последующего триггеров (рис. 7.12).

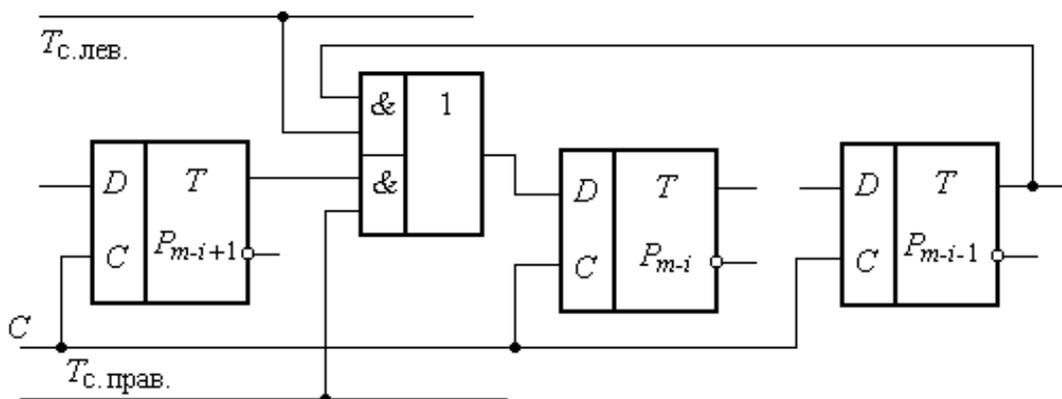


Рис.7.12. Реверсивный сдвиговый регистр

При построении сдвиговых регистров обязательным является применение триггеров, синхронизируемых фронтом. В противном случае за время действия одного синхросигнала информация в регистре продвигается более чем на один

разряд, т. е. нормальное функционирование регистра – сдвиг на один разряд за один такт – нарушается.

Функциональные возможности сдвигового регистра можно расширить, если его дополнить входами параллельной загрузки и выходами всех разрядов регистра для параллельной выдачи информации.

7.3. ГЕНЕРАТОРЫ ЧИСЛОВЫХ ПОСЛЕДОВАТЕЛЬНОСТЕЙ

Последовательностные устройства этого типа называют также распределителями сигналов, так как последовательность двоичных чисел на их выходах используется для управления работой других цифровых узлов. Число состояний генератора называется *длиной последовательности чисел* L_n , которая равна количеству тактов, после которого последовательность чисел на выходе генератора повторяется.

По своей структуре генераторы чисел близки либо к счетчикам, либо к регистрам.

Генераторы на основе счетчиков. Любой счетчик можно считать генератором последовательности чисел, имеющей $L_n = K_{сч}$. Как правило, требуемое число разрядов генератора равно числу двоичных разрядов m в генерируемых числах. Если же $m > \log_2 L_n$, то для уменьшения числа используемых триггеров структура таких генераторов видоизменяется. В этом случае генератор целесообразнее строить в виде счетчика с модулем счета $K_c = L_n$ и подключенной к его выходам комбинационной схемой (КС), синтезирующей требуемые значения двоичных чисел последовательности.

В качестве примера рассмотрим генератор чисел 3 – 2 – 12 – 4. Очевидно, что число 12 требует четырех двоичных разрядов, но так как $L_n = 4$, то за основу генератора можно взять двухразрядный счетчик с $K_{сч} = 4$, который генерирует числа 0 – 1 – 2 – 3. Подключив к выходам полученного счетчика комбинационную схему, выполняющую преобразование кодов в соответствии с табл. 7.2, получим структуру генератора, образующего заданную последовательность чисел (рис. 7.13).

Таблица 7.2

Q_1	Q_0	C_4	C_3	C_2	C_1
0	0	0	0	1	1
0	1	0	0	1	0
1	0	1	1	0	0
1	1	0	1	0	0

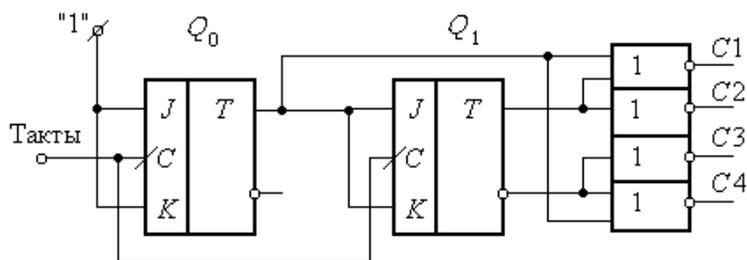


Рис. 7.13. Генератор числовой последовательности на основе счетчика с выходной комбинационной схемой

Временная диаграмма работы такого генератора приведена на рис. 7.14

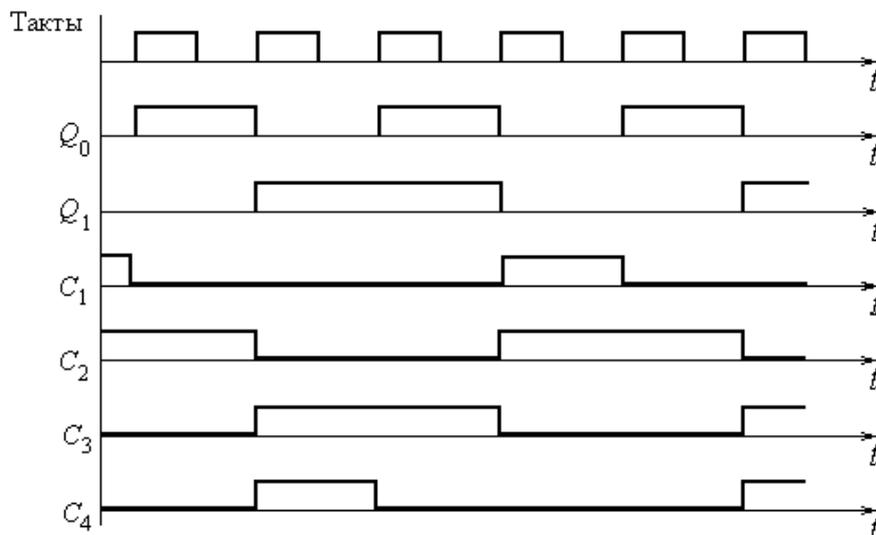


Рис. 7.14. Временная диаграмма работы генератора

Проектирование рассмотренного генератора по обычной методике проектирования не двоичных счетчиков потребовало бы в два раза больше триггеров и дополнительной логики.

Генераторы на основе сдвиговых регистров

В генераторах этого типа каждое последующее число последовательности образуется путем сдвига предыдущего числа на один разряд вправо и введением в освободившийся первый разряд нуля или единицы. Такие последовательности называются *циклическими*.

Основой генератора является сдвиговый регистр с входной комбинационной схемой, вырабатывающей управляющий сигнал z_0 для установки первого разряда. Если имеется m -разрядный сдвиговый регистр, то с его помощью можно получить последовательности длиной $L_n \in 2^m$.

Построив граф состояний (рис. 7.15), например, трехразрядного регистра со сдвигом вправо, показывающий все возможные переходы при вводе в первый разряд нуля или единицы, можно увидеть, что число реализуемых последовательностей чисел будет весьма значительно.

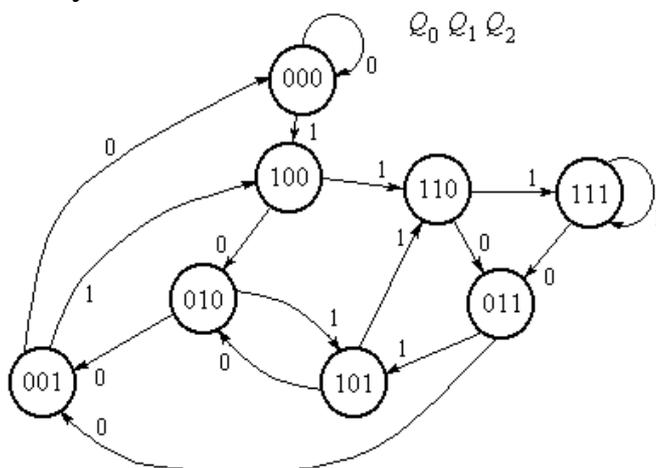


Рис. 7.15. Возможные графы переходов трехразрядного регистра

В кружках графа указаны состояния выходов регистра, стрелками обозначены возможные переходы состояний регистра при изменении младшего разряда. Если очередной переход не изменяет состояния регистра, то стрелка замыкается на исходном состоянии.

Синтез структуры генераторов последовательностей на сдвиговых регистрах, в первую очередь, состоит в нахождении вида функции z_0 .

Рассмотрим методику структурного проектирования генераторов этого типа на примере реализации одной из возможных последовательностей, например $0 - 1 - 3 - 7 - 6 - 5 - 2 - 4$. Необходимо выполнить следующие этапы разработки.

1. Для генератора такой последовательности выбирается трехразрядный сдвиговый регистр. Для него, в соответствии с видом требуемой последовательности, составляется таблица переходов состояний разрядов (табл. 7.3).

Таблица 7.3

Номер состояния	Q_2^n	Q_1^n	Q_0^n	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	0	1
1	0	0	1	0	1	1
3	0	1	1	1	1	1
7	1	1	1	1	1	0
6	1	1	0	1	0	1
5	1	0	1	0	1	0
2	0	1	0	1	0	0
4	1	0	0	0	0	0

2. Составляются карта переходов триггера первого разряда и карта Карно его функции входов z_0 . Обычно, в сдвиговых регистрах используются D -триггеры, поэтому $z_0 = D_0$ (рис. 7.16).

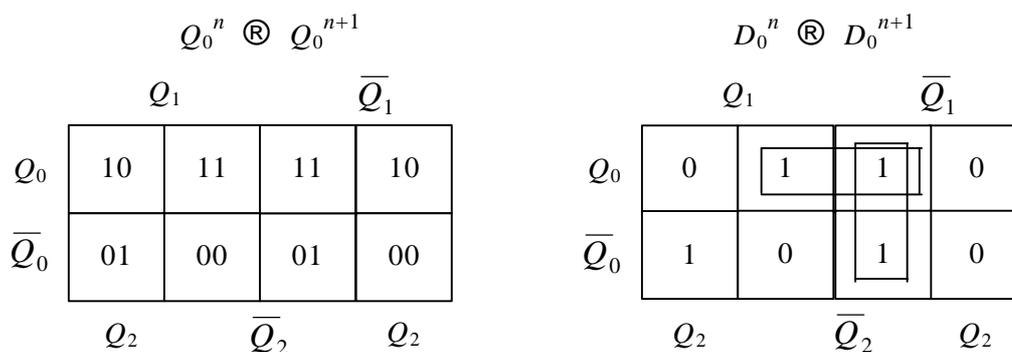


Рис. 7.16. Карты Карно для триггера первого разряда

3. Находится значение функции D_0 :

$$D_0 = Q_0 \bar{Q}_2 \dot{U} \bar{Q}_1 \bar{Q}_2 \dot{U} \bar{Q}_0 Q_1 Q_2.$$

4. Составление логической схемы генератора выполняется построением управляющей комбинационной схемы, реализующей функцию входов D_0 , и ее подключением ко входу первого разряда сдвигового регистра (рис. 7.17).

Синтезировав комбинационную схему с перестраиваемой структурой, можно получить ряд различных последовательностей от одного устройства.

Генераторы на основе регистров образуют только циклические последовательности чисел. Для реализации любых нециклических последовательностей требуется использование дополнительных комбинационных преобразователей кодов, включаемых на выходе генератора.

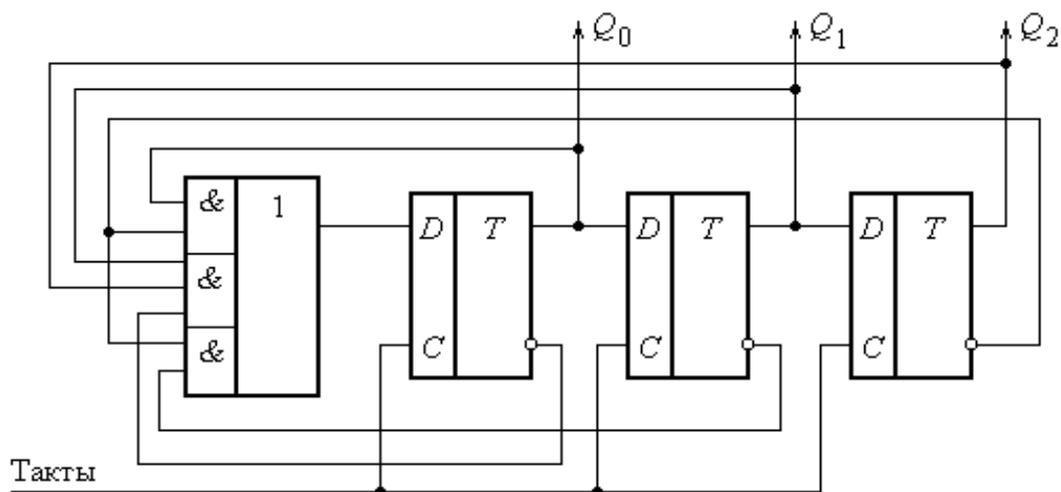


Рис. 7.17. Логическая схема генератора последовательности на основе регистра

Порядок появления чисел в последовательности можно считать случайным, а повторение чисел происходит через $2^m - 1$ тактов, поэтому такие схемы называются *генераторами псевдослучайных последовательностей*. При увеличении m длина псевдослучайных последовательностей быстро возрастает, поэтому генераторы, имеющие $m > 10$, широко используются в цифровой аппаратуре для формирования множества тестовых сигналов, необходимых для контроля и диагностики неисправностей.

8. ПОЛУПРОВОДНИКОВЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

В цифровых системах используются внешние и внутренние запоминающие устройства (ЗУ). Внешние ЗУ до сих пор реализуют на магнитных лентах, магнитных и оптических дисках. Внутренние ЗУ в основном – полупроводниковые – предназначены для хранения промежуточных данных и программ обработки данных. Внутренние ЗУ делятся на *оперативные ЗУ* и *постоянные ЗУ*.

Оперативные запоминающие устройства (ОЗУ) характеризуются возможностью быстрого ввода/вывода (записи/считывания) информации в виде двоичных чисел в свою любую отдельную ячейку. Поэтому синонимом ОЗУ является память с произвольной выборкой (RAM–Random Access Memory).

Постоянные запоминающие устройства (ПЗУ) в отличие от ОЗУ используются в основном для считывания записанной в них информации. Запись же осуществляется раз и навсегда в процессе изготовления микросхемы. Этот класс ЗУ в зарубежной литературе называют ROM (Read–Only Memory – память только для считывания).

Существует также значительное количество ПЗУ с возможностью однократного программирования их непосредственно пользователем (PROM), а также ПЗУ с возможностью многократной записи в них информации – *репрограммируемые ПЗУ* (EPROM, EEPROM).

8.1. СТРУКТУРА МИКРОСХЕМ ПАМЯТИ

Полупроводниковые ОЗУ, ПЗУ состоят из двух основных частей: *накопителя* и *схемы управления*, или периферии. Накопитель – это основная часть ЗУ, где хранятся данные (двоичные коды). Периферия предназначена для ввода и вывода этих данных. В нее входят дешифраторы, усилители, регистры, разного рода ключевые схемы, коммутаторы и другие узлы.

Накопитель состоит из элементов памяти (ЭП), каждый из них хранит один бит информации. Основу ЭП составляют бистабильные ячейки, основным свойством которых является наличие двух устойчивых состояний – 0, 1.

На рис. 8.1 представлена типичная структура запоминающего устройства с *матричной* организацией накопителя и предназначенного записи и считывания информации.

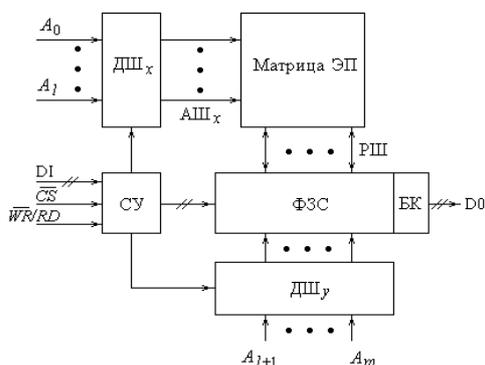


Рис. 8.1. Структура микросхемы ОЗУ

На приведенной схеме используются следующие сокращения:

- ДШ_x, ДШ_y – адресные дешифраторы строк и столбцов;
- ФЗС – формирователь сигналов записи/считывания;
- СУ – схема управления;
- АШ_x, РШ – адресные и разрядные шины;
- DI, DO – шины записи и считывания соответственно;
- БК – буферный каскад.

Накопитель представляет собой прямоугольную матрицу ЭП, содержащую n_x строк и n_y столбцов. Емкость накопителя $N = n_x \cdot n_y$. Каждый ЭП подключен к адресным (АШ) и разрядным (РШ) шинам. Выбор требуемого ЭП осуществляется путем подачи определенной комбинации адресных переменных ($A_m \dots A_1, A_0$). Адресные дешифраторы строк (ДШ_x) и столбцов (ДШ_y) формируют сигналы выборки на соответствующих АШ, которые определяют строку и столбец накопителя, в котором расположен выбираемый ЭП. Таким образом, m адресных входов позволяют выбирать один из $N = 2^m$ элементов памяти.

Режим работы микросхемы определяется сигналами выбора микросхемы \overline{CS} (CHIP SELECT) и записи-считывания $\overline{WR/RD}$ (WRITE/READ). При подаче низкого потенциала на вход выбора $\overline{CS} = 0$ схема управления (СУ) разрешает формирование сигналов выборки на АШ_x. Если при этом сигнал на входе $\overline{WR/RD} = 0$, то СУ формирует управляющий сигнал, при котором ФЗС обеспечивает запись в выбранном ЭП информации, поступающей на вход DI. Выход DO в этом случае находится в отключенном состоянии. Если сигнал $\overline{WR/RD} = 1$, то СУ переключает ФЗС в режим считывания, при котором информация из выбранного ЭП передается на выход DO, при этом состояние входа DI не влияет на работу микросхемы.

При $\overline{CS} = 1$ микросхема находится в режиме хранения, т. е. состояние ЭП не меняется при любых сигналах на входах ($A_m \dots A_0$), DI, $\overline{WR/RD}$. Выход DO находится в отключенном состоянии.

Типовые временные диаграммы, иллюстрирующие работу микросхем памяти, приведены на рис. 8.2.

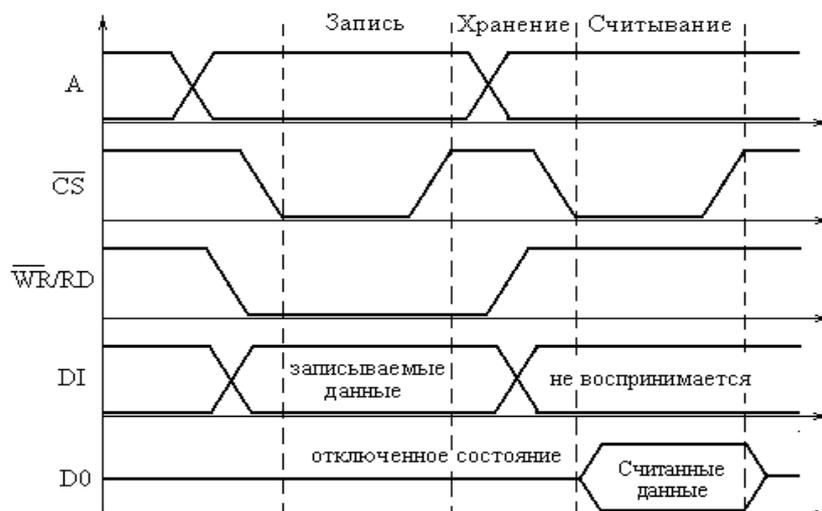


Рис. 8.2. Временные диаграммы работы микросхем памяти с произвольной выборкой

Адресные сигналы A и сигнал \overline{WR}/RD обычно устанавливаются на входах микросхемы до поступления сигнала \overline{CS} .

Микросхемы, предназначенные только для считывания информации, не содержат узлов, отвечающих за ее запись.

Запоминающие устройства с произвольной выборкой служат для оперативного запоминания информации и способны хранить ее только при включенном питании. По принципу действия различают статические и динамические ОЗУ. Элементом памяти статических ОЗУ (SRAM) служат триггеры, которые могут быть реализованы по любой технологии. В динамических ОЗУ (DRAM) носителем информации является емкость между затвором МОП-транзистора и корпусом, которая может быть заряжена или разряжена.

8.2. ЭЛЕМЕНТЫ ПАМЯТИ БИС ОЗУ, ПЗУ

Элементы памяти статического ОЗУ. ЭП биполярного ОЗУ представляет собой асинхронный RS-триггер, построенный из двух логических элементов И-НЕ, выполненных на двух двухэмиттерных транзисторах (рис. 8.3).

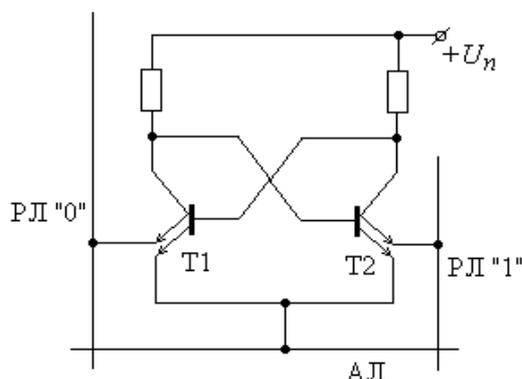


Рис. 8.3. Запоминающая ячейка статического ОЗУ на биполярных транзисторах

ЭП подключен к двум разрядным линиям РЛ "0" и РЛ "1" и адресной линии АЛ. В зависимости от комбинации напряжений на этих линиях ЭП может работать в режимах хранения, записи и считывания информации.

Если, например, транзистор Т1 открыт, то низкий потенциал его коллектора подается на базу транзистора Т2 и поддерживает его закрытое состояние. Высокий потенциал коллектора закрытого Т2, в свою очередь, поддерживает открытое состояние транзистора Т1. В состоянии хранения по линии адреса

АЛ поддерживается низкий потенциал.

Пусть ЭП хранит нуль 0, если Т2 закрыт, а Т1 – открыт. Тогда для записи единицы 1 необходимо одновременно подать высокие уровни в линии АЛ и РЛ "0" и низкий уровень в линию РЛ "1". Тогда транзистор Т1 закрывается, а Т2 – открывается. Для считывания информации в адресную линию АЛ подается высокий уровень. При этом в транзисторе, находящемся в открытом состоянии, происходит перераспределение токов эмиттеров, и большая часть тока будет течь в разрядной линии РЛ "1", если считывается 1, или в РЛ "0" – если считывается 0.

Биполярные SRAM обладают наивысшим быстродействием, однако по сравнению с SRAM, выполненными по МОП-технологиям, имеют значительно большее энергопотребление. Это объясняется тем, что МОП-транзистор занимает в несколько раз меньшую площадь на кристалле, чем биполярный, и потребляет меньший ток. Последние достижения МОП-технологий обеспечивают приближение МОП ОЗУ по быстродействию к биполярным.

Наименьшим энергопотреблением отличаются ЗУ, выполненные на ком-плементарных МОП-транзисторах (КМОП-технология). В ЭП КМОП-типа

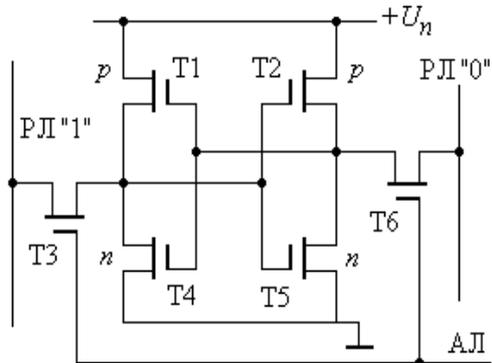


Рис. 8.4. Элемент памяти ЗУ КМОП-типа

(рис.8.4) транзисторы Т1 и Т2 имеют каналы p -типа, а транзисторы Т3 – Т6- каналы n -типа.

В результате потребляемая мощность в режиме хранения определяется токами утечки каналы n - и p -переходов. В режиме переключения требуется значительно бóльшая мощность, так как при этом ток протекает через оба приоткрытых транзистора Т1, Т4 и Т2, Т5. Однако, расходуемая мощность КМОП ЗУ на порядок меньше, чем у биполярных.

Элемент памяти динамического ОЗУ. Накопитель занимает большую часть площади кристалла микросхем памяти, поэтому для увеличения их информационной емкости необходимо уменьшать размеры ЭП. Это достигается при использовании динамического способа хранения информации в виде заряда, накопленного на паразитной емкости. Обычно динамические ЭП реализуются на МДП-транзисторах, так как при этом обеспечивается достаточно длительное время хранения информации (приблизительно 10 миллисекунд) без ее регенерации.

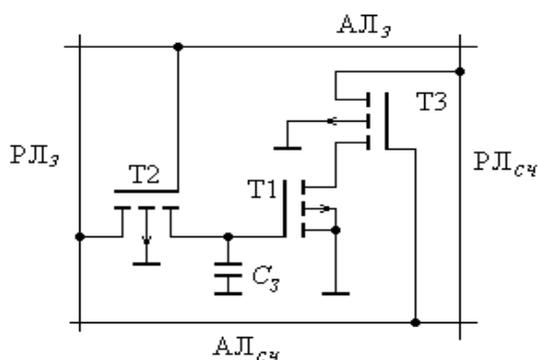


Рис. 8.5. Элемент памяти динамического ОЗУ

Один из вариантов трех-транзисторного динамического ЭП с раздельными шинами для записи и считывания показан на рис. 8.5. Информация хранится в виде заряда емкости $C_3 \approx 0,1$ пф. В процессе записи от РЛ_з при разрешающем высоком потенциале на АЛ_з через открытый транзистор Т2 заряжается емкость C_3 до потенциала РЛ_з, соответствующего U^0 или U^1 . По окончании сигнала адреса на АЛ_з транзистор Т2 запирается и ЭП переходит в режим хранения информации.

Считывание информации производится на разрядной линии РЛ_{сч}, находящейся под высоким потенциалом U^1 , при подаче на адресную линию считывания АЛ_{сч} высокого потенциала, которым открывается транзистор Т3. Если ЭП находится в единичном состоянии (C_3 заряжена до потенциала до U^1), то транзистор Т1 также будет открыт и потенциал разрядной линии снизится до потенциала U^0 . Если емкость C_3 была заряжена до потенциала U^0 , то транзистор Т1 будет находиться в закрытом состоянии и потенциал РЛ_{сч} останется неизменным, т. е. равным U^1 .

Чтобы избежать потери информации из-за уменьшения с течением времени заряда емкости C_3 , производится его периодическая регенерация (восстановление).

В режиме регенерации сигналы выборки подаются на обе адресные линии $АЛ_{сч}$ и $АЛ_3$. Сигналы, считанные с выхода каждого ЭП выборкой строки, через усилители-регенераторы подаются на их входы, и восстанавливают потенциал емкости до первоначальной величины. Так одновременно производится регенерация информации в одной из строк накопителя.

Для выполнения полной регенерации необходимо на адресные входы последовательно подать адреса всех строк. Для большинства микросхем регенерацию необходимо производить с частотой порядка десятков-сотен герц.

Еще меньшую площадь на кристалле занимает однотранзисторный ЭП (рис. 8.6).

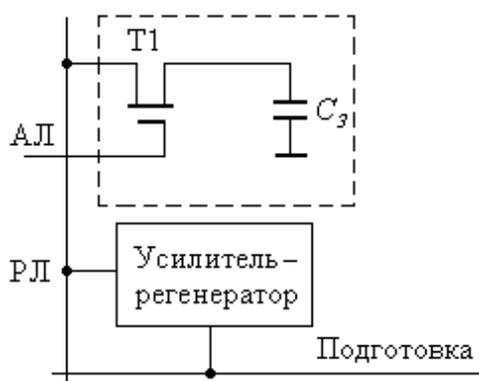


Рис. 8.6. Однотранзисторный ЭП динамического ЗУ

Хранение информации осуществляется на емкости C_3 , а транзистор T_1 выполняет роль ключа выборки, который открывается высоким потенциалом адресной линии $АЛ$. При записи в РЛ подается потенциал U^0 или U^1 , в зависимости от поступающего на микросхему сигнала: D_i равного 1 или 0. Такой же потенциал устанавливается на емкости C_3 и сохраняется на ней после окончания выборки, когда транзистор T_1 закрыт. Сохранность информации при считывании обеспечивается усилителем-регенератором

Динамические микросхемы памяти обеспечивают наиболее высокую информационную емкость при достаточно хороших значениях других параметров. Однако, необходимость регенерации информации усложняет структуру ЗУ на их основе и требует дополнительных временных затрат. Современные динамические микросхемы памяти имеют внутреннюю регенерацию, которая реализуется в промежутках времени между выборками.

Элементы памяти ПЗУ (РПЗУ). Основное требование к такой ячейке – сохранение информации при отключенном питании. Рассмотрим схему однотранзисторного ЭП для биполярного ПЗУ (рис. 8.7).

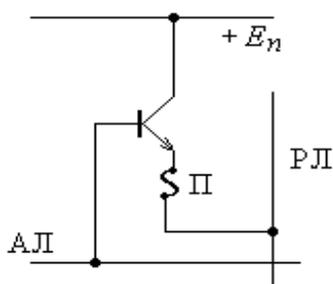


Рис. 8.7. Элемент памяти ПЗУ

В эмиттерной цепи транзистора предусмотрена плавкая перемычка (Π), которая в необходимых случаях может разрушаться при первоначальном программировании.

При обращении к ЭП по адресной линии в случае неразрушенной перемычки в РЛ будет протекать эмиттерный ток транзистора. В случае разрушенной перемычки ток протекать не будет.

Элемент памяти ПЗУ может быть выполнен и на МОП-транзисторах. Однако биполярные ПЗУ имеют более высокое быстродействие (время обращения 20...60 нс), но и большую рассеиваемую мощность, чем ПЗУ на МОП-транзисторах (время обращения 200...600 нс).

Репрограммируемые ПЗУ в настоящее время выполняются двух типов. В РПЗУ первого типа (EEPROM) матрица элементов памяти изготавливается аналогично матрице ПЗУ на основе МОП-транзисторов, но у которых между металлическим затвором и слоем изолирующего окисла осаждается тонкий слой нитрида кремния (МНОП-транзисторы). Нитрид кремния способен захватывать и сохранять длительное время (до 10 лет и более) электрический заряд. В исходном состоянии транзистор имеет высокое напряжение открывания (10...15)В, которое понижается до рабочих уровней после зарядки слоя нитрида кремния. Чтобы зарядить слой нитрида кремния, на затвор МНОП-транзистора подается высоковольтный программирующий импульс, по амплитуде в несколько раз превышающий рабочие уровни напряжений (15...20)В. При подаче сигнала на адресную линию, подключенную к затворам транзисторов, происходит открывание только заряженных транзисторов. Таким образом, наличие заряда приводит к тому, что ЭП хранит 0, а его отсутствие – 1.

Для стирания записанной информации, т.е. удаления заряда захваченного слоем нитрида кремния, на затвор МНОП-транзистора необходимо подать импульс напряжения противоположный, чем при записи полярности.

Другие варианты ЭП РПЗУ выполняются на МНОП-транзисторах с плавающим (изолированным) затвором. Подача высокого напряжения между истоком и стоком вызывает накопление в плавающем затворе заряда, создающего проводящий канал между стоком и истоком. Стирание информации осуществляется облучением транзисторов через кварцевое окно ультрафиолетовым излучением, которое разряжает затворы транзисторов и переводит их в непроводящее состояние.

Стирание информации таким способом имеет ряд очевидных недостатков, которые отсутствуют при электрическом стирании. Для устранения этого в транзисторе выполняется второй управляющий затвор. Однако, ввиду большей площади ЭП, микросхемы РПЗУ с электрическим стиранием имеют в 2...4 раза меньшую информационную емкость, чем микросхемы со стиранием ультрафиолетовым светом.

Параметры интегральных ЗУ. В номенклатуру параметров ЗУ входят следующие основные величины:

Информационная емкость в битах – параметр, характеризующий степень интеграции.

Удельная мощность – общая мощность, потребляемая в режиме хранения, отнесенная к 1 биту.

Максимальная частота обращения при считывании.

Удельная стоимость одного бита информации. Этот параметр – один из определяющих при сравнительных оценках.

МОП – транзисторные ОЗУ в целом превышают биполярные по информационной емкости, удельной мощности и удельной стоимости, но уступают им по быстродействию. Минимальная удельная мощность свойственна КМОП-схемам, а минимальная стоимость – динамическим типам ОЗУ. Среди биполярных разновидностей максимальное быстродействие характерно ОЗУ в базисе ЭСЛ.

9. ПРИНЦИПЫ СОЗДАНИЯ БОЛЬШИХ ИНТЕГРАЛЬНЫХ ЦИФРОВЫХ СХЕМ

В настоящее время цифровая электроника в подавляющем большинстве базируется на больших и сверхбольших интегральных схемах. В то же время можно сказать, что в основе БИС и СБИС лежит интеграция простых ИС.

Общая характеристика БИС. Примером простых ИС являются логические вентили типа ТТЛ, КМОП, ЭСЛ и др., а также простые триггеры. Следующее место по сложности занимают СИС, которые включают сумматоры, счетчики, ОЗУ и ПЗУ небольшой емкости. На основе БИС реализуются, например, арифметико-логические и управляющие устройства ЭВМ, цифровые фильтры и т. д. Современные процессоры вычислительных устройств, сложные многофункциональные устройства реализуются в СБИС. Наибольшая степень интеграции свойственна однородным структурам – ЗУ и составляет в настоящее время десятки миллионов элементов на кристалле. Использование БИС приводит к резкому улучшению всех основных показателей устройств по сравнению с аналогичным функциональным комплексом, выполненным на отдельных ИС: уменьшается количество корпусов, число сборочных и монтажных операций, количество внешних, наиболее ненадежных соединений. Все это способствует уменьшению размеров, массы, стоимости и повышению надежности. Уменьшение длины межсоединений внутри кристалла позволяет повысить быстродействие и помехоустойчивость устройства.

Гибкость аппаратных средств можно обеспечить за счет применения ИС специализированных в соответствии с потребностями заказчика. Подобные ИС охватываются общим понятием *ASIC (application specific integrated circuit)*. К ним относятся ИС, которые с помощью физических изменений (а также с помощью конфигурационных программ) могут быть приведены в соответствие с определенными требованиями. *ASIC* охватывает как специально изготовленные ИС (полностью заказное проектирование) со специально разработанной для заказчика логикой, так и стандартные схемные узлы, в которых заказчики могут разрывать соединения электрическим током для достижения определенных схемных конфигураций.

В настоящее время существует большое число различных типов *ASIC*. Весьма грубо их можно подразделить следующим образом.

Базовые матричные кристаллы. Главнейший вопрос, возникающий при проектировании БИС, СБИС, – это вопрос об их технически и экономически целесообразной сложности. Необходимо сочетание достаточной сложности (чтобы реализовать преимущества высокой степени интеграции) с достаточной универсальностью (чтобы обеспечить экономически оправданный объем выпуска). Этого компромисса можно достигнуть, обеспечивая элементарную избыточность и многофункциональность. Данный принцип положен в основу БИС на базовых матричных кристаллах (БМК). Базовый матричный кристалл – это набор топологических ячеек или простых ИС, расположенных в виде матрицы, между элементами

которой отсутствуют соединения. Для получения БИС с заданными функциями отдельные элементы внутри ячеек и сами ячейки соединяются токоведущими дорожками.

В конкретной БИС, выполненной на БМК, обычно используются не все топологические ячейки, что определяется функциональными особенностями микросхемы.

Другой принцип формирования заданной структуры БИС на БМК состоит в первоначальном создании кристалла, в котором выполнены все возможные межсоединения элементов. Затем в нужных местах межсоединений делаются разрывы путем локального удаления материала межсоединения методом разрушения.

Программируемые логические матрицы. Существенным недостатком описанных выше БИС на БМК является то, что формирование структуры БИС может быть выполнено только в рамках логической структуры, определенной их разработчиками. Значительно большую гибкость обеспечивают программируемые пользователем логические матрицы ПЛМ. Это специализированные БИС, внутренняя структура которых, подобно БМК, состоит из матрицы базовых логических ячеек и межсоединений, но конфигурация отдельных ячеек и связей между ними осуществляется с помощью специальной схемы, расположенной на этом же кристалле. Базовые ячейки могут реализовать логические операции И (рис. 9.1) или операции ИЛИ (рис. 9.2) над входными переменными.

ПЛМ обычно содержит матрицы обоих типов, причем если выходы P_i матрицы М1, например, соединяются с одноименными входами P_i матрицы М2, то реализуемая такой ПЛМ логическая функция будет иметь вид:

$$y_1 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \dot{\cup} x_1 x_3 \dot{\cup} x_1 x_2;$$

$$y_2 = x_1 x_3 \dot{\cup} \bar{x}_1 x_2 x_3.$$

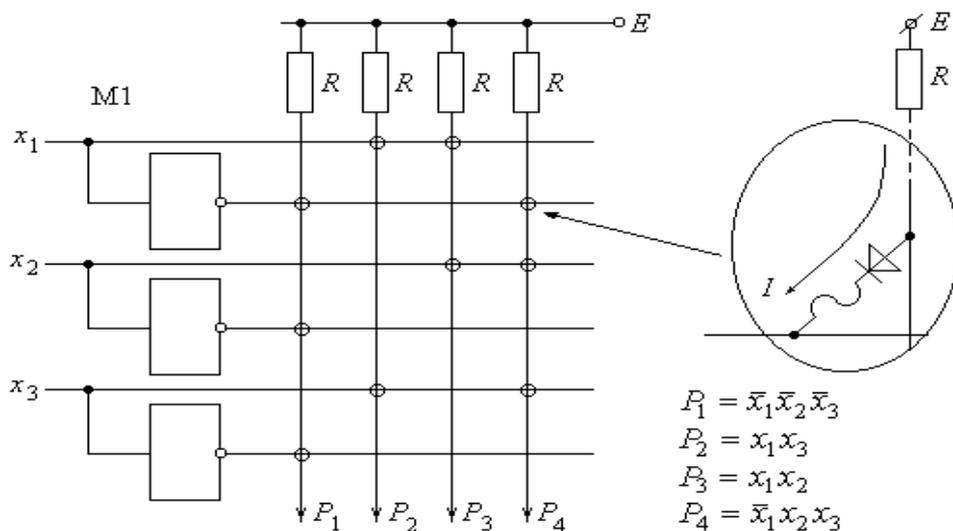


Рис. 9.1. Вариант конструкции матрицы элементов И

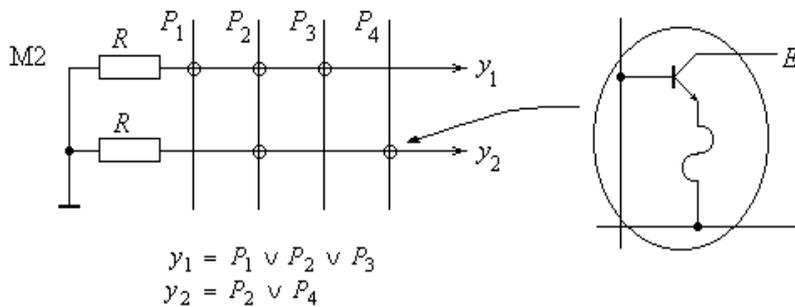


Рис. 9.2. Вариант конструкции матрицы элементов **ИЛИ**

Для разных типов ПЛМ установленная конфигурация может либо сохраняться при отключении питания, подобно постоянным запоминающим устройствам, либо требуется перезагрузка при каждом новом включении. Управление перезагрузкой может выполнять сама схема ПЛМ, считывая информацию о конфигурации из внешнего ПЗУ.

Известны три способа соединения элементов ПЛМ, обеспечивающих получение на выходах заданного набора функций.

По первому способу соединения создаются в процессе изготовления микросхемы с помощью разрабатываемого шаблона. Такой способ широко используется при создании ПЛМ, входящих в состав серийно выпускаемых БИС, например микропроцессоров, контроллеров периферийных устройств (дисплеев, принтеров и др.).

Второй способ программирования ПЛМ состоит в использовании плавких перемычек для получения необходимой конфигурации соединений элементов (рис. 9.1, 9.2). Такой способ программирования потребителем широко используется для создания специализированных комбинационных схем, которые выполняют набор функций для решения определенных задач.

Оба этих способа создания ПЛМ позволяют сохранять ее конфигурацию после отключения питания.

Третий способ программирования также осуществляется потребителем, но вместо плавких перемычек в соединении включены МДП-транзисторы. В закрытом состоянии они разрывают соответствующие соединения, в открытом – замыкают. При этом используются специальные МНОП-структуры, в которых проводящий канал индуцируется под действием заряда, накапливаемого на границе раздела двух диэлектриков под затвором транзистора или МОП-транзисторы с изолированным («плавающим») затвором.

Матрицы М1 и М2 образует двухуровневую ПЛМ (рис. 9.3).

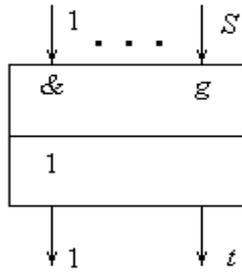


Рис.9.3. Условное обозначение двухуровневой ПЛМ (S, t, g), где S – число входов, t – число выходов, g – число промежуточных шин

Сложность ПЛМ оценивается общим числом пересечений горизонтальных и вертикальных шин обеих матриц.

10. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ МИКРОСХЕМЫ

10.1. ОБЩИЕ СВЕДЕНИЯ

Аналоговые микросхемы можно разделить на две группы. Первую составляют микросхемы универсального назначения: матрицы согласованных резисторов, диодов, транзисторов и т. д. Сюда также относятся интегральные операционные усилители (ОУ), появление которых является важнейшим достижением аналоговой микроэлектроники. Во вторую группу входят специализированные аналоговые микросхемы, выполняющие некоторые определенные функции, например, фильтрацию, компрессию, перемножение аналоговых сигналов.

Работа любого аналогового устройства сопряжена с ошибками, источниками которых может быть технологический разброс параметров элементов, их температурный и временной дрейфы, шумы, наводки. Уменьшение погрешности работы аналоговых устройств – одна из главных задач их разработчиков. Высокая сложность решения этой проблемы вызвала отставание технологии аналоговых микросхем как самостоятельного направления микроэлектроники по сравнению технологиями цифровых микросхем. Серьезным препятствием явился ограниченный набор элементов полупроводниковых микросхем, в частности отсутствие индуктивных элементов и конденсаторов. Трудной оказалась задача разработки небольшого числа типовых структур, которые подобно ЛЭ в цифровых микросхемах могли бы стать основной для аналоговой микросхемотехники.

В настоящее время многие из указанных трудностей преодолены. Разработаны специальные схемотехнические приемы взаимной компенсации нестабильности параметров элементов электрических цепей, при которых точность работы аналогового устройства гарантируется идентичностью характеристик элементов. Особенностью схемотехники аналоговых микросхем является реализация принципа схемотехнической избыточности, который, несмотря на усложнение изделий, благодаря интегральной технологии, позволяет улучшить их качество.

Удельная доля аналоговых (цифроаналоговых) средств в промышленности стран с развитой электроникой примерно постоянна уже в течение многих лет и составляет примерно 20 %. Вместе с тем функции, выполняемые аналоговыми ИС динамично изменяются.

10.3. СТРУКТУРА ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ И ИХ ПАРАМЕТРЫ

Свое название операционный усилитель (ОУ) получил от способности выполнять различные операции над сигналами с помощью пассивных цепей отрицательной обратной связи.

Схемотехнически ОУ в основном выполняется по схеме усилителя постоянного тока с дифференциальным каскадом на входе и двухтактным – на выходе, обеспечивающим малое выходное сопротивление.

Для современных интегральных ОУ характерны две структурные схемы: трехкаскадная и двухкаскадная. Трехкаскадная модель, разработанная в 60-х гг. прошлого столетия, состояла из входного дифференциального усилителя, работающего в режиме микротоков (десятки микроампер), промежуточного усилителя напряжения и компенсации напряжения сдвига и выходного усилителя, определяющего нагрузочную способность ОУ и не участвующего в формировании его коэффициента усиления.

Двухкаскадный ОУ разработан несколько позже после реализации на одной подложке высококачественных интегральных транзисторов разной проводимости. В таком ОУ первый каскад выполняет функции входного ДУ и мало-сигнального усилителя напряжения. Каскад сдвига уровня в такой схеме ОУ не нужен, так как выходные сигналы первого каскада, построенного по специальной схеме, находятся практически под нулевыми потенциалами. Второй каскад выполняет функции усилителя напряжения, работающего в режиме больших сигналов (близких по амплитуде к величине напряжения питания) и эмиттерного повторителя.

Таким образом, ОУ – это модульный многокаскадный усилитель с дифференциальным входом, по своим характеристикам приближающийся к «идеальному усилителю» для которого характерно:

- бесконечно большой коэффициент усиления по напряжению ($A \rightarrow \infty$),
- бесконечно большое полное входное сопротивление ($Z_{вх} \rightarrow \infty$),
- нулевое полное выходное сопротивление ($Z_{вых} \rightarrow 0$),
- равенство нулю выходного напряжения ($U_{вых} = 0$) при равных напряжениях на входах ($U_{вх1} = U_{вх2}$),
- бесконечно широкая полоса пропускания (отсутствие задержки при прохождении сигнала через усилитель).

На практике ни одно из этих свойств не может быть осуществлено в полной мере, однако к ним можно приблизиться с достаточной для многих приложений точностью. Условное изображение усилителя приведено на рис.10.6.

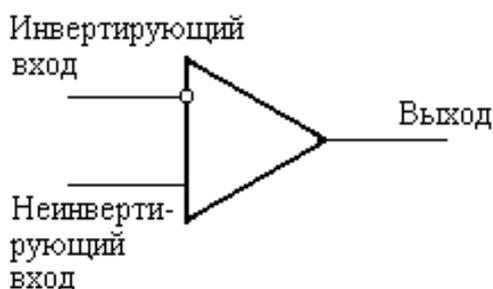


Рис.10.6. Условное обозначение ОУ

Если в ОУ неинвертирующий вход заземлен и сигнал подан на инвертирующий вход, то сигнал на выходе относительно входного сигнала будет сдвинутым по фазе на 180° .

Если же инвертирующий вход заземлен, а сигнал подан на неинвертирующий вход, то выходной сигнал будет совпадать по фазе с входным.

Основные параметры операционного усилителя

Коэффициент усиления без обратной связи (А). Коэффициент усиления усилителя в отсутствие обратной связи обычно равен $10^3 - 10^7$.

Входное напряжение сдвига ($U_{сдв.}$). Нежелательные напряжения, возникающие внутри усилителя, служащие причиной появления на его выходе некоторого напряжения при нулевом напряжении на обоих входах. Является следствием неточного согласования напряжений эмиттер–база входных транзисторов. $U_{сдв.}$ называют входным, так как определяют его через то напряжение, которое надо приложить к входам, чтобы на выходе установился 0 В. Обычно $U_{сдв.}$ достигает сотых долей – единиц милливольт.

Входное сопротивление $R_{вх.}$ Сопротивление усилителя по отношению к входному сигналу. В зависимости от типа используемых транзисторов во входном ДУ $R_{вх.}$ лежит в диапазоне $10^4 - 10^7$ Ом.

Выходное сопротивление $R_{вых.}$ Обычно $R_{вых.}$ не превышает нескольких сотен Ом.

Максимальное выходное напряжение $U_{вых. max.}$ Его значение обычно на 1...5 В ниже напряжения питания.

Коэффициент ослабления синфазных входных напряжений $K_{о.сн.}$ Этот коэффициент определяется как отношение коэффициента усиления для дифференциального сигнала A_d к коэффициенту усиления синфазного сигнала A_c и равен обычно 60...120 дБ ($K_{о.сн.} = 20 \lg A_d / A_c$).

Указанные выше параметры заданы для случая входных сигналов нулевой частоты и называются **статическими параметрами**.

Частота единичного усиления f_T . Максимальная частота усиливаемого сигнала при которой коэффициент усиления ОУ становится равным единице.

Максимальная скорость нарастания выходного напряжения $V_{max.}$ Максимальная скорость изменения выходного напряжения $V_{max.} = \frac{dU_{вых.}}{dt} \Big|_{\dot{U}_{max.}}$, достигает единиц – сотен В/мкс.

Время установления выходного напряжения $t_{уст.}$ Характеризуется временем в течение которого выходное напряжение ОУ при воздействии входного напряжения ступенчатой формы изменяется от уровня 0,1 до уровня 0,9 установившегося значения.

Параметры f_T , $V_{max.}$, $t_{уст.}$ относятся к **динамическим параметрам**, так как они характеризуют ОУ при изменяющихся входных сигналах.

10.4. ТИПОВЫЕ ВКЛЮЧЕНИЯ ОУ

Неинвертирующий усилитель

Схема усилителя, приведенная на рис. 10.7., позволяет использовать ОУ в качестве неинвертирующего усилителя, коэффициент усиления которого определяется внешними сопротивлениями R_1 , $R_{ос.}$

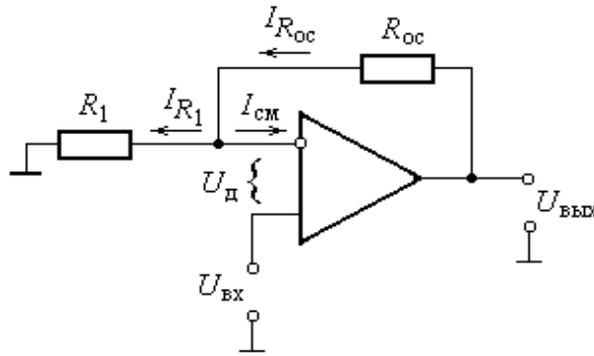


Рис. 10.7. Неинвертирующий усилитель

Чтобы получить выражение для коэффициента усиления данной схемы примем, что входное сопротивление ОУ $R_{вх}' \gg R_1$, а его коэффициент усиления $A_{д}$ также бесконечно велико т. е. $A_{д} \gg 1$. Следовательно можно считать, что $I_{CM} \gg 0$ и поэтому $I_{R_1} = I_{R_{OC}}$ и $U_{Д} \gg 0$ так как $U_{Д} = U_{ВЫХ} / A_{д}$.

Имеем $I_{R_1} = U_{R_1} / R_1$ и $I_{R_{OC}} = U_{R_{OC}} / R_{OC}$. Напряжение на инвертирующем входе усилителя равно $U_{ВХ} + U_{Д}$, поэтому

$$I_{R_1} = (U_{ВХ} + U_{Д}) / R_1, \quad I_{R_{OC}} = [U_{ВЫХ} - (U_{ВХ} + U_{Д})] / R_{OC}.$$

Откуда

$$(U_{ВХ} + U_{Д}) / R_1 = [U_{ВЫХ} - (U_{ВХ} + U_{Д})] / R_{OC}.$$

С учетом малости $U_{Д}$ можно записать

$$U_{ВХ} / R_1 = (U_{ВЫХ} - U_{ВХ}) / R_{OC}$$

Решая полученное уравнение относительно $\frac{U_{ВЫХ}}{U_{ВХ}} = K_{OC}$, получим

$$K_{OC} = R_{OC} / R_1 + 1.$$

Коэффициент K_{OC} называют *коэффициентом усиления замкнутого усилителя*. Полученное выражение верно когда $A_{д} \gg K_{OC}$.

В первом приближении входное сопротивление неинвертирующего усилителя со стороны источника сигнала весьма велико

$$R_{ВХ} = R_{ВХ}' (1 + b A_{до}),$$

а выходное – мало: $R_{ВЫХ} = \frac{R_{ВЫХ}'}{1 + b A_{до}}$, где $b = \frac{R_1}{R_1 + R_{OC}}$ – коэффициент обратной связи, $A_{до}$ – коэффициент передачи ОУ на нулевой частот.

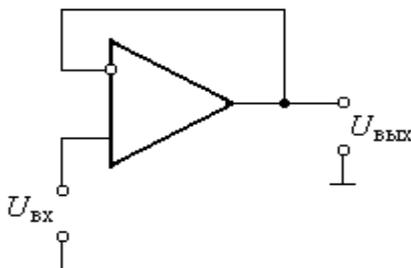


Рис. 10.8. Повторитель напряжения

Частным случаем неинвертирующего включения ОУ является схема повторителя напряжения (рис. 10.8), обладающего единичным усилением.

Так как входное сопротивление усилителя велико, а выходное стремится к нулю, такой усилитель, явля-

ясь, по существу, высокоточным преобразователем импеданса, находит широкое применение в измерительных устройствах.

Инвертирующий усилитель

Схема инвертирующего усилителя приведена на рис. 10.9.

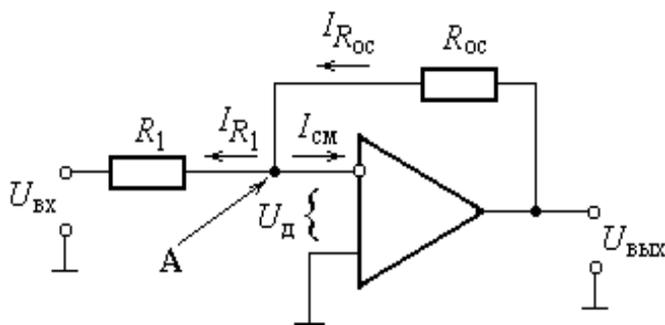


Рис. 10.9. Инвертирующий усилитель

Точку А на схеме называют потенциально заземленной, потому что ее потенциал почти равен потенциалу земли, так как $U_{д} \gg 0$.

Для этой схемы можно записать

$$I_{R_1} = (U_{ВХ} - U_{д})/R_1 \quad \text{и} \quad I_{R_{ОС}} = - (U_{ВЫХ} - U_{д})/R_{ОС} ,$$

откуда

$$(U_{ВХ} - U_{д})/R_1 = - (U_{ВЫХ} - U_{д})/R_{ОС} .$$

Знак минус в правой части означает, что выход инвертирован по отношению к входу. Полагая $U_{д} \gg 0$, получим $U_{ВХ}/R_1 = - U_{ВЫХ}/R_{ОС}$.

Коэффициент усиления замкнутого инвертирующего усилителя равен

$K_{ОС} = \frac{U_{ВЫХ}}{U_{ВХ}} = - R_{ОС}/R_1$. Входное сопротивление инвертирующего усилителя на

ОУ $R_{ВХ} = R_1$, а выходное $R_{ВЫХ} = \frac{R'_{ВЫХ}}{1 + bA_{д}}$.

Наличие в реальном усилителе токов смещения необходимых для нормальной работы транзисторов входного ДУ вызывает появление статической ошибки $U_{сдв\ вых} = I_{см1} \times (R_1 // R_{ОС}) \times A_{д}$. Поскольку токи смещения обоих входов ОУ приблизительно равны данную ошибку можно уменьшить подключением к неинвертирующему входу ОУ компенсирующего резистора $R_{к} = R_1 // R_{ОС}$ (рис. 10.10).

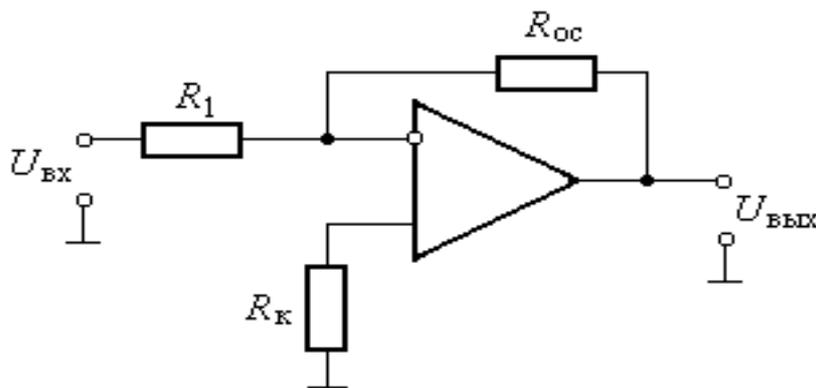


Рис. 10.10. Сбалансированный по входам инвертирующий усилитель

Дифференциальное включение ОУ

Дифференциальный усилитель (рис. 10.11) представляет собой комбинацию инвертирующей и неинвертирующей схем.

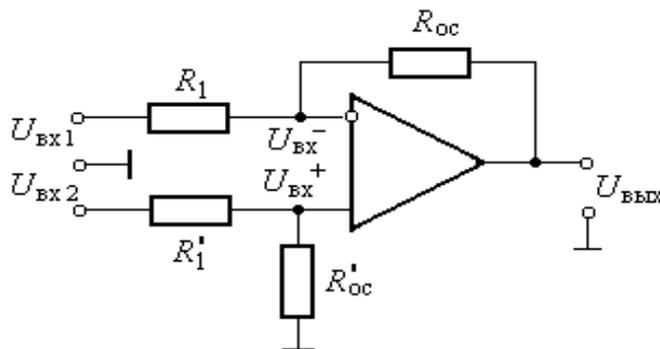


Рис. 10.11. Дифференциальный усилитель

С учетом $I_{cm} \gg 0$ и $U_d \gg 0$ составим систему уравнений

$$\frac{U_{ВХ1} - U_{ВХ}^-}{R_1} = \frac{U_{ВХ}^- - U_{ВЫХ}}{R_{oc}}, \text{ при } I_{R_1} = I_{R_{oc}} \text{ и } U_{ВХ}^- = U_{R_{oc}} + U_{ВЫХ}$$

$$U_{ВХ}^+ = U_{ВХ2} \frac{R_{oc}'}{R_1' + R_{oc}'}, \text{ при } I_{R_1'} = I_{R_{oc}'} = \frac{U_{ВХ2}}{R_1' + R_{oc}'}$$

$$U_{ВХ}^+ = U_{ВХ}^-, \text{ при } U_d \gg 0$$

и, решая их относительно выходного напряжения, получим:

$$U_{ВЫХ} = \frac{R_{oc}'(R_1 + R_{oc})}{R_1(R_1' + R_{oc}')} U_{ВХ2} - \frac{R_{oc}}{R_1} U_{ВХ1}.$$

Обычно в такой схеме $R_1 = R_1'$, $R_{oc} = R_{oc}'$, поэтому можно записать

$$U_{ВЫХ} = \frac{R_{oc}}{R_1} (U_{ВХ2} - U_{ВХ1}).$$

На основе рассмотренных типовых включений ОУ реализуется большое количество схем различного назначения.

10.5. ЧАСТОТНЫЕ СВОЙСТВА ОПЕРАЦИОННОГО УСИЛИТЕЛЯ Амплитудно-частотная (АЧХ) и фазо-частотная (ФЧХ) характеристики одного каскада ОУ

В ОУ отдельные его каскады соединяются между собой непосредственно, и поэтому его АЧХ не имеет спада на нижних частотах. С увеличением же частоты усиливаемого сигнала наблюдается падение коэффициента усиления ОУ. Это объясняется наличием в интегральном ОУ распределенных паразитных емкостей, которые закорачивают высокочастотные сигналы на землю все более и более по мере роста их частоты.

При рассмотрении этого вопроса, распределенные паразитные емкости удобно сводить к одной, емкость которой является суммой всех паразитных емкостей в схеме.

Любой многокаскадный усилитель на высоких частотах можно представить в виде ряда генераторов сигнала $KU_{\text{вх}}$, нагруженных на соответствующие эквивалентные интегрирующие RC-цепи. Количество таких цепей равно числу отдельных каскадов усиления.

Амплитудно-частотная и фазо-частотная характеристики одного такого каскада описываются следующими выражениями:

$$|K(f)| = K_0 / \sqrt{1 + \frac{\omega f}{\omega_{\text{гр}}} \frac{\omega}{\omega_{\text{гр}}}}^2,$$

$$\varphi(f) = - \arctg \frac{f}{f_{\text{гр}}}.$$

Если выполняется обычное для ОУ неравенство $R_{\text{н}} \gg R_{\text{вых}}$, то $f_{\text{гр}} = 1/2\pi RC$.

Графическая зависимость от частоты модуля коэффициента передачи напряжения и сдвига фазы выходного сигнала относительно входного для одного каскада ОУ приведена на рис. 10.12.

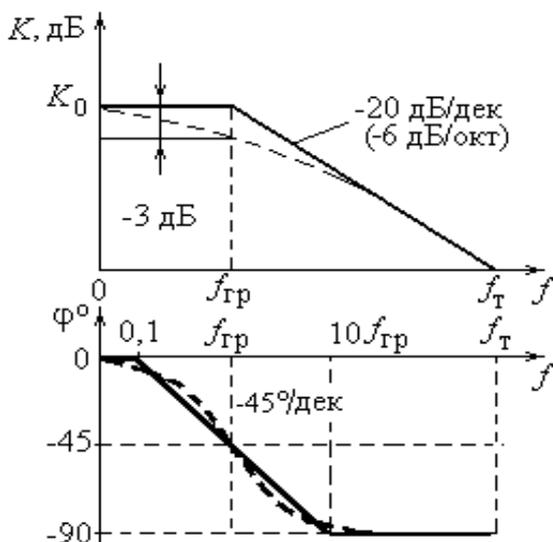


Рис. 10.12. АЧХ и ФЧХ одного каскада ОУ

АЧХ и ФЧХ усилителя обычно стоят в логарифмическом масштабе. На частоте $f_{\text{гр}}$, где резистивное и емкостное сопротивления равны аппроксимированная АЧХ претерпевает излом. На частоте излома усиление усилителя падает на 3 дБ. Начиная с $f_{\text{гр}}$ при увеличении частоты в 10 раз (на декаду) во сколько же раз (т. е. на 20 дБ) уменьшается коэффициент усиления по напряжению каскада. Таким образом скорость спада АЧХ за частотой излома составляет -20 дБ/декада или -6 дБ/октаву (октаве соответствует изменение частоты в два раза).

Фазо-частотная характеристика аппроксимируется тремя отрезками прямых, причем наклон второго отрезка прямой составляет $-45^\circ/\text{декада}$, а сопряжение асимптот происходит на частотах $0,1 f_{\text{гр}}$ и $10 f_{\text{гр}}$ при максимальной погрешности аппроксимации $5,7^\circ$. На частоте $f_{\text{гр}}$ отставание фазы выходного сигнала по отношению ко входному составляет 45° . На частоте $f_{\text{т}}$ усиление усилителя уменьшается до 0 дБ или единицы, а фазовый сдвиг достигает -90° .

АЧХ и ФЧХ многокаскадного усилителя

Большинство ОУ состоит из двух и более каскадов, каждый из которых имеет скорость спада -6 дБ/октаву. Спад усиления многокаскадного усилителя

имеет более сложную форму, чем спад описанный в предыдущем разделе. Формирование АЧХ и ФЧХ многокаскадного усилителя удобно проанализировать с помощью эквивалентной схемы (рис. 10.13).

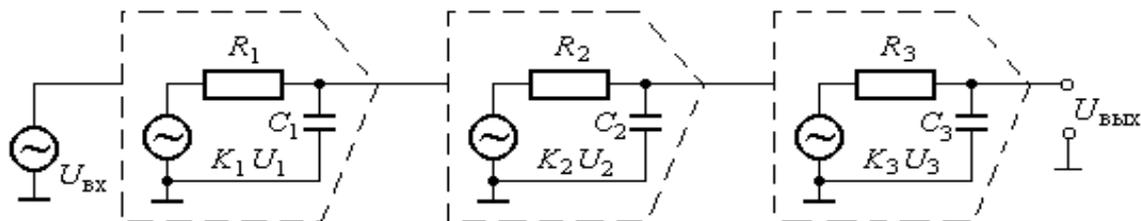


Рис. 10.13. Эквивалентная схема трехкаскадного ОУ

Каждый каскад усилителя имеет собственную постоянную времени, собственный коэффициент передачи напряжения на постоянном токе K_1, K_2, K_3 соответственно и соответствующие частоты среза $f_{гр1}, f_{гр2}, f_{гр3}$ (рис. 10.14).

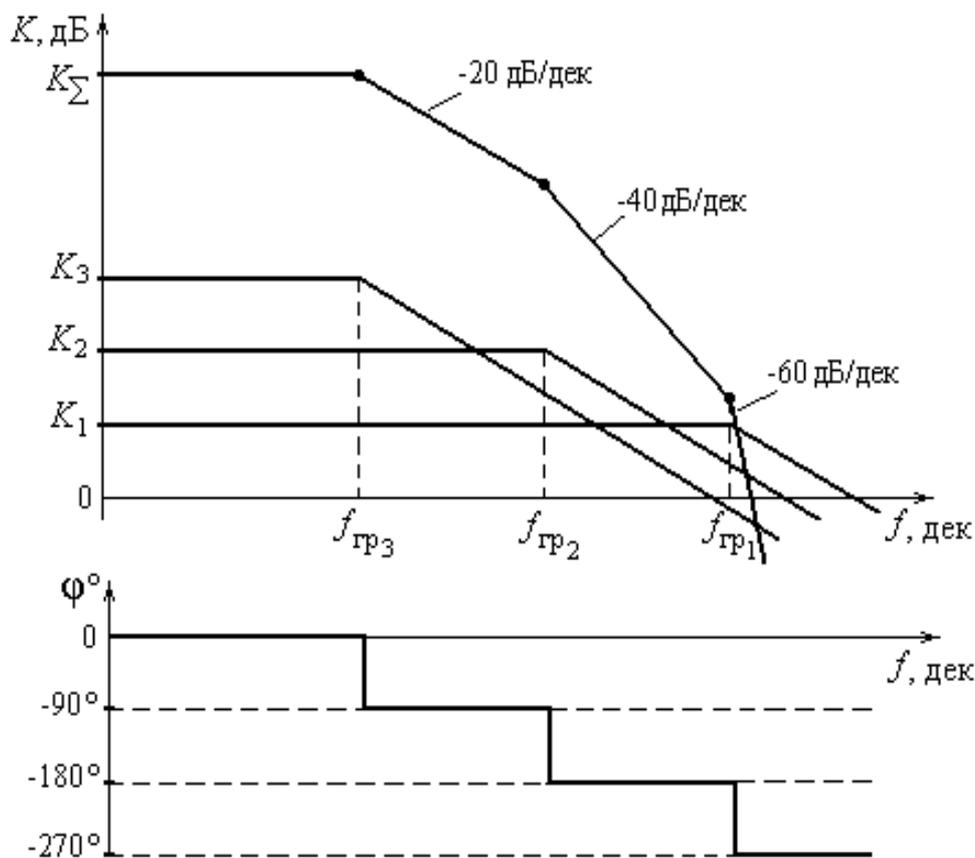


Рис. 10.14. АЧХ и ФЧХ трехкаскадного ОУ

Скорость спада результирующей АЧХ увеличивается после каждой частоты среза на -20 дБ/дек, при этом сдвиг фазы выходного сигнала соответственно возрастает на -90° . Для удобства анализа схемы на графиках частоту указывают в логарифмическом масштабе.

Скорость спада АЧХ сохраняется также и за пределами частоты единичного усиления. На рис. 10.14 ошибка идеализированной ФЧХ, при выбранной ее аппроксимации, имеет максимальную величину равную 45° на частоте $f_{гр}$.

Амплитудно-частотная характеристика ОУ с цепью отрицательной обратной связи

Обычно ОУ используется с цепями обратной связи. Введение, например, отрицательной обратной связи (ООС) позволяет увеличить $R_{вх}$, уменьшить $R_{вых}$, расширить полосу пропускания, уменьшить искажения.

Однако, например, если двухкаскадный ОУ охватить отрицательной ОС, то на частоте единичного усиления, когда фазовый сдвиг будет равен -180° , может возникнуть положительная ОС, которая приведет к самовозбуждению ОУ. В трехкаскадном ОУ самовозбуждение может наступить на частоте, меньшей частоты единичного усиления, так как предельный фазовый сдвиг этого ОУ -270° . В связи с этим в трехкаскадных ОУ имеется большая опасность самовозбуждения, чем в двухкаскадных, и требуется частотная коррекция АЧХ. Поэтому, в последнее время, среди интегральных ОУ в основном получили распространение двухкаскадные.

Рассмотрим трехкаскадный неинвертирующий усилитель, охваченный ООС по напряжению (рис. 10.15). Если считать АЧХ усилителя линейной, то $U_{вых} = K_0 U_{вх}$. Из рис. 10.15, а следует

$$U_{вых} = A_0 U_{д} = A_0 \frac{U_{вх}}{1 + b U_{вых}} = A_0 (U_{вх} - b U_{вых}),$$

где $b = R_1 / (R_1 + R_{ос})$ – коэффициент обратной связи.

Полагая, что отношение $U_{вых} / U_{вх} = K_{ос}$, находим

$$K_{ос} = A_0 / (1 + b A_0).$$

Так как A_0 велико можно считать $K_{ос} \gg \frac{1}{b}$. Таким образом введение ООС

уменьшает значение коэффициента усиления и как видно из рис. 10.15, б расширяет полосу пропускания усилителя. Однако если линия $1/b$ пересекает АЧХ усилителя в точке, которой соответствует частота большая $f_{кр}$, усилитель самовозбудится.

На частотах выше $f_{кр}$ фазовый сдвиг выходного сигнала достигает -180° или превышает эту величину. Вместе с начальным схмотехническим сдвигом 180° (обратная связь–отрицательная) суммарный фазовый сдвиг по цепи ООС на частоте $f_{кр}$ составит $D_j = 360^\circ$, что и вызовет самовозбуждение схемы в случае $K_{ос} = 1/b > 1$. Следовательно, глубина отрицательной обратной связи ограничивается условиями устойчивости усилителя. На рис. 10.15, б возможные значения $K_{ос}$ при которых, усилитель устойчиво работает, лежат в зоне 1.

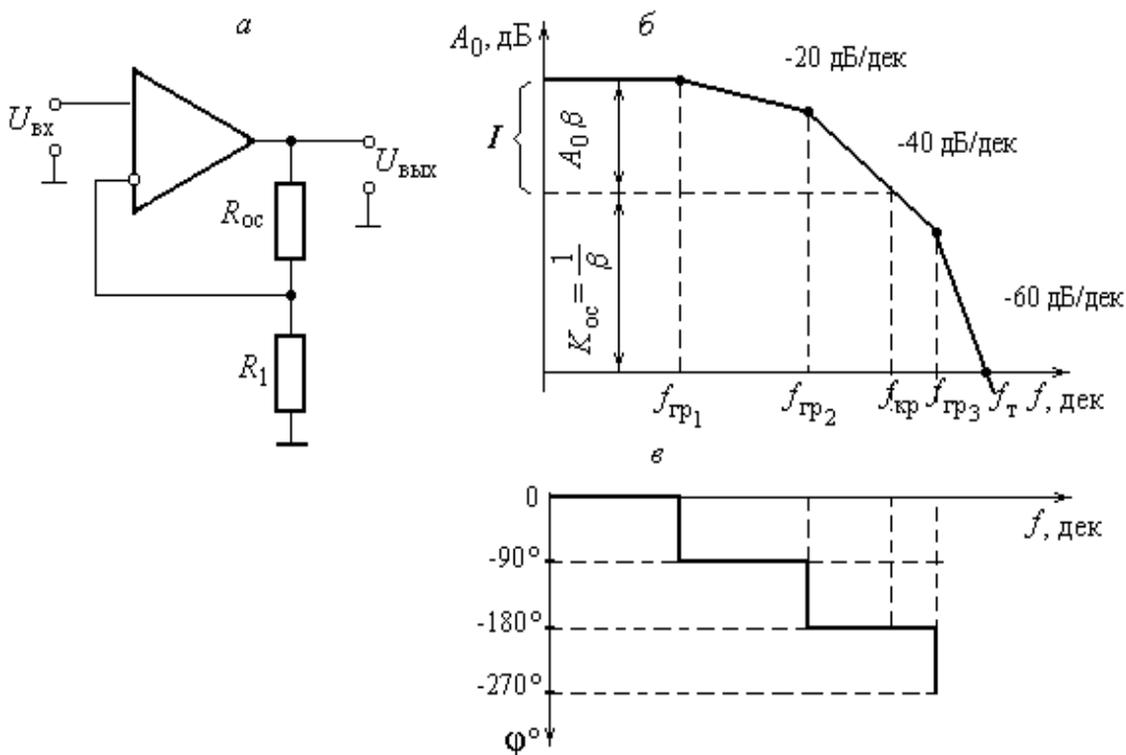


Рис. 10.15. Схема усилителя с ООС - а, его логарифмические АЧХ - б и ФЧХ - в

Отсюда вытекает основное требование обеспечения устойчивости усилителя с ООС: **прямая, соответствующая коэффициенту передачи ОУ с ООС $K_{oc} = 1/\beta$ должна пересекать участок АЧХ с наклоном -20 дБ/дек.** Это обеспечивает максимальный запас фазы по цепи ООС до самовозбуждения, равный 90° (при принятой аппроксимации ФЧХ) на второй частоте среза $f_{гр2}$. Реально же этот запас на частоте $f_{гр2}$ составляет 45° . На частоте $f_{кр}$ этого запаса нет.

В ряде случаев может оказаться достаточным и меньший запас по фазе. Поэтому в ОУ с ООС может быть использована и часть участка АЧХ с наклоном -40 дБ/дек.

Если возникает необходимость построить усилитель, с ООС для которого не удастся выполнить условия устойчивости, то в него необходимо внести цепи частотной коррекции. Частотная коррекция сводится в простейшем случае к срезанию лишней полосы частот. Если цепи коррекции выбраны так, что наклон результирующей АЧХ ОУ составляет -20 дБ/дек и она проходит через точку частоты единичного усиления f_t , то усилитель имеет полностью скорректированную частотную характеристику (рис. 10.16). Фазовый сдвиг на высокочастотном участке АЧХ составляет -90° , что соответствует максимальному запасу до самовозбуждения 90° . Частотная коррекция осуществляется с помощью внешних или внутренних RC цепей.

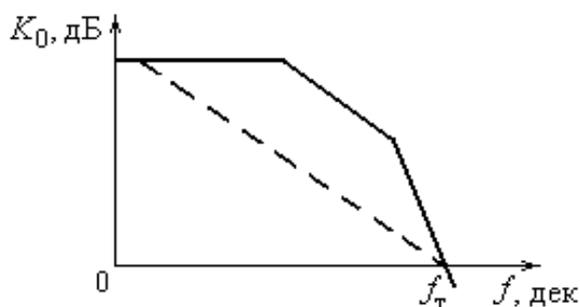


Рис. 10.16. Полностью скорректированная АЧХ двухкаскадного ОУ (пунктирная линия)

Усилители с внутренней коррекцией сохраняют устойчивость независимо от величины обратной связи. Однако такие усилители имеют ограниченную полосу пропускания и не позволяют в полной мере использовать динамические свойства усилителя для $K_{oc} \gg 1$, так как коррекция обычно выполняется для наихудшего случая т. е. $K_{oc} = 1$.

Скорость нарастания выходного сигнала

Скорость нарастания определяется как максимальная скорость изменения выходного напряжения во времени:

$$V = (DU_{\text{вых}}/Dt)_{\text{max}}, \text{ В/мкс.}$$

Ответить мгновенно на изменение входного напряжения усилитель не может из-за своих внутренних емкостей. Эти емкости в процессе усиления сигнала перезаряжаются, но скорость их заряда ограничена, а следовательно ограничена и скорость изменения выходного напряжения. Скорость нарастания – это мера способности усилителя обрабатывать без искажений большие сигналы и эта способность зависит от частоты и амплитуды выходного сигнала. Эффекты, связанные с недостаточной скоростью нарастания могут вызвать значительные, не поддающиеся коррекции, искажения усиленного сигнала.

Если требуется использовать полную полосу пропускания усилителя, то приходится не допускать большого напряжения на выходе.

Для синусоидального сигнала $U = U_a \sin 2\pi f t$ скорость нарастания равна $dU/dt = 2\pi f U_a \cos 2\pi f t$, а ее максимальное значение составит

$$V = (dU/dt)_{\text{max}} = 2\pi f U_a.$$

В таблице 10.1 приведены малосигнальные характеристики некоторых типов ОУ компании Dallas Semiconductor (фирма Maxim).

Таблица 10.1

Модель	Функция	Мин. стабильн. коэф. усиления	Напряжение питания, (В)	Напряжение сдвига, (М в)	Частота единичн. усиления, М Гц	Потребляемый ток на один элемент
BB3554	Быстродействующий ОУ	≥ 1	$\pm (10 \dots 18)$	2	90	45
ICL7614	Малопотребляющий ОУ	≥ 1	+ 2 ... + 16, $\pm (1 \dots 8)$	2	0,044	0,015
MAX473	ОУ с однополярным питанием	≥ 1	+ (2,7 ... 5,5)	2	10	3
MAX4125	Одноканальный микромощный ОУ с режимом отключения	≥ 10	+ (2,7... 6,5), $\pm (1,35...3,25)$	0,75	25	0,825
MAX4285	Высокочастотный буферный усилитель с быстрым отключением	≥ 1	+ (2,85 ... 6,5)	12	250	24

МАХ4413	Сверхмалогабаритный, малопотребляющий, высокочастотный двухканальный ОУ с низковольтным однополярным питанием	≥ 1	$+(2,7 \dots 5,5)$	9	500	3,5
ОР27	Малозумящий прецизионный ОУ	≥ 1	$\pm (3 \dots 18)$	0,025	8	9,3

11. ИНСТРУМЕНТАЛЬНЫЕ АНАЛОГОВЫЕ И ЦИФРОВЫЕ МИКРОСХЕМЫ

Рассматриваемые в данной главе функциональные микроэлектронные устройства нельзя однозначно отнести только к аналоговым или только к цифровым. У таких изделий или их выходные сигналы являются цифровыми и наоборот, или они управляются цифровыми сигналами и поэтому, они включают в свой состав компоненты характерные как для цифровой так и для аналоговой электроники. В зависимости от выполняемых функций этот тип функциональных узлов относится к аналого-цифровым (АЦП) либо к цифро-аналоговым (ЦАП) преобразователям.

11.1. ЦИФРО-АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ ПРЕОБРАЗОВАТЕЛИ

Цифро-аналоговые преобразователи предназначены для создания выходной аналоговой величины, соответствующей цифровому коду, поступившему на вход преобразователя.

Простейший ЦАП можно построить на основе ОУ с коммутируемыми весовыми резисторами на входе (рис. 11.1). Каждый из аналоговых ключей (коммутаторов) $K_0 \dots K_{N-1}$ может находиться в одном из двух состояний: закрытом или открытом в зависимости от значения соответствующего разряда входного цифрового слова.

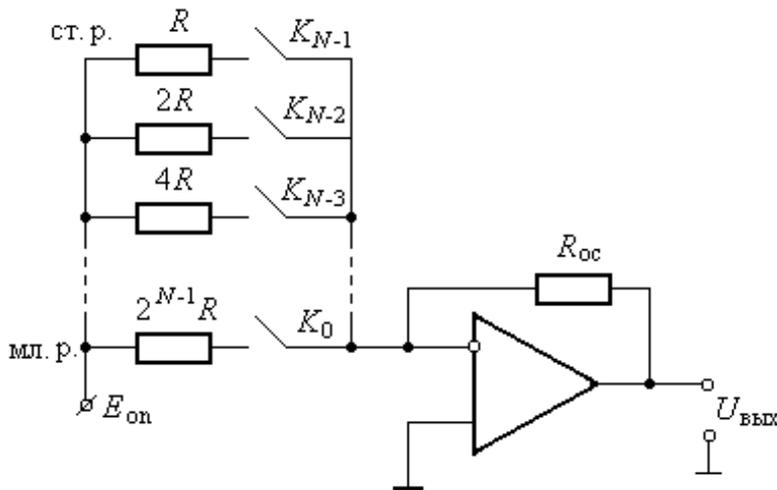


Рис. 11.1. Простейший ЦАП с весовыми резисторами на входе

Сопротивление резисторов соседних разрядов отличаются в 2 раза. Выходное напряжение ЦАП является функцией полного сопротивления резистивной матрицы которое в свою очередь определяется состояниями ключей, т. е.:

$$U_{\text{вых}} = - E_{\text{оп}} \frac{R_{\text{ос}}}{R_{\text{м}}}.$$

Определим сопротивление матрицы:

$$\frac{1}{R_M} = \frac{1}{R} \left(K_0 \frac{1}{2^{N-1}} + K_1 \frac{1}{2^{N-2}} + \dots + K_{N-1} \frac{1}{2^0} \right), \text{ откуда}$$

$$R_M = \frac{2^{N-1} \times R}{K_0 \times 2^0 + K_1 \times 2^1 + \dots + K_{N-1} \times 2^{N-1}}, \text{ где } K = [0,1].$$

Выбрав $R_{oc} = 2^{N-1} \times R$, получим ЦАП имеющий 2^N состояний, причем единице младшего разряда будет соответствовать $U_{вых} = -E_{он}$.

Пусть $N = 4$, тогда при коде на входе ЦАП – 1111, что соответствует замкнутому состоянию всех аналоговых ключей, получим $R_M = \frac{8}{15} \times R$, а $R_{oc} = 8R$.

Откуда

$$U_{вых} = -E_{он} \frac{8R}{15R} = -\frac{8}{15} E_{он}.$$

При входном коде ЦАП – 0001 будем иметь $R_M = 8R$, а

$$U_{вых} = -E_{он} \frac{8R}{8R} = -E_{он}.$$

При входном коде ЦАП – 0000 усилитель отключен от источника $E_{он}$ и работает как повторитель напряжения, повторяя нулевое напряжение на его неинвертирующем входе.

Точность такого преобразователя определяется разбросом и стабильностью параметров резисторов матрицы, аналоговых ключей, ОУ. При большой разрядности ЦАП технологически очень трудно выполнить резисторы с перепадом сопротивлений в 2^{N-1} раза. Технологически удобно изготавливать резисторы по возможности с *одинаковыми* сопротивлениями. В этом случае необходимый коэффициент передачи эталонного напряжения формируется с помощью многозвеньевого делителя напряжения на основе матрицы сопротивлений типа $R - 2R$ рис. 11.2.

Такая схема имеет коэффициент использования эталонного напряжения равный $2/3$ в то время как в предыдущей этот коэффициент равен 1. Однако, несмотря на этот недостаток и на большее число элементов схемы, резистивная матрица типа $R - 2R$ имеет преимущество как более технологичная.

В матрице $R - 2R$ выходное напряжение не зависит от абсолютной величины R . Чем выше идентичность в звеньях матрицы, тем точнее осуществляется цифро-аналоговое преобразование. Резистивная цепь $R - 2R$ изготавливается, как правило, по тонкопленочной технологии.

В рассмотренных схемах ЦАП время выполнения операции преобразования определяется быстродействием ключевых схем и переходными процессами в резистивных цепях, обусловленными наличием паразитных емкостей. Вторым фактором для этих схем является основным, так как значения сопротивлений обычно выбирают довольно большими (примерно 10 и 20 кОм), что бы пренебречь погрешностями, вносимыми конечным сопротивлением электронных ключей. С этой точки зрения схема (рис. 11.2) обладает более низким быстродействием.

вием, так как содержит больше паразитных емкостей и в ней используется многозвенный принцип передачи напряжения.

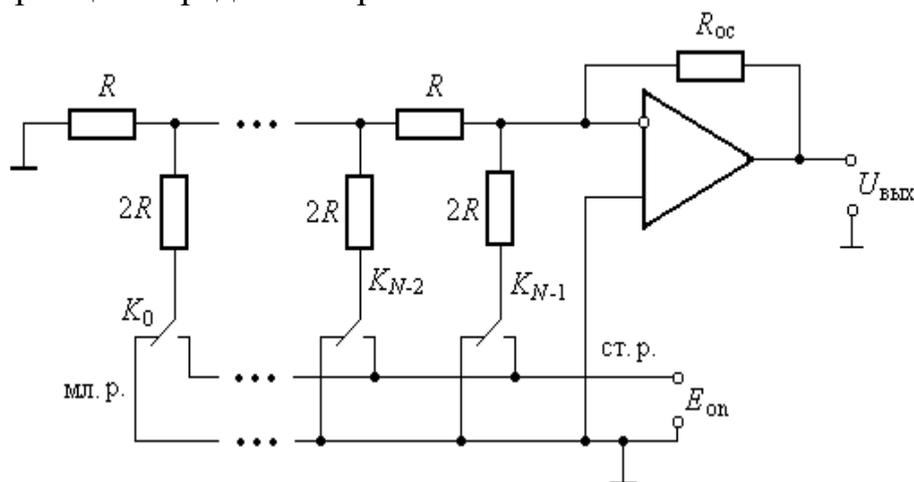


Рис. 11.2. ЦАП с резистивной матрицей типа $R - 2R$

В рассмотренных схемах ЦАП в качестве ключей используются аналоговые коммутаторы, как на биполярных, так и на полевых транзисторах. Главным требованием, предъявляемым к таким ключам, является их низкое, стабильное во времени сопротивление в открытом состоянии.

Параметры ЦАП

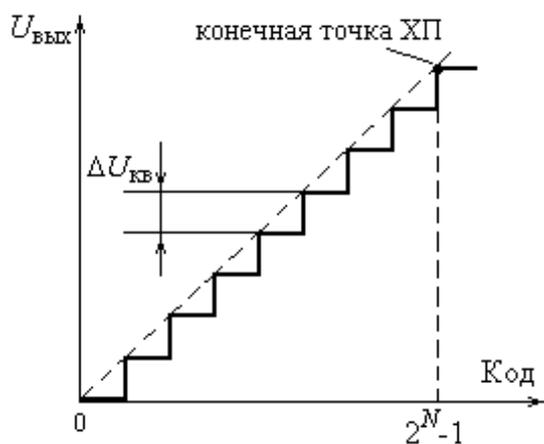


Рис. 11.3. Характеристика преобразования ЦАП

Характеристика преобразования (ХП). При подаче на вход ЦАП цифровых двоичных комбинаций, управляющих состояниями ключей и меняющихся от 0 до $2^N - 1$, на его выходе появится ступенчато нарастающее напряжение (рис.11.3). Высота каждой ступени соответствует шагу квантования $\Delta U_{кв}$. На характеристике преобразования можно выделить две характерные точки, это начальная и конечная точки ХП, которые определяются начальным и конечным значениями входного кода. Так как $\Delta U_{кв}$ оп-

ределяет минимальное значение выходное напряжение аналогового сигнала $\Delta U_{вых\ min} = \Delta U_{кв}$, то при выборе его значения необходимо учитывать также шумовые факторы и погрешности усиления масштабирующих усилителей.

Разрядность – число двоичных разрядов входного кода (N).

Диапазон выходной величины – интервал значений выходной аналоговой величины от начальной до конечной точки ХП.

Относительная разрешающая способность определяется как величина обратная числу уровней квантования

$$d_o = \frac{1}{2^N - 1}.$$

Абсолютная разрешающая способность – численно равна шагу квантования

$$d_a = \frac{U_{\text{пш}}}{2^N - 1} = \text{DU}_{\text{кв}},$$

где $U_{\text{пш}}$ – напряжение полной шкалы, соответствующее максимальному выходному напряжению, $2^N - 1$ – количество ступеней квантования.

Абсолютная погрешность преобразования $d_{\text{пш}}$ показывает максимальное отклонение выходного напряжения в конечной точке реальной характеристики преобразования от выходного напряжения в конечной точке идеальной характеристики преобразования (рис. 11.4).

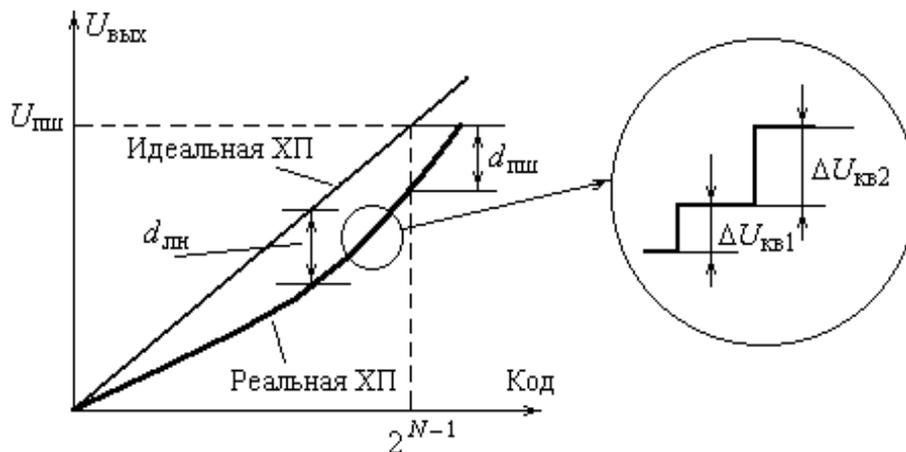


Рис. 11.4. Погрешности преобразования ЦАП

Абсолютная погрешность преобразования оценивается в процентах или долях единицы младшего разряда (ЕМР). ЕМР – среднее значение ступени квантования по всей характеристике преобразования.

Интегральная нелинейность преобразования ЦАП – $d_{\text{лн}}$ определяет максимальное отклонение реальной ХП от идеальной и оценивается также в долях ЕМР.

Дифференциальная нелинейность преобразования ЦАП – $d_{\text{диф.лн}}$ численно равна максимальной разности двух соседних шагов квантования.

$$d_{\text{диф.лн}} = \text{DU}_{\text{кв}2} - \text{DU}_{\text{кв}1}$$

Дифференциальная нелинейность также оценивается в долях ЕМР.

Время установления $t_{\text{уст}}$ выходного напряжения или тока – интервал времени от начала изменения выходного двоичного кода от минимального до максимального значения до момента когда выходной аналоговый сигнал достигнет заданной величины.

Максимальная частота преобразования $f_{\text{пр}}$ – наибольшая частота смены входных кодовых наборов.

В табл. 11.1 приведены типичные параметры некоторых современных микросхем ЦАП компании Dallas Semiconductor (фирма Maxim).

Таблица 11.1

Модель	Функция	Разрядность, (бит)	Время установления, (мкс)	Напряжение питания (В)	Интерфейс
MAX 5360	Недорогой маломощный 6-бит. ЦАП	6	20	+2,7 ... +3,6	Последоват. ИС
MAX 500	Четырехканальный КМОП ЦАП	8	2,5	+127 ... +15 и -5	Последоват. ИС
MAX 1578	Одноканальный 8-бит. быстродейств. ЦАП	8	0,025	+2,7 ... +3,3	mP/8
MAX 5233	12-бит. двухканальн. ЦАП со встроенным источником опорн. напряжения	10	10	+5	Послед. SPI
MAX 514	Четырехканальный 12-бит. КМОП ЦАП	12	1	+5	Последов.
MAX 5544	Недорогой 14-бит. ЦАП	14	1	+5	Послед. SPI
MAX 5264B	8 канальный 14-бит. ЦАП с параллельным входом	14	22	+7...+14, -5...-9, +5	mPI
MAX 5444	16-бит. ЦАП с последовательным интерфейсом	16	1	+3	Послед. SPI

11.2. АНАЛОГОВЫЕ КОМПАРАТОРЫ НАПРЯЖЕНИЯ

Компараторы являются одним из основных узлов любого аналого-цифрового преобразователя и во многом определяют его параметры. Компаратор осуществляет сравнение входного напряжения $U_{вх}$ с пороговым значением $U_{пор}$ и формирует выходной логический сигнал 1 или 0 в зависимости от знака разности сравниваемых сигналов.

Основными параметрами компараторов являются чувствительность и быстродействие.

Под *чувствительностью*, или *разрешающей способностью*, понимают минимальную разность входных аналоговых сигналов, при которой компаратор изменяет свое состояние по выходу. Разрешающая способность реального компаратора (рис. 11.5), в первую очередь, является функцией коэффициента усиления.

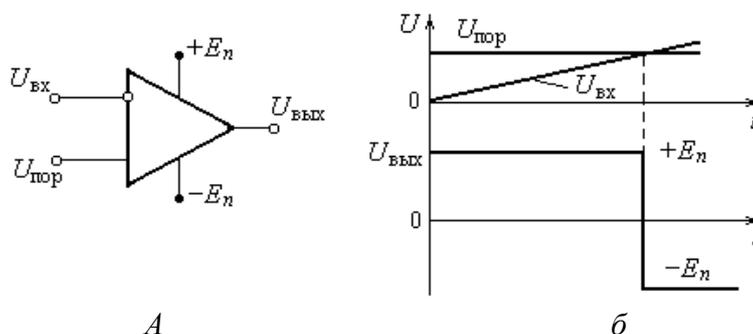


Рис. 11.5. Схема простейшего компаратора – а; временная диаграмма компаратора – б

Основой компаратора обычно являются операционные усилители. Компаратор, представленный на рис. 11.5, позволяет сравнивать сигналы одинаковой полярности. Для приведения уровней выходных напряжений к стандартам цифровых схем используются специальные формирующие цепи. Для уменьшения времени переключения в компараторах применяют положительные обратные связи.

На основе ранее рассмотренных типовых включений ОУ реализуется большое количество схем компараторов различного назначения.

11.3. АНАЛОГО-ЦИФРОВЫЕ ПРЕОБРАЗОВАТЕЛИ

Аналого-цифровой преобразователь (АЦП) – устройство, преобразующее значение непрерывной аналоговой величины в эквивалентный ей цифровой код.

11.3.1. Временная дискретизация непрерывных сигналов

Процедура преобразования непрерывных сигналов в цифровую форму состоит из двух этапов: дискретизации сигналов по времени и квантования по амплитуде. Наиболее важным с точки зрения вносимых погрешностей преобразования является первый этап.

Временная дискретизация непрерывного сигнала заключается в накоплении его отсчетов, взятых через некоторый постоянный или изменяющийся интервал времени T , называемый периодом дискретизации (рис. 11.6).

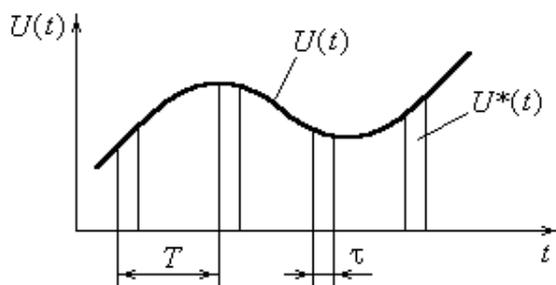


Рис. 11.6. Дискретизация непрерывных сигналов по времени

Для того чтобы функция $U^*(t)$ полностью отображала $U(t)$, необходимо определенным образом выбрать T и t .

Согласно теореме Найквиста-Котельникова непрерывный сигнал $U(t)$ с максимальной частотой в спектре f_B полностью описывается выборочными значениями $U(nT)$, взятыми через интервал

$$T = \frac{1}{2f_B} = \frac{p}{w_B}, \text{ т. е.}$$

$$U(t) = \sum_{n=-\infty}^{\infty} U(nT) \frac{\sin w_B(t - nT)}{w_B(t - nT)}.$$

Так как все реальные сообщения (сигналы) имеют практически безграничный спектр, то T выбрать можно лишь приблизительно. Поэтому дискретизированный сигнал отображает исходный непрерывный с некоторой точностью, зависящей от T .

На практике интервал дискретизации T , полученный исходя из выше приведенных соображений, уменьшают в 2...5 раз.

В процессе аналого-цифрового преобразования, который длится некоторое время $\Delta t_a = t_2 - t_1$ (рис. 11.7), сигнал (переменный)

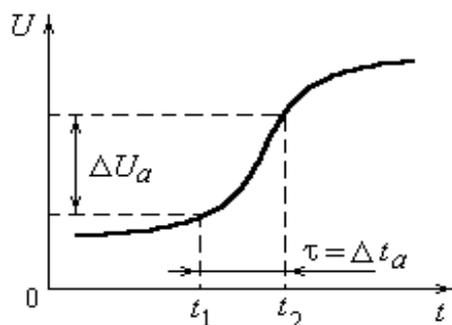


Рис. 11.7. Апертурная ошибка преобразования

изменяет свое значение на некоторую величину ΔU_a .

Интервал времени $\Delta t_a = \tau$ называют апертурным временем, а величину ΔU_a – апертурной ошибкой:

$$\Delta U_a = \left(\frac{dU}{dt} \right)_{t=t_1} \times \Delta t_a.$$

Поэтому, значение двоичного кода, полученное в момент времени t_2 , не будет соответствовать значению сигнала в момент времени t_1 , с которым этот код отождествляют.

Оценим величину апертурной ошибки в зависимости от апертурного времени на примере гармонического сигнала $U_0 \sin \omega_0 t$. Максимальная производная синусоидального сигнала равна:

$$dU/dt_{\max} = (U_0 \sin \omega_0 t) \dot{\phi}_{\max} = U_0 \omega_0 \cos 0 = U_0 \omega_0.$$

Откуда $\Delta U_{a \max} = U_0 \omega_0 \Delta t_a$.

Если потребовать, чтобы ΔU_{\max} не превышала единицы младшего разряда (в двоичном коде), то для N -разрядного АЦП должно выполняться условие: $1 \geq 2^N \omega_0 \Delta t_a$, где $U_0 = 2^N$, $\Delta U_{\max} = 1$.

Полученное выражение позволяет оценить требуемое апертурное время АЦП при преобразовании сигнала с $\omega_B = \omega_0$ с заданной ошибкой преобразования как $\Delta t_a \leq 1/(2^N \omega_0)$.

Проведем сравнительный анализ величин Δt_a и T . Из теоремы Котельникова следует, что $T \leq \rho/\omega_0$, а $\omega_0 \leq \rho/T$, тогда $\Delta t_a \leq T/(2^N \rho)$.

Полученные ограничения на Δt_a предъявляют очень жесткие требования к быстродействию АЦП. В быстродействующих АЦП данная проблема решается путем применения устройств выборки-хранения (УВХ). УВХ запоминает уровень преобразуемого сигнала в точке t_1 (рис. 11.7) и хранит этот уровень до момента t_2 . Это позволяет существенно уменьшить апертурную ошибку, а апертурное время АЦП увеличить до величины практически равной интервалу дискретизации.

11.3.2. Структура микроэлектронных АЦП

В полупроводниковых АЦП наибольшее распространение получили три известных принципа преобразования:

- последовательного счета;
- поразрядного кодирования (последовательного приближения);
- параллельного преобразования.

АЦП последовательного счета

Простейший АЦП данного типа и его временная диаграмма (для случая $U_{\text{вх}} = A = \text{const}$) представлены на рис. 11.8.

АЦП состоит из компаратора, ЦАП, двоичного счетчика, выходного буферного регистра. После команд **СБРОС** и **ПУСК**, подаваемых на АЦП, импульсы тактового генератора начинают увеличивать показания счетчика, а, следовательно, и выходной сигнал ЦАП $X(t)$ ступеньками по Δx . Компаратор определяет разницу между X и A . Если окажется, что $X - A > 0$, компаратор выработывает сигнал **СТОП**, счетчик останавливается и индицирует двоичный

код, эквивалентный входному сигналу $U_{вх} = A$. Общее время преобразования сигнала зависит от его величины.

Недостатком такой схемы АЦП является ее низкое быстродействие.

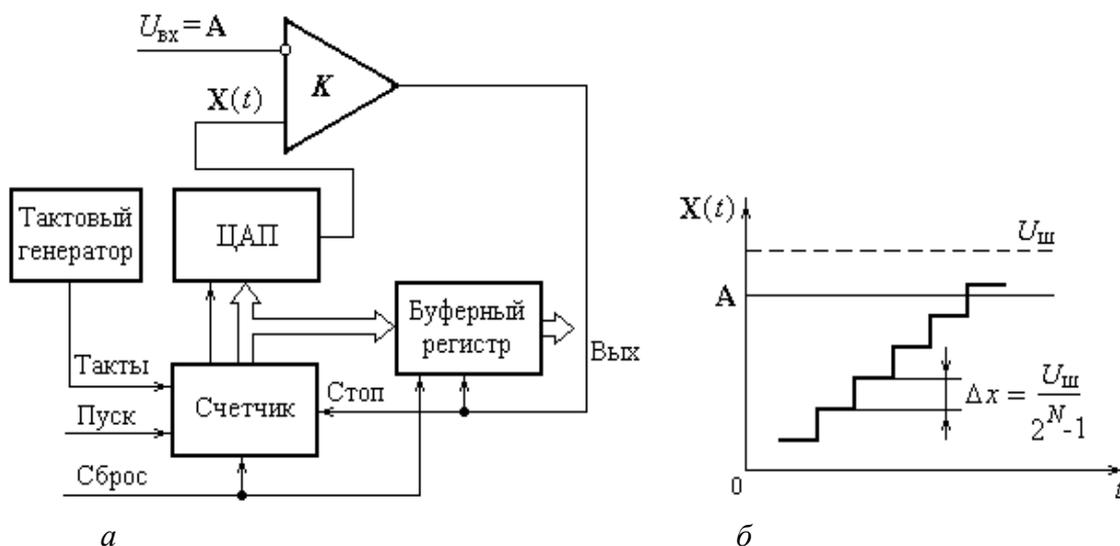


Рис.11.8. Структура АЦП последовательного счета – а, временная диаграмма – б

Например, пусть $f_T = 10$ мГц, а число разрядов счетчика $N = 12$. Максимальное число импульсов заполнения счетчика $K = 2^N - 1 = 4095$, тогда максимальная частота отсчетов входного сигнала составит $F_{отсч} \leq f_T / K \approx 10^7 / (4 \cdot 10^3) = 2,5 \cdot 10^3$ Гц, а высшая частота в спектре входного сигнала не может превысить $F_v \leq 1,25 \cdot 10^3$ Гц.

АЦП последовательного приближения

Упрощенная схема АЦП последовательного приближения приведена на рис. 11.9.

После пуска схемы первым тактовым импульсом регистр памяти (РП) устанавливает старший разряд ЦАП в единицу. При этом, если $U_{вх} > U_{ЦАП}$, то компаратор подтверждает состояние РП и ЦАП. Следующим тактовым импульсом единица устанавливается в следующем за старшим разряде. Если окажется, что $U_{вх} < U_{ЦАП}$, последняя установленная в ЦАП единица заменяется компаратором на ноль. Описанные выше действия повторяются до N -го младшего разряда. Таким образом, после N тактов сравнения $U_{вх}$ и $U_{ЦАП}$, в регистре памяти сформируется N -разрядный двоичный код, который является цифровым эквивалентом входного аналогового сигнала.

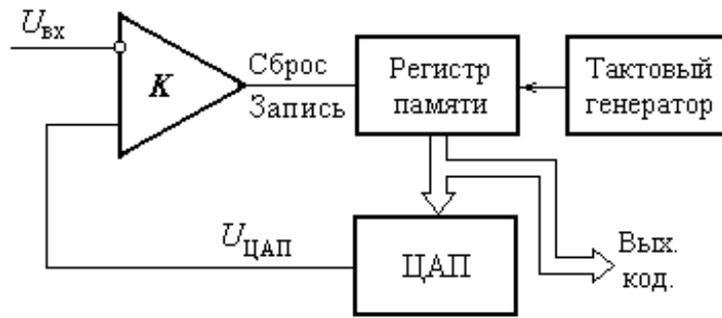


Рис. 11.9. Схема АЦП последовательного приближения

В такой структуре АЦП полное время преобразования составит $N \cdot \Delta T$, где ΔT длительность одного такта.

При той же частоте тактового генератора $f_T = 10$ мГц и разрядности ЦАП $N = 12$ преобразование будет выполнено за 12 периодов f_T , т. е. частота отсчетов входного сигнала достигнет $F_{\text{отсч}} = f_T/12 = 10^7/12 = 830$ кГц, а высшая частота преобразуемых сигналов $F_B \approx 400$ кГц.

АЦП параллельного преобразования

Повысить скорость преобразования в АЦП можно используя параллельный набор возможных значений эталонного напряжения вместо их последовательного чередования, характерного для обоих рассмотренных выше принципов преобразования.

Упрощенная структура АЦП параллельного преобразования приведена на рис. 11.10.

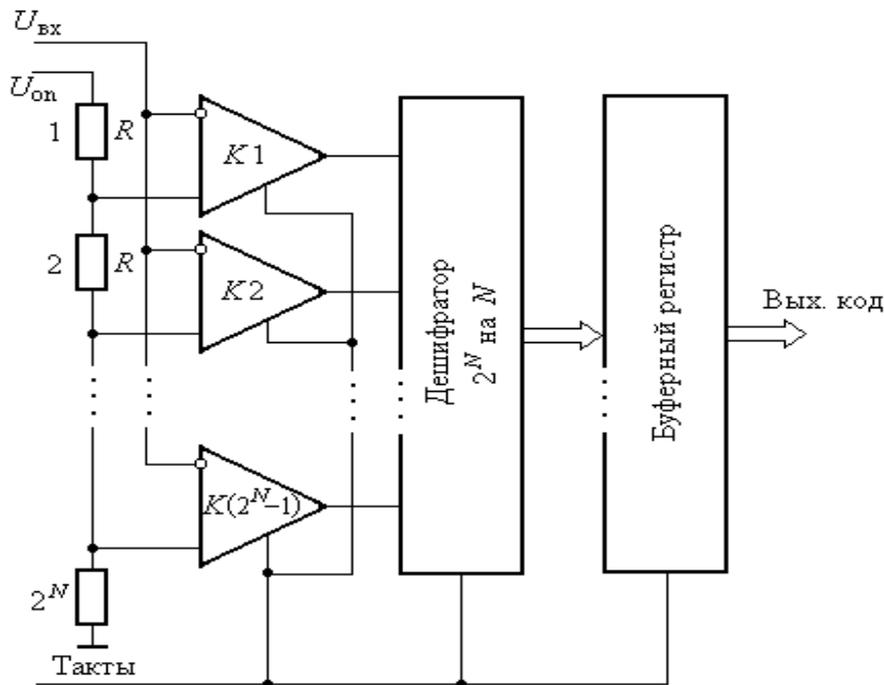


Рис. 11.10. Структура АЦП параллельного преобразования

Основным элементом N -разрядного АЦП являются $2^N - 1$ компараторов напряжения. На один из двух входов каждого компаратора подается свое опорное напряжение, формируемое резистивной матрицей. Разность между опорными напряжениями двух соседних компараторов равна $U_m / 2^N - 1$. Другие вхо-

ды объединены, и на них подается входной сигнал. На выходах компараторов устанавливаются напряжения нуля или единицы, соответствующие сигналам на входах компараторов в момент прихода фронта тактового импульса.

После окончания импульса опроса в компараторах хранится информация о мгновенном значении входного сигнала, представленная в виде $(2^N - 1)$ - разрядного слова. Дешифратор представляет это слово в виде N -разрядного кода, который хранится в буферном регистре.

Поскольку каждая из $2^N - 1$ градаций входного сигнала оцифровывается отдельным компаратором, то время преобразования в таком АЦП определяется временем переключения компаратора и является минимально возможным.

Параметры АЦП

Статические параметры АЦП во многом по смыслу аналогичны статическим параметрам ЦАП и рассмотрены в предыдущих параграфах.

Среди динамических параметров АЦП основными являются:

- максимальная частота преобразования – частота дискретизации входного сигнала;
- апертурное время – время, в течение которого сохраняется неопределенность между значением выборки и временем, к которому оно относится;
- апертурная неопределенность – случайное изменение апертурного времени в конкретной точке характеристики преобразования;
- время кодирования – время, в течение которого осуществляется непосредственное преобразование установившегося значения входного сигнала (время от начала импульса запуска до появления выходного кода).

Параметры некоторых наиболее типичных микроэлектронных АЦП компании Dallas Semiconductor (фирмы Maxim) приведены в табл. 11.2.

Таблица 11.2

Модель	Функция	Разрядность (бит)	Время преобразования (МКС)	Интерфейс	Напряжение питания (В)
MAX1011	Малопотребляющая АЦП с 90М выборок/с	6	0,003	mP/8	5 и 3,3
ADC 0820	Быстрый КМОП АЦП с УВХ	8	1,4	mP/8	5
MAX104	Сверхбыстродействующий АЦП, 1P выборок/с с УВХ	8	0,001	PECL/8	±5
MAX108	Сверхбыстродействующий АЦП, 1,5Г выборок/с с УВХ	8	0,00067	PECL/8	±5
MAX1180	2-канальный 10-бит маломощн. АЦП с внутрен. ИОН, 105М выборок/с	10	–	mP/10	2,7¼ 3,6
MAX173	КМОП АЦП с внутрен. ИОН	10	5	mP/12	+5 и – (12¼ 15)

МАХ1284	Маломощный АЦП с ИОН, 400К выборок/с	12	2,5	последов.	4,5¼ 5,5
МАХ1421	Маломощный АЦП с ИОН, 40М выборок/с	12	-	mP/12	3,3
МАХ1201	АЦП с автокалибровкой, 2,2 М выборок/с	14	0,0018	mP/14	5
МАХ1200	АЦП с автокалибровкой, 1 М выборок/с	16	0,0039	mP/16	5

ЗАКЛЮЧЕНИЕ

Перспективы развития и применения цифровой интегральной электроники. Основное направление, в котором работают разработчики интегральных микросхем, – повышение степени интеграции. Это можно обеспечить двумя путями: увеличивая плотность упаковки элементов (уменьшая их площадь, включая площадь металлической разводки) и увеличивая размеры кристалла. Оба пути связаны с решением сложных технологических задач. Не менее сложны и возникающие при создании БИС схемотехнические проблемы, поэтому решение и технологических, и схемотехнических проблем должно осуществляться одновременно и комплексно.

Опыт разработки БИС выявил ряд общих проблем, которые ограничивают повышение степени интеграции и которые нужно решать в процессе дальнейшего развития микроэлектроники.

Проблемы теплоотвода. При увеличении плотности компоновки происходит сближение элементов на кристалле. Это неизбежно ведет к возрастанию удельной мощности, рассеиваемой на единице площади. В современных кремниевых ИС допустимая удельная мощность на кристалле без дополнительного теплоотвода не превышает 5 Вт/см^2 . Следовательно, допустимая мощность для кристалла площадью 20 мм^2 составляет не более 1 Вт. При средней мощности 0,5 мВт, потребляемой одним ИЛЭ, на указанном кристалле удастся разместить не более 2000 ЛЭ.

Для преодоления этого ограничения используется микрорежим транзисторов и таких схем, которым микрорежим свойствен. Например, для того чтобы на той же площади 20 мм^2 разместить 10 000 вентиляей, нужно использовать ИЛЭ с потребляемой мощностью не более 0,1 мВт, т. е. ИЛЭ типа КМОП.

Попытки увеличения степени интеграции за счет увеличения площади кристалла также наталкиваются на существенные трудности. Ограничения накладываются неизбежными дислокациями (дефектами структуры) поверхности полупроводника. Любая дислокация в пределах БИС означает негодность транзистора или отдельной ИС, соответственно негодной может оказаться и БИС в целом. Следовательно, увеличение площади кристалла сопровождается увеличением процента брака.

Проблема межсоединений. Высокая сложность современных БИС может быть реализована только при использовании систем автоматизированного проектирования. Несмотря на это, в большинстве БИС не удастся сделать разводку межсоединений в одной плоскости без пересечений. Поэтому для БИС характерна многослойная разводка, расположенная обычно в 2-х или 3-х плоскостях. Изоляция слоев друг от друга и соединения между слоями представляют собой особую технологическую проблему.

Контроль параметров. Электрический контроль параметров БИС до ее помещения в корпус осуществляется с помощью контактных измерительных зондов, подключаемых к контактным площадкам выводов.

Если предположить, что БИС имеет 50 выводов, и учесть, что на каждом выводе может быть два значения «0» или «1», то для полноценной проверки функционирования БИС (только в статике) потребуется $2^{50} \approx 10^{15}$ измерений. При длительности каждого измерения 1 мкс контроль одной БИС займет около 25 лет. Следовательно, контроль должен быть выборочным, а количество измерений не должно превышать 200 – 300. Причем судить о работоспособности БИС можно будет с определенной вероятностью.

Физические ограничения на размеры элементов. Размеры элементов современных БИС лежат в пределах единиц и менее микрометров. Уменьшение размеров элементов БИС приводит к появлению дополнительных ограничений.

Во-первых, начинает сказываться неравномерное (статистическое) распределение примеси в полупроводниках, т. е. количество атомов примеси на участках одинаковой площади будет различным, а следовательно, будут различаться по параметрам элементы, сформированные на этих участках. Во-вторых, возрастают напряженности электрических полей, и полупроводниковый слой приобретает нелинейные свойства.

Установлено также, что при линейных размерах менее 1 – 2 мкм определенную роль начинают играть шумовые флуктуации, влияние космического излучения и естественный радиационный фон Земли.

Все это свидетельствует о том, что при размерах менее 1 мкм микроэлектроника становится самостоятельным научно-техническим и технологическим направлением – объединенным общим названием нанотехнологии.