

## **Кафедра комп'ютерної інженерії та електроніки**

Назва дисципліни – Комп'ютерне моделювання приладних структур інтегральних схем

Викладач: проф. Когут Ігор Тимофійович

1. І.Т.Когут., А.О.Дружинін., В.І.Голота. Архітектура й елементи інтегрованої мікросистеми на базовому матричному кристалі з КНІ – структурою. «Електроніка» Вісник НУ «Львівська політехніка», 2009р. стр.86-96.
- 2.Когут І.Т. «Елементи мікросистем на базовому матричному кристалі зі структурою «кремній-на-ізоляторі». Дисертація на здобуття наукового ступеня доктора технічних наук. НУ ЛП. М.Львів-2010.
3. Довгий В.В. «Елементи аналітичних мікросистем-на-кристалі зі структурами «кремній-на-ізоляторі». Дисертація на здобуття наукового ступеня кандидата технічних наук. ЧНУ ім. Ю.Федьковича м. Чернівці-2017.
4. [http://auto.teipir.gr/sites/default/files/microwind\\_manual\\_lite\\_v35.pdf](http://auto.teipir.gr/sites/default/files/microwind_manual_lite_v35.pdf)
5. [www.ni2designs.com](http://www.ni2designs.com)
6. [www.microwind.net](http://www.microwind.net)

**І.Т. Когут<sup>1</sup>, А.О. Дружинін<sup>2</sup>, В.І. Голота<sup>1</sup>**  
Прикарпатський національний університет,  
<sup>1</sup>кафедра радіофізики і електроніки,  
Національний університет “Львівська політехніка”,  
<sup>2</sup>кафедра напівпровідникової електроніки

## **АРХІТЕКТУРА Й ЕЛЕМЕНТИ ІНТЕГРОВАНОЇ МІКРОСИСТЕМИ НА БАЗОВОМУ МАТРИЧНОМУ КРИСТАЛІ З КНІ-СТРУКТУРОЮ**

© Когут І.Т., Дружинін А.О., Голота В.І., 2009

**I.T. Kogut, A.O. Druzhinin, V.I. Holota**

## **ARCHITECTURE AND ELEMENTS OF INTEGRATED MICROSYSTEM ON THE SPECIALIZED BASE MATRIX CHIP WITH THE SILICON-ON-INSULATOR STRUCTURE**

© Kogut I.T., Druzhinin A.A., Holota V.I., 2009

**Запропоновано архітектуру спеціалізованого базового матричного кристала (БМК) зі структурою “кремній-на-ізоляторі” (КНІ) для побудови сенсорних мікросистем з монолітною інтеграцією чутливих елементів і схем обробки інформації. Розроблено набори бібліотечних елементів для побудови цифрових та аналогових схем оброблення інформації, уніфіковано чутливі елементи, конструктивно-технологічну основу для проектування сенсорних мікросистем з локальними планарними і тривимірними структурами “кремній-на-ізоляторі” (КНІ).**

**In this paper the architecture of the specialized base matrix chip (BMC) on the silicon-on-insulator (SOI) structures for creation a sensory microsystem with monolithic integration of sensitive elements and data procesing elements are propoused. The library elements for development of digital, analog cirquits and standartized sensetive elements as well as the structural and technological base for sensory microsystem design on the local planar and 3D SOI-structures is created.**

### **Вступ**

Під час створення інтегрованих мікросистем-на-кристалі, зокрема сенсорних, які об'єднують на одному або декількох кристалах приладні елементи мікроелектроніки, оптики, мікроелектроніки та інших суміжних науково-прикладних областей, актуальними є проблеми як гібридної, так і монолітної інтеграції чутливих елементів зі схемами обробки та перетворення первинної інформації на одному кристалі, уніфіковані підходи та елементна база для створення багатофункціональних сенсорних мікросистем, обробки інформації, проектування та виготовлення їх у стислі терміни, перехід на нові технології і матеріали для розширення інженерних можливостей конструювання та розширення сфер застосування, зокрема для екстремальних умов експлуатації, включаючи створення можливостей обробки інформації безпосередньо в умовах її отримання. На розв'язання цих завдань і була спрямована ця робота.

### **Архітектура базового матричного кристала для мікросистемного використання**

Для часткового розв'язання таких завдань розроблено спеціалізований, а саме – для побудови інтегрованих мікросистем базовий матричний кристал (БМК) на основі комплементарних метал-окисел-напівпровідник (КМОН-структур) з конструктивно-технологічною базою кремній-на-ізоляторі (КНІ). Загальну архітектуру кристала показано на рис. 1.



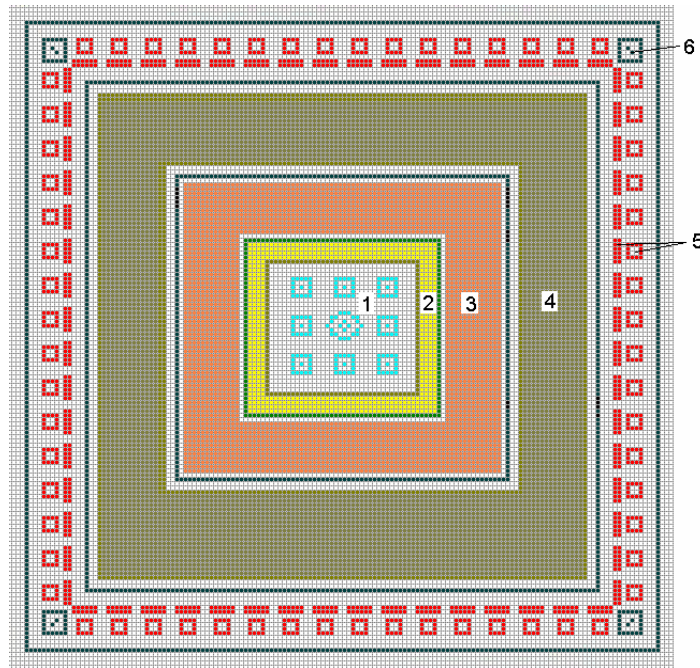


Рис. 1. Архітектура спеціалізованого КНІ КМОН БМК для інтегрованих мікросистем:  
 1 – чутливі сенсорні елементи; 2 – інтегральні радіокомпоненти і з'єднання; 3 – бібліотечні аналогові елементи; 4 – бібліотечні цифрові елементи; 5 – буферні каскади і контактні площадки; 6 – тестові елементи, знаки суміщення і технологічного контролю

БМК містить декілька рівнів базових елементів, топологічно розташованих від центра кристала до периферії. В центральній частині кристала розташовані сенсорні елементи на основі уніфікованих чутливих елементів (ЧЕ) ємнісно-резистивного типу, монолітно інтегрованих зі схемою первинного перетворення інформації і частотним виходом інформаційного сигналу. Окрім того чутливі елементи мають регульовану чутливість. По периметру ЧЕ розташовані інтегральні радіокомпоненти (інтегральні набори бібліотечних резисторних і конденсаторних елементів, індуктивностей) і ліній зв'язку, реалізованих в шарах КНІ-структури, затворного полікремнію і шарів металізації.

Наступними рівнями, які також топологічно розташовані по периметру попередніх, є аналогові, цифрові бібліотечні елементи і буферні вхідні/вихідні формувачі сигналів із зовнішніми контактними площадками для монтажу кристала в корпус, а також тестові елементи технологічного контролю зі знаками суміщення та пошаровими ноніусними шкалами їх контролю.

Частини матриці БМК для аналогових і цифрових елементів мають окремі, розв'язані між собою шини в шарах металізації, – “аналогова” і “цифрова земля”, живлення аналогових і цифрових схем.

Постійними шарами для усіх типів елементів БМК є шари, які утворюють КНІ-структури і шар затворного полікремнію, а програмованими – два шари металізації, шар контактів і шар з'єднань між першим та другим шарами металізації. Шари металізації мають постійні шини “живлення” і “землі”, і топологічно-змінні для реалізації розробником конкретного виконання необхідних схем цифрової та аналогової обробки інформації і з'єднань із чутливими елементами [1].

Така архітектура БМК може бути використана для побудови мікросистем як з монолітною, так і гібридною інтеграцією інших кристалів з окремими чутливими елементами, або окремих кристалів, які містять частини чутливих елементів і утворюють їх в сукупності із базовим кристалом. Наприклад, частина ємнісного чутливого елемента у вигляді мембрани або рухомого елемента акселерометра формується на одному кристалі, а його доповнювальна частина, інтегрована зі схемою обробки первинної інформації на основному БМК.

Запропонована мікросистема на КНІ КМОН БМК з використовуватиметься для чутливих елементів з малою ємнісною навантажувальною здатністю, коли традиційне під'єднання стандартних схем обробки, елементів друкованих плат і провідників становитимуть ємнісні навантаження, що істотно перевищують навантажувальну здатність чутливих елементів.

Окрім того, таку систему можна використовувати як інструментарій для дослідження характеристик і параметрів приладних елементів, які можна створювати на пасивуючій окисній плівці, сформованій над областю чутливих елементів в центрі кристала за іншою, некремнієвою технологією виготовлення, наприклад, із плівок CdTe, для яких є невідпрацьовані інтегральні технології виготовлення приладних структур. При цьому схеми обробки і виводу первинної інформації будуть реалізовані на аналогових і цифрових бібліотечних елементах БМК.

### Конструктивно-технологічна база інтегрованої мікросистеми й структури приладних елементів

Традиційно для створення елементів інтегральних схем зі структурою КНІ використовують суцільні по всій поверхні пластини КНІ-плівки, які виготовлять за технологіями (SIMOX, ELTRAN, SmartCut, Unibond) [2]. Проте з точки зору конструювання елементної бази сенсорних мікросистем-на-кристалі істотно кращі можливості відкриваються з використанням вихідних тривимірних КНІ-архітектур.

Конструктивно-технологічною базою для проектування елементів сенсорної мікросистеми на кристалі є розроблені технології формування локальних тривимірних, локальних планарних КНІ-структур, а також об'ємний кремній. У результаті проведеного комп'ютерного моделювання технології локальних тривимірних КНІ-структур отримані режими і параметри процесів їх виготовлення з використанням базових промислових КМОН-технологічних процесів: фотолітографії, селективного плазмохімічного ізоτροпного та анізотропного травлень, маскування, локального окислення, створення під поверхнею пластини герметизованих мікропорожнин і каналів. Базова приладна КНІ МОН-структура, яку формують в результаті запропонованої технології, зображена на рис. 2 [4].

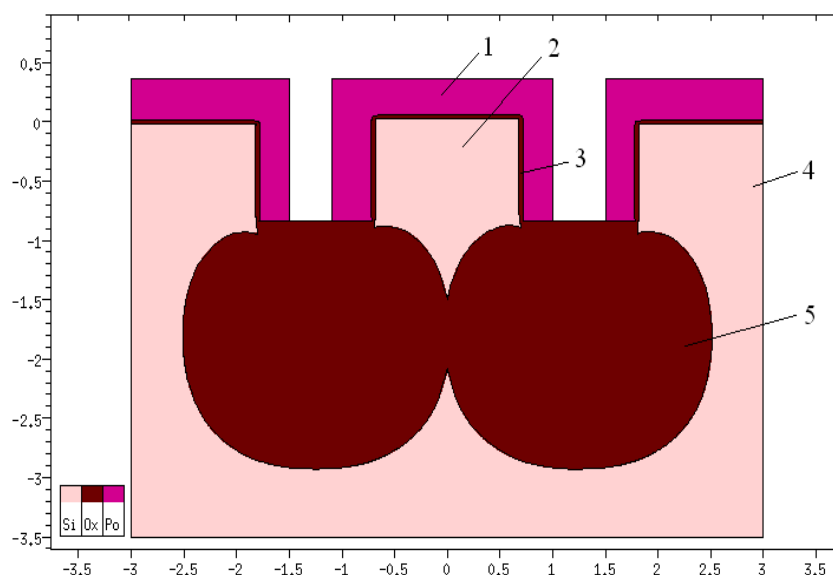


Рис. 2. Локальна тривимірна МОН-транзисторна КНІ-структура:  
1 – полікремнієвий затвор; 2 – локальна тривимірна КНІ-структура, яка утворює каналну область транзистора; 3 – підзатворний діелектрик; 4 – кремнієва пластина КДБ-40 з кристалографічною орієнтацією поверхні (100); 5 – області локального термічно-окисленого кремнію

На основі цієї базової технології розроблені і досліджені характеристики елементів приладних структур для використання у спеціалізованому (БМК), зокрема, автоемісійні кремнієві мікрокатоди зі схемами керування на основі КНІ МОН-транзисторів [3], діоди Шотткі та ключовий елемент на їх основі з тривимірною архітектурою [5], тривимірні контакти до стік – витоків областей КНІ МОН-транзисторів та міжшарових з'єднань [6], чутливий елемент акселерометра, технологія формування герметизованих мікропорожнин та каналів під поверхнею пластини, яка є сумісною та інтегрується із базовою.

На рис. 3 зображені фінішні операції результатів моделювання розробленої технології формування герметизованих мікропорожнин під поверхнею кремнієвої пластини з використанням нітридних п'єдесталів для осаджуваних плівок (а) і на основі окислення вертикальних стінок і поверхні порожнин (б). Запропоновані технології формування герметизованих мікропорожнин відкривають можливості створення на їх основі елементів оптоелектроніки, інтегральних резонаторів, елементів мікролаборій-на-кристалі.

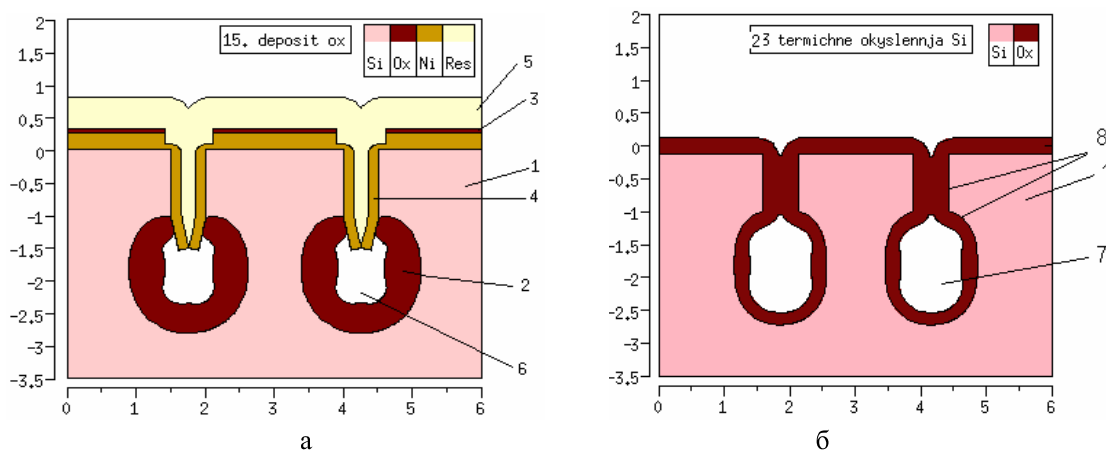


Рис. 3. Поперечні перетини герметизованих мікропорожнин під поверхнею кремнієвої пластини: 1 – кремнієва пластинка КДБ-40 з кристалграфічною орієнтацією поверхні (100); 2 – локально вирощений термічний окисел кремнію на поверхні порожнини; 3 – осаджений піролітичний окисел на поверхню кремнієвої пластини і щілини; 4 – плівка нітриду кремнію після повторного осадження сумарною товщиною 0,25 мкм на поверхні пластини і 0,15 мкм – на вертикальних стінках щілини; 5 – осаджений шар полікремнію на поверхні кремнієвої пластини і щілини; 6, 7 – герметизована порожнина (або мікроканал) у кремнієвій пластині; 8 – термічний окисел на поверхнях щілини і порожнини

На рис. 4 показані результати приладно-технологічного моделювання тривимірних елементів діодів Шотткі і ключових елементів на їх основі. На вертикальних і горизонтальних шкалах вказані розміри у мікрометрах [5].

Такі структури мають достатньо прості конструкції, їх топологія є компактною, а при використанні як ключових елементів, електрод 3 виконує функцію, аналогічну до бази в біполярному транзисторі. Проте на відміну від нього його здатність накопичення носіїв в тілі бази порівняно із стандартним біполярним транзистором є набагато меншою, що істотно покращує часові характеристики перемикання [5].

Використовуючи базову технологію формування локальних тривимірних КНІ-структур за сумісними з нею технологіями можна створювати рухомі і нерухомі конструктивні елементи, наприклад, диференційні конденсатори, автоемісійні кремнієві мікрокатоди для високочутливих акселерометрів. Незначна зміна положення в межах десятків часток мікрометра, одного елемента акселерометра стосовно іншого викликає істотні зміни автоемісійного струму (рис. 5).

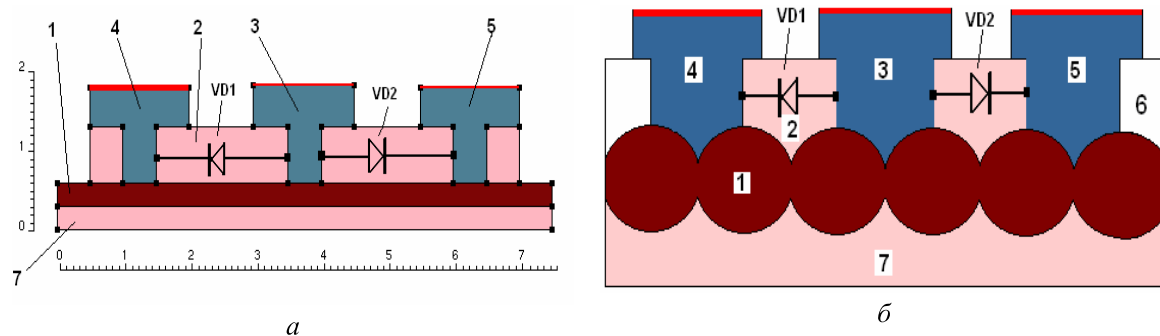


Рис. 4. Тривимірні КНІ-структури діодів Шотткі:

а – на основі локальних планарних; б – на основі локальних тривимірних;  
в – результати моделювання концентраційних профілів легуючої домішки для структури, зображеної на рис. 4, а: 1 – шар SiO<sub>2</sub> в КНІ-структурі; 2 – Si шар в КНІ-структурі; 3 – електрод, який утворює латеральний діод Шотткі з кремнієм КНІ-структури; 4, 5 – катоди діода Шотткі; 6 – ізолювальні області; 7 – кремнієва пластина

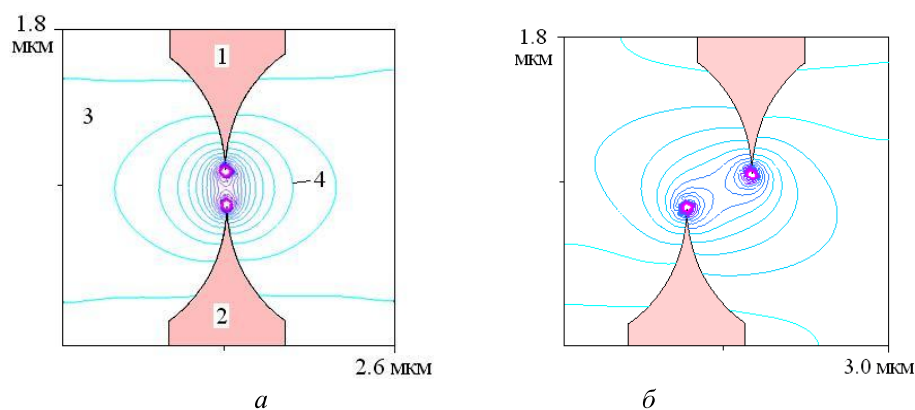
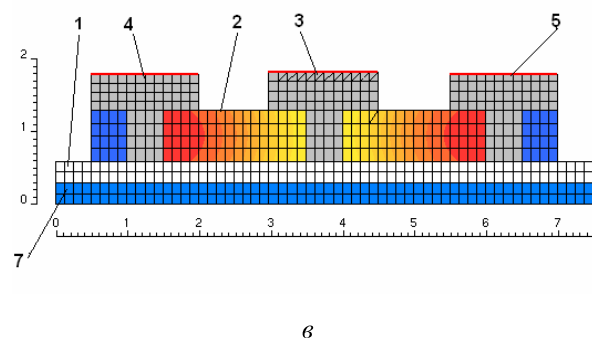


Рис. 5. Переріз високочутливого елемента інтегрального акселерометра:

а – елемент; 1 – рухомий елемент, 2 – нерухомий елемент (підкладка); 3 – вакуумна порожнина; 4 – лінії електричного поля; б – зміщений рухомий елемент

При зміщенні рухомого елемента зменшується напруженість електричного поля у вакуумній порожнині і струм автоемісії, який реєструється вимірювальним приладом. За різниці потенціалів 1000 В між елементами 1 і 2, радіуса кривизни вістря лезоподібного мікрокатода 5 нм, розраховані значення напруженості електричного поля, автоемісійного струму за заданих зміщень рухомого елемента наведені у таблиці.

#### Струм автоемісії під час зміщення рухомого елемента

Зміщення, мкм	Напруженість поля, В/см	Струм автоемісії, А
0	$4,7 \times 10^7$	$1,5 \times 10^{-6}$
0,2	$4,2 \times 10^7$	$3,2 \times 10^{-7}$
0,4	$3,8 \times 10^7$	$7,2 \times 10^{-8}$

Як бачимо з таблиці, при зміщенні в горизонтальній площині рухомого електрода 1 стосовно нерухомого електрода 2 на 0,2 мкм автоемісійний струм зменшується в 5 разів, що свідчить про високу чутливість такого типу пристрою. При розрахунках приймався тиск залишкових газів вакуумної порожнини  $10^{-5}$ – $10^{-10}$  Па, радіус заокруглення вістрь кремнієвих електродів – 5 нм і їх легування фосфором з концентрацією  $10^{19}$  см<sup>-3</sup>.

Конструктивно-технологічна і монолітна інтеграція цього типу емісійних мікрокатодів із негерметизованими мікропорожнинками відкриває додаткові можливості для створення перспективних іонних систем охолодження як для окремих приладних елементів, так і усього кристала.

### **Комп'ютерне моделювання технології формування КНІ МОН-транзисторів із заземленою підканальною областю і базова комірка БМК**

Істотним недоліком частково-збіднених *n*-канальних КНІ МОН-транзисторів є наявність плаваючого заряду, який утворюється в результаті ударної генерації носіїв в області стоку транзистора за певних значень стокової напруги, накопичується в підканальній області і спричиняє стрибки струму на вихідних характеристиках (“кінк”-ефект). Усунути цей ефект можна, використовуючи повністю збіднені КНІ МОН-транзистори із надтонкими КНІ-плівками. Проте технологія їх отримання є достатньо складною і нестабільною. Альтернативним методом є використання заземленої, з'єднаної з підкладкою, підканальної області КНІ МОН-транзистора, яка запобігає накопиченню плаваючого заряду і усуває “кінк”-ефект. При цьому оптимальними конструкціями КНІ МОН-транзисторів є і такі, в яких з'єднання КНІ-плівки із підкладкою є одночасно і конструктивним, і технологічним елементом, наприклад, як зародок в технології отримання КНІ-структур методами мікрозонної лазерної рекристалізації.

Фінішні результати моделювання технології виготовлення КНІ МОН-транзистора із заземленою областю плаваючого просторового заряду із вихідною КНІ-пластиною (легування В:  $1 \times 10^{17}$  см<sup>-3</sup>, товщиною шару Si – 350 нм і товщиною шару SiO<sub>2</sub> – 400 нм), дози легування і розподіл концентрацій домішок показано на рис. 6.

Іншим недоліком частково-збіднених *n*-канальних КНІ МОН-транзисторів є нерівномірність порогових напруг і густини стокових струмів по ширині каналу транзистора. Особливо це стосується 3В КНІ МОН-транзисторів, де нерівномірності порогових напруг і густини стокових струмів відбуваються на кутових ділянках, як зображено на рис. 7, а. Для усунення цього недоліку розроблено 3В КНІ МОН-транзистор із затвором напівциліндричної форми, як показано на рис. 7, б. Така форма затвора формує рівномірний збіднений шар в каналній області транзистора.

Розроблена базова комірка БМК складається із діелектрично-ізольованих 3-х *p*- і 3-х *n*-канальних та 1-го *p*- і 1-го *n*-канального КНІ МОН-транзисторів, які симетрично мультипліковані в полі матриці КНІ БМК. Така конфігурація і топологія дають змогу з високою ефективністю використовувати площу, проектувати як цифрові, так і аналогові схеми для обробки інформації від чутливих елементів. При цьому симетричність топології базової комірки БМК дає змогу досягти оптимальної узгодженості, що є важливою умовою проектування аналогових бібліотечних елементів. Така комірка є повністю придатною для топологічного проектування як цифрових, так і аналогових бібліотечних елементів і їх компактного тиражування в полі матриці БМК. Особливістю комірки є те, що її можна будувати за базовою топологією як для планарних, так і тривимірних КНІ-структур, при цьому з використанням локальних тривимірних структур можливе проектування за принципом “комірка в комірці”, використовуючи тривимірні матричні або одиничні КНІ КМОН-транзисторні структури, що розширює можливості схемотехнічної реалізації елементів. Проектування топології БМК проведено згідно із розробленими нормами та правилами (рис. 8) і адаптованими до міжнародної системи MOSIS.

Параметр лямбда дорівнює половині роздільної здатності технології виготовлення. Особливістю топології кристала є те, що контакти до стік-витоків областей і затворів КНІ МОН-транзисторів здійснюють першим шаром контактних вікон і металізації, а другим шаром контактних вікон і другим

шаром металізації реалізують комутаційні з'єднання між шарами металізації. Створення контактів із другого шару металізації до стік- витокових областей транзисторів не допускається.

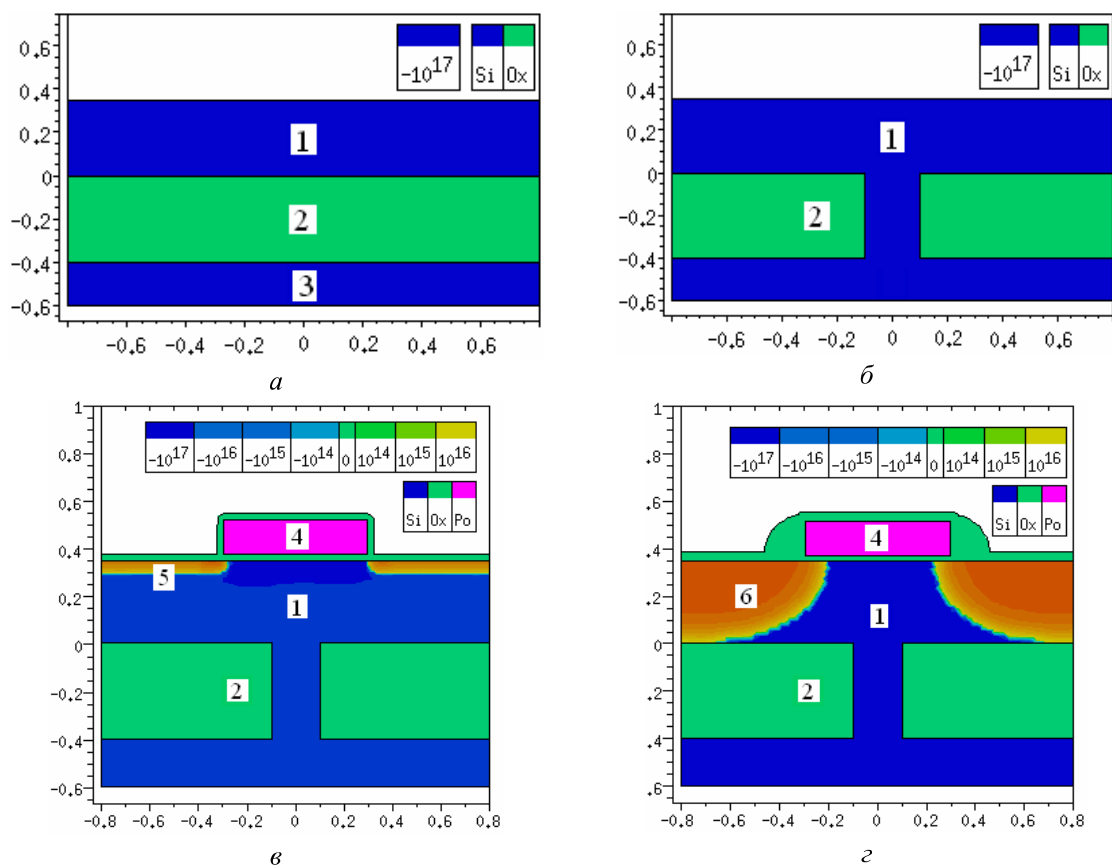


Рис. 6. Основні операції технології виготовлення КНІ МОН-транзистора із заземленою областю плаваючого просторового заряду:

а – вихідна КНІ-пластина; б – контакт між КНІ-шаром і підкладкою; в – мілка імплантація і дифузія в області витоку і стоку; г – глибока імплантація і дифузія в області витоку і стоку; 1 – полікристалічний Si; 2 – заглиблений шар SiO<sub>2</sub>; 3 – підкладка; 4 – полікремнієвий заслон; 5 – імплантація P: $1 \times 10^{16}$  з енергією 5 KeV; 6 – імплантація P: $1 \times 10^{16}$  з енергією 60 KeV

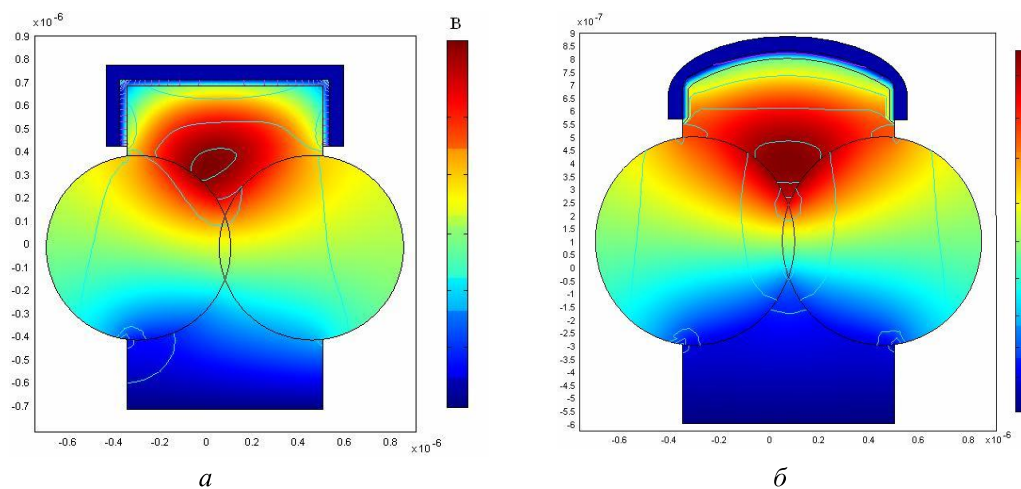


Рис. 7. КНІ МОН-транзистори із затворами різної форми



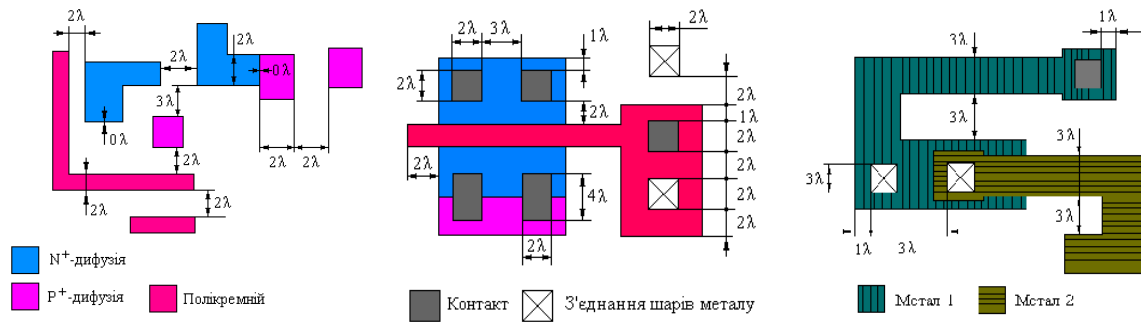


Рис. 8. Базові проектні норми і правила проектування топології КНІ КМОН БМК

За основу для розробки комірки спеціалізованого КНІ КМОН були вибрані типові комірки БМК зі стандартними КМОН-технологіями (рис. 9) і експериментального КНІ КМОН БМК [7] з електричною ізоляцією елементів між собою. Суть принципу електричної ізоляції полягає у підключенні затворів транзисторів, топологічно розташованих зліва і справа, і найближче розташованих до активних і задіяних в заданій схемі до шини живлення для  $p$ -канальних транзисторів і відповідно до земляної шини для  $n$ -канальних транзисторів. Такий тип ізоляції вимагає додаткової кількості транзисторів, і, як наслідок, додаткової площі на кристалі і не відзначається високою стабільністю, особливо для екстремальних умов експлуатації. Тому використання сенсорних мікросистем в таких умовах вимагає надійнішої ізоляції за максимальної густини розташування елементів на кристалі, а також розширення комутаційних можливостей. На рис. 6 зображено типову комірку КМОН БМК з електричною ізоляцією елементів і приклад реалізації на ній бібліотечного елемента “I-HE”, який містить 4 активні транзистори і 2 ізоляційні.

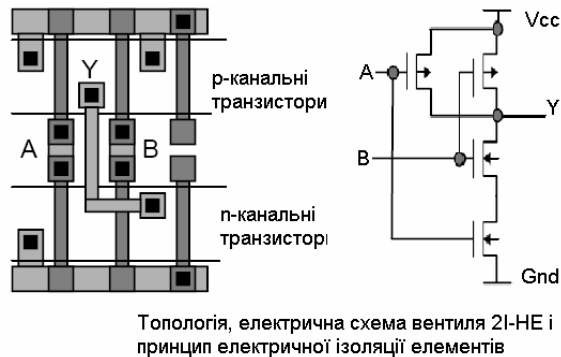


Рис. 9. Типова комірка БМК з електричною ізоляцією елементів з реалізованою на ній схемою бібліотечного елемента 2I-HE

У розробленій комірці використано діелектричну ізоляцію елементів, що робить її ефективнішою з погляду використання площі кристала, відкриваються додаткові можливості комутації за рахунок використання незадіяних транзисторних елементів для комутаційних шин і розводки замість ізоляційних. Результати моделювання бібліотечних елементів за високих температур показують кращі характеристики надійності і стабільності. На рис. 10, а зображено схематичну топологію розробленої комірки поля матриці КНІ КМОН БМК з діелектричною ізоляцією елементів і можливостей комутації, на рис. 10, б – приклади топологічної реалізації елементів ЗАБО-HE і інвертора, на рис. 10, в – їх електричні схеми.

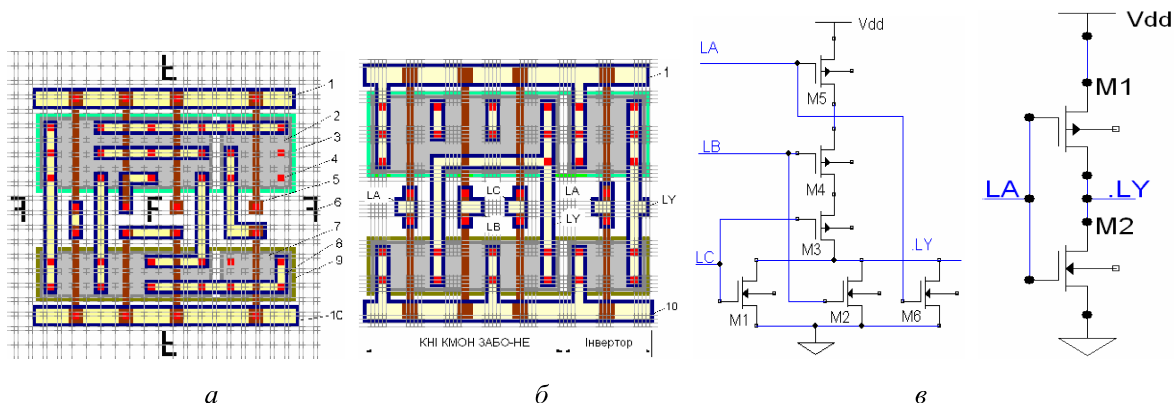


Рис. 10. Схематична топологія комірки БМК і можливості комутації елементів (а), топологія логічного елемента ЗАБО-НЕ та інвертора (б), і їх електричні схеми (в):

1 – шина живлення; 2 – стік-витоків області р-канальних КНІ-транзисторів; 3 – контур області легування р-канальних транзисторів (маска при легуванні областей n-типу); 4 – контакти до стік-витоків областей; 5 – полікремнієві затвори; 6 – елемент орієнтації при мультиплікуванні комірки в матрицю; 7 – стік-витоків області n-канальних транзисторів; 8 – металева шина; 9 – контур області легування n-канальних транзисторів (маска при легуванні областей p-типу); 10 – шина землі; LA, LB, LC – вхідні виводи; LY – вихідний вивід

Розроблена комірка є придатною для мультиплікування в матрицю БМК. Напрями орієнтації комірок за їх мультиплікування зображено положенням символу F. При мультиплікуванні комірок їх шини живлення і землі топологічно з'єднуються в шини живлення і землі матриці БМК. На основі цієї комірки розроблено бібліотеку базових логічних тригерних елементів, аналогових елементів та вхідних/вихідних буферних каскадів з оптимізованими структурами контактних площадок, які мають розвинені мікрорельєфні поверхні та зменшені паразитні ємності. Результати моделювання залежностей затримок перемикання розроблених елементів показують, що їх часові характеристики в середньому на 30–40 % є кращими порівняно з аналогічними елементами зі стандартними об'ємними КМОН-структурами з однаковими розмірами транзисторів.

### Висновки

Запропоновано архітектуру, конструктивно-технологічну базу з локальними тривимірними КНІ-структурами і елементи на цій основі для побудови інтегрованих мікросистем на основі КМОН базового матричного кристала. Особливістю архітектури спеціалізованого КНІ КМОН БМК для мікросистемних використання на основі тривимірних КНІ-структур є те, що від центра до периферії послідовно розміщені сенсорні елементи, елементи зв'язку, аналогові елементи, цифрові елементи і вихідні формувачі сигналів. Розроблено і проведено комп'ютерне моделювання сумісних технологій формування локальних тривимірних КНІ-структур процесами сучасних КМОН-технологій. Наведено результати моделювання приладних елементів з тривимірними КНІ-структурами. На основі запропонованого БМК, за аналогією з ІС, можуть бути в короткі терміни спроектовані різні типи мікросистем і створені їх серії.

1. Когут І.Т. Концепція побудови інтегрованих мікросистем на основі КМОН БМК зі структурами кремній-на-ізоляторі // Тези XI Міжнар. конф. "Фізика і технологія тонких плівок і наносистем", 7–12 травня 2007 р. – Івано-Франківськ. – С. 215–216. 2. Colinge J.P. Silicon-On-Insulator Technology: Materials to VLSI, Kluwer Academic Publishers, 1997. 3. Druzhynin A.O., Holota V.I., Kogut I.T., Sapon S.V., Khoverko Yu.M. The Device-Technological Simulation of The Field-Emission Micro-Cathodes Based on Three-Dimensional SOI-Structures // Electrochemical Society Trans. – 2008. – Vol. 14(1). – P. 569–581. 4. Пат. на корисну модель № 34277 UA. Спосіб формування локальних тривимірних КНІ-структур / І.Т. Когут, В.І. Голота, А.О. Дружинін, С.В. Сапон. – Опубл.



27.10.08, Бюл. № 20. – 2008. – 14 с. 5. Пат. на корисну модель № 29698 UA. Ключовий елемент на діодах Шотткі зі структурою “кремній-на-ізоляторі” / І.Т. Козут, В.І. Голота, А.О. Дружинін. – Опубл. 25.01.2008, Бюл. № 2. – 2008. – 10 с. 6. Пат. на корисну модель № 29701 UA. Контакт в інтегральних приладах зі структурою “кремній-на-ізоляторі” / І.Т. Козут, В.І. Голота, А.О. Дружинін. – Опубл. 25.01.2008, Бюл. № 2. – 2008. – 10 с. 7. Козут І.Т. Конструктивно-технологічні властивості КМОН КНІ БМК з мікрозонною лазерною рекристалізацією полікремнію // Вісн. Держ. ун-ту “Львівська політехніка”. – 1999. – № 362: Елементи теорії та прилади твердо-тіЛЬНОЇ електроніки. – С. 25–30.

УДК 621.315.592

О.І. Логуш<sup>1</sup>, В.А. Павлиш<sup>2</sup>

Національний університет “Львівська політехніка”,

<sup>1</sup>кафедра напівпровідникової електроніки,

<sup>2</sup>кафедра електронних засобів, інформаційно-комп’ютерних технологій

## СТАБІЛІЗАЦІЯ ПАРАМЕТРІВ МОН-СТРУКТУР ПРИ ГЕТЕРУВАННІ ДЕФЕКТІВ КРЕМНІЄВОЇ ПІДКЛАДКИ ЦИНКОМ

© Логуш О.І., Павлиш В.А., 2009

O.I. Logush, V.A. Pavlysh

## MOS-STRUCTURE PARAMETERS STABILIZATION BY SILICON SUBSTRATE DEFECTS GETTERING WITH ZINC

© Logush O.I., Pavlysh V.A., 2009

Наведено результати експериментальних досліджень впливу гетерування цинком на суцільність плівок  $\text{SiO}_2$ . Показано, що введення цинку в парогазове середовище за термічного окислення кремнію приводить до покращання суцільності плівок. Експериментально підтверджена модель процесу гетерування тримірних дефектів плівок термічного діоксиду кремнію, яка полягає у зниженні рухливості дислокацій приповерхневої області кремнієвих пластин і зменшення внаслідок цього локальних напружень плівок в процесі росту.

The results of experimental investigations of zinc gettering influence on uniformity of  $\text{SiO}_2$  films and parameters of MOS-structures as a whole are shown. It was demonstrated that adding of zinc into vapor during silicon thermal oxidation results in improvement of films uniformity. The model of gettering process of 3D-defects in thermal silicon dioxide films, which consists in decreasing of dislocation mobility in silicon wafer surface region thus leading to decreasing of local film stresses during growth process, is experimentally approved.

### Вступ

У сучасних напівпровідникових приладах, розміри активних областей яких становлять частки мкм, істотну роль відіграє структурна досконалість області кремнієвої підкладки, що прилягає до межі розділу, і усіх наступних нарослених шарів монокристалічного кремнію і аморфного діелектрика, які становлять активну область приладу. Кожен високотемпературний процес приводить до утворення, розмноження і анігіляції точкових, лінійних та об’ємних дефектів, які негативно впливають на

Результати приладно-технологічного моделювання  
послідовності технологічних  
операцій виготовлення суміщених  
КМОН- приладних структур на масивних  
і КНІ-пластинах з локальними КНІ-структурами  
та їх окисною ізоляцією із субмікрометровою  
технологією для створення елементної бази ІС на  
основі БМК.

## Технологічна операція 1

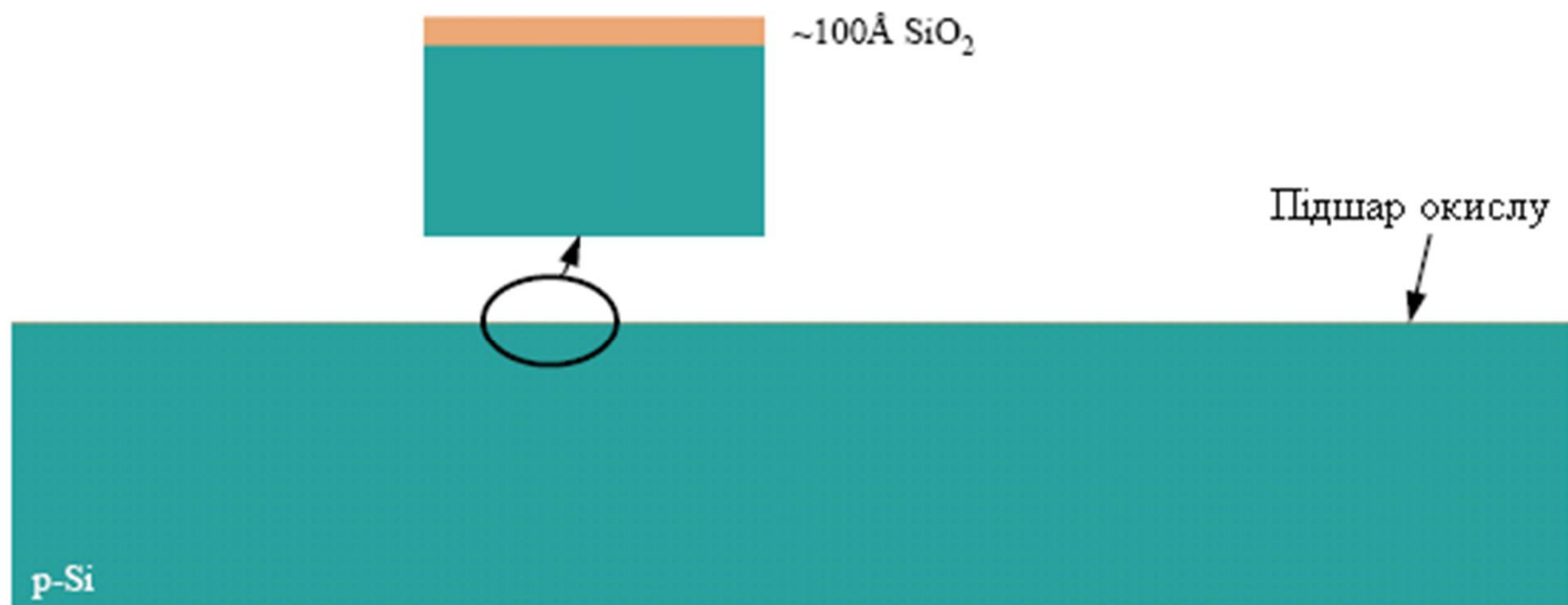
q КМОН-об'ємні (для КНІ – локальні – тільки КНІ-шар)



Структура вихідної пластини для приладного шару товщиною 2 мкм

## Технологічна операція 2

q КМОН-об'ємні (для КНІ – тільки на поверхні КНІ-шару)



Формування термічного сухого SiO<sub>2</sub> при температурі 900°C

## Технологічна операція 3

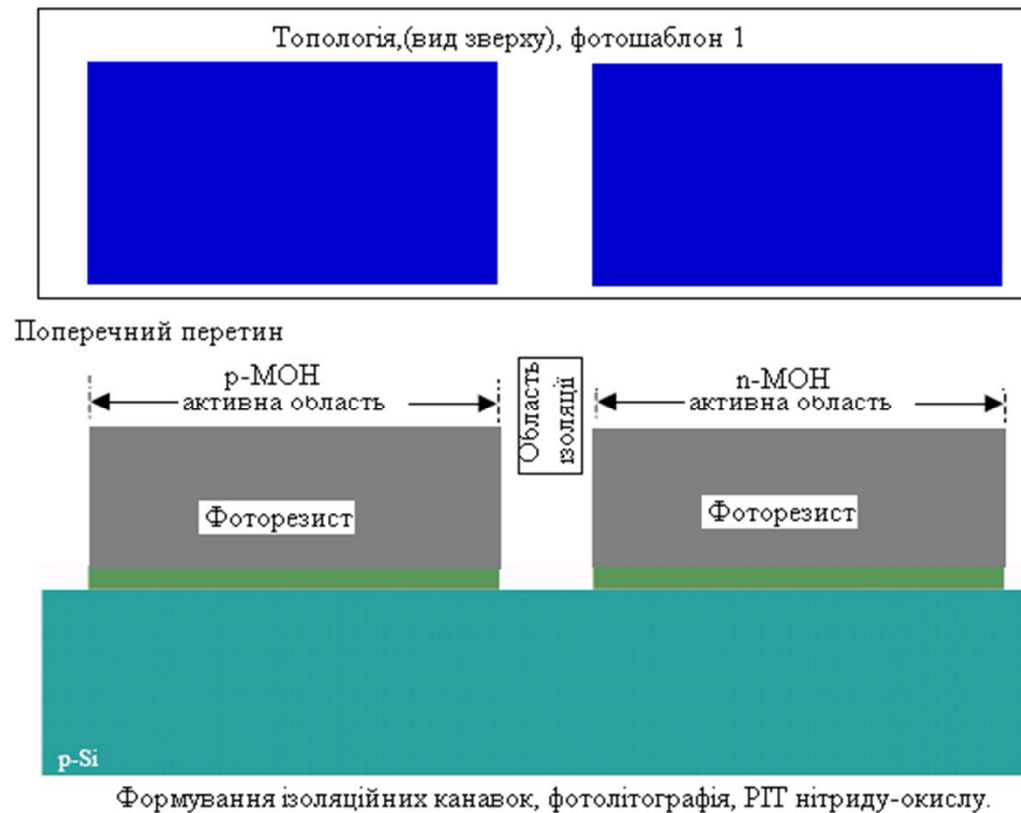
q КМОН-об'ємні (для КНІ – тільки на поверхні КНІ-шару)



Осадження плівки нітриду кремнію 0,1 мкм методом LPCVD 800 °C.

## Технологічна операція 4

На поверхні КМОН-об'ємних і КМОН КНІ



## Технологічна операція 5

Для КНІ КМОН - мінімальна глибина канавки -дорівнює товщині КНІ-плівки



Реактивно-іонне травлення канавок (глибина визначається часом травлення)

## Технологічна операція 6

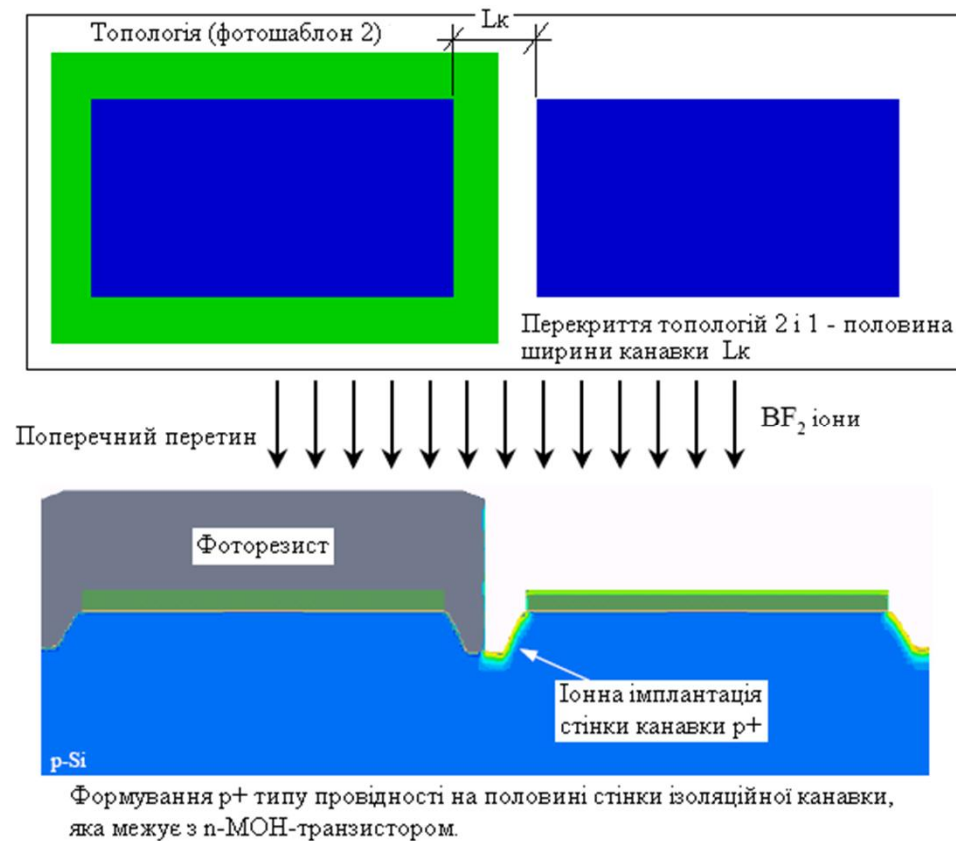


Формування термічного підшару окислу кремнію на поверхні канавок



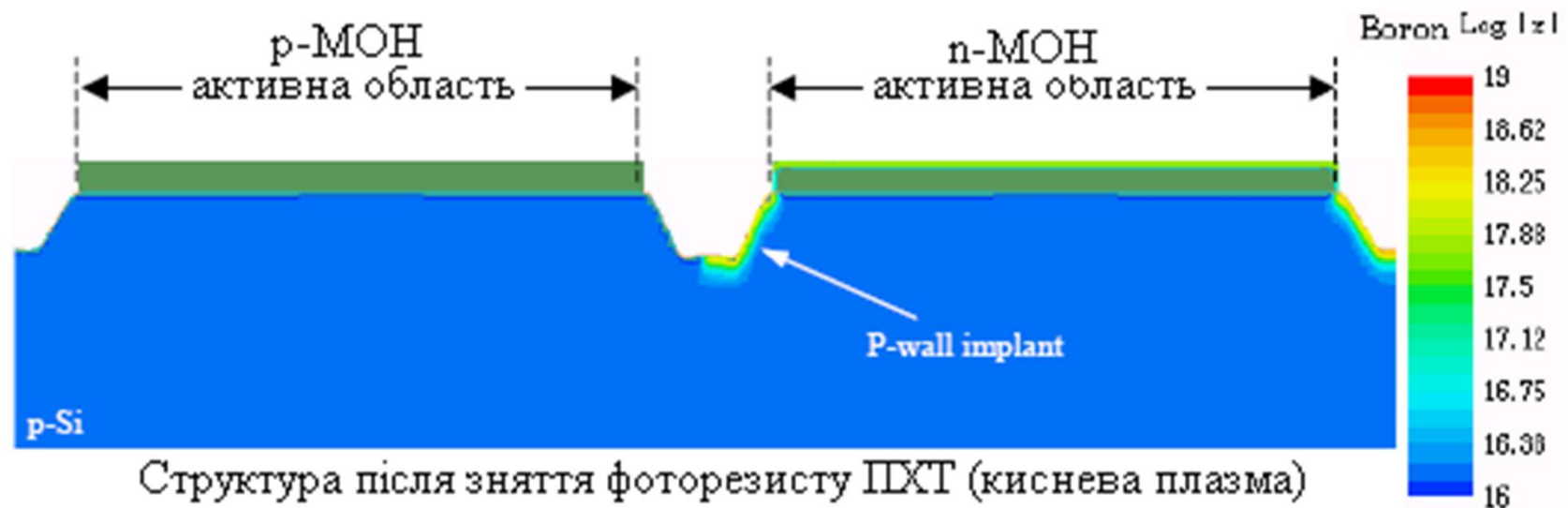
# Технологічна операція 7

Для КМОН КНІ - глибина канавки в пластині менша на товщину КНІ-плівки



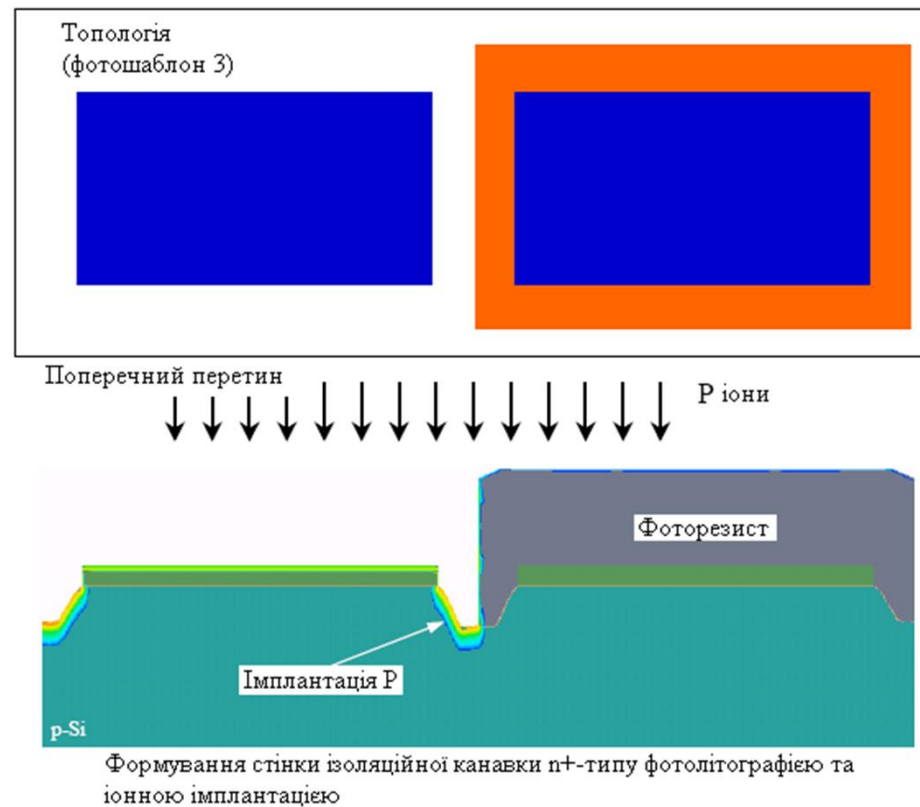
## Технологічна операція 8

Для КМОН КНІ - глибина канавки в пластині менша на товщину КНІ-плівки

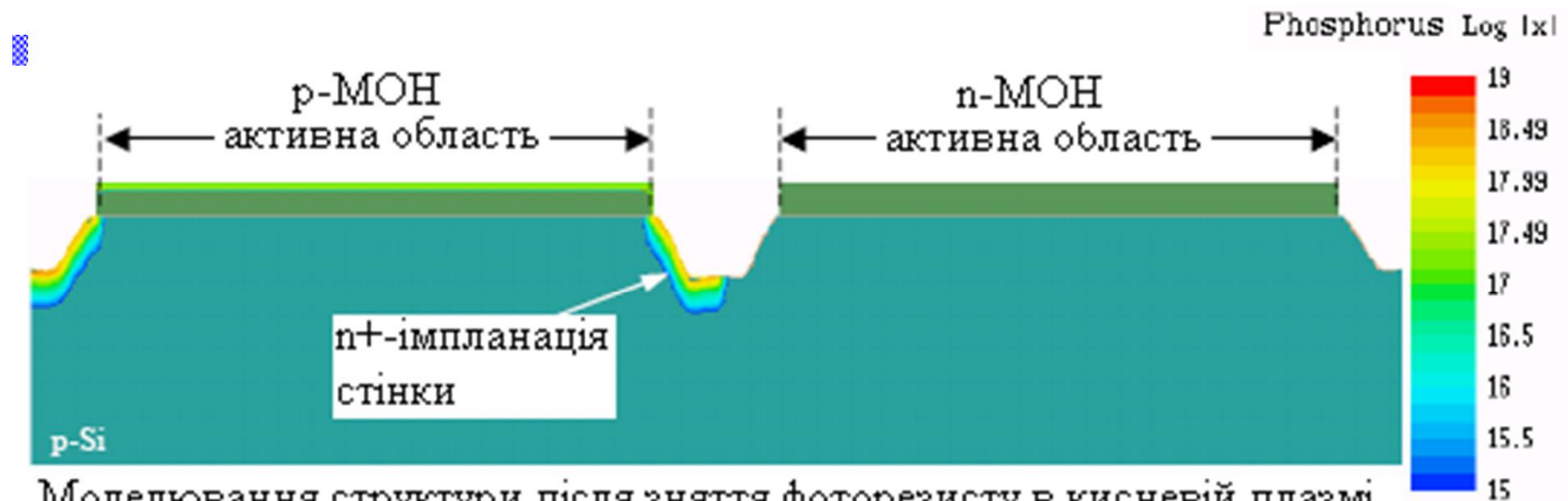


# Технологічна операція 9

Для КМОН КНІ - глибина канавки в пластині менша на товщину КНІ-плівки



## Технологічна операція 10



Моделювання структури після зняття фоторезисту в кисневій плазмі  
і рідинній обробці

# Технологічна операція 11

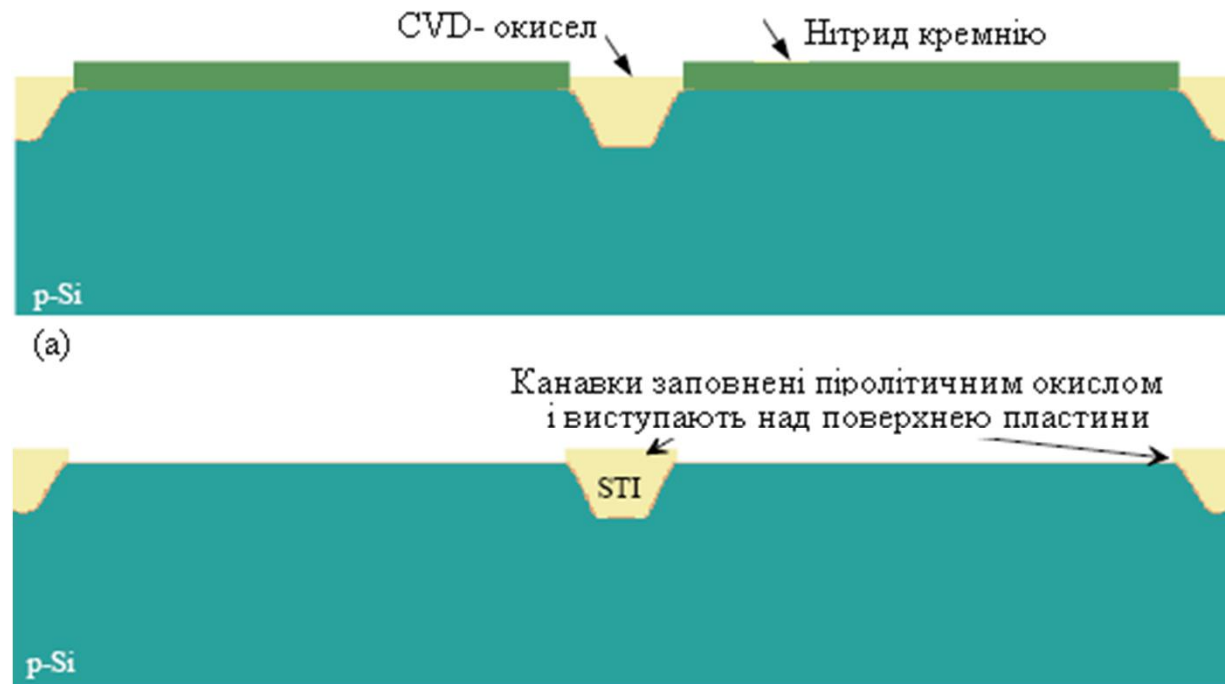
Для КМОН і КМОН КНІ-структур



Осадження низькотемпературного окислу до заповнення ізоляційних канавок

## Технологічна операція 12

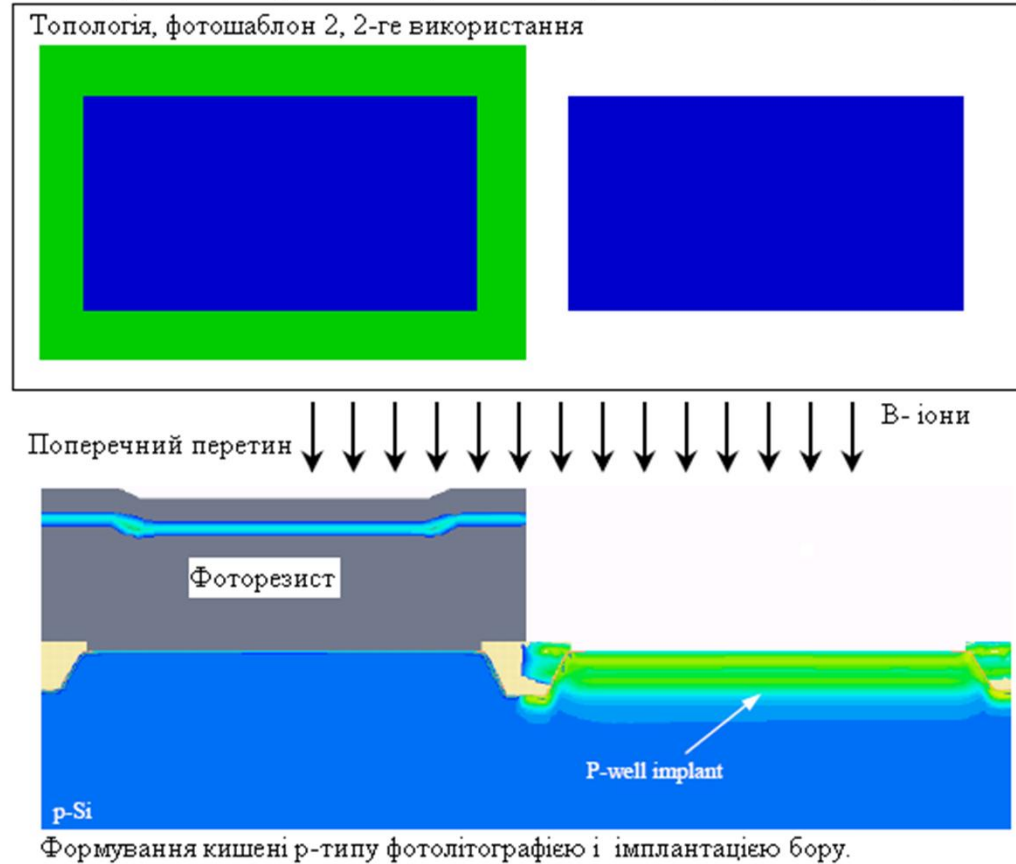
Для КМОН КНІ - глибина канавки в пластині менша на товщину КНІ-плівки



- (6) Травлення піролітичного окислу до планаризації поверхні. Нітрид кремнію - стоп-шар(а), рідинне травлення нітриду кремнію в гарячій фосфорній кислоті і/або сухе травлення в  $\text{NF}_3/\text{Ar}/\text{NO}$  (6) Залишений окисел служитиме маскою при наступних легуваннях.

# Технологічна операція 13

Для КМОН КНІ - інша доза легування (маска при легуванні-фоторезист)



# Технологічна операція 14

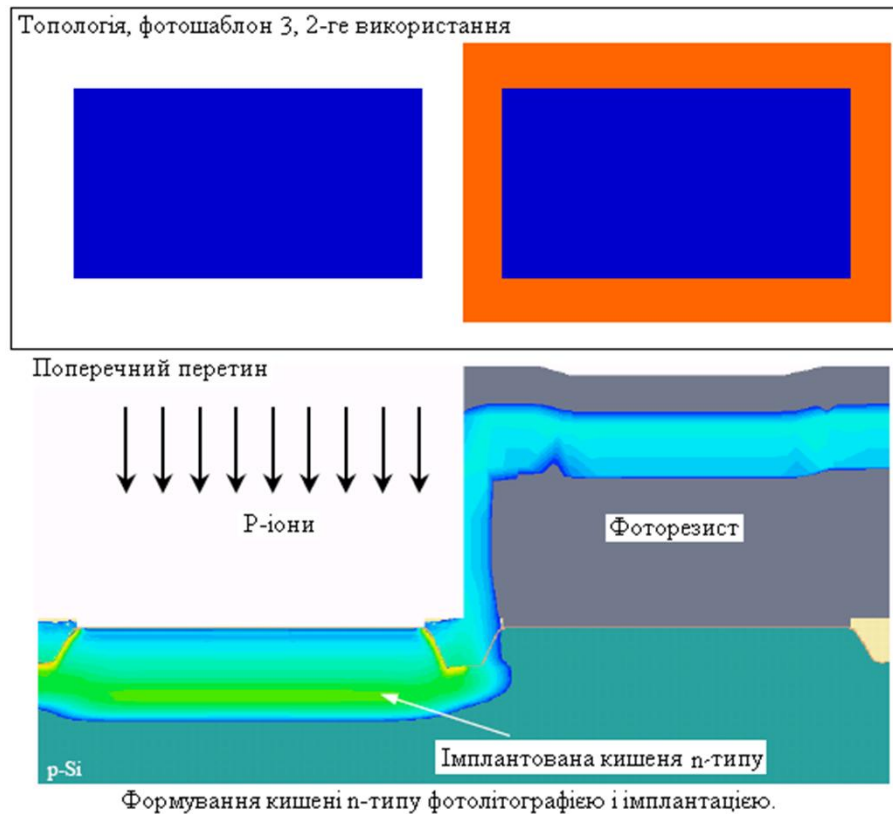
Для КМОН КНІ - інша доза легування (маска при легуванні-фоторезист)





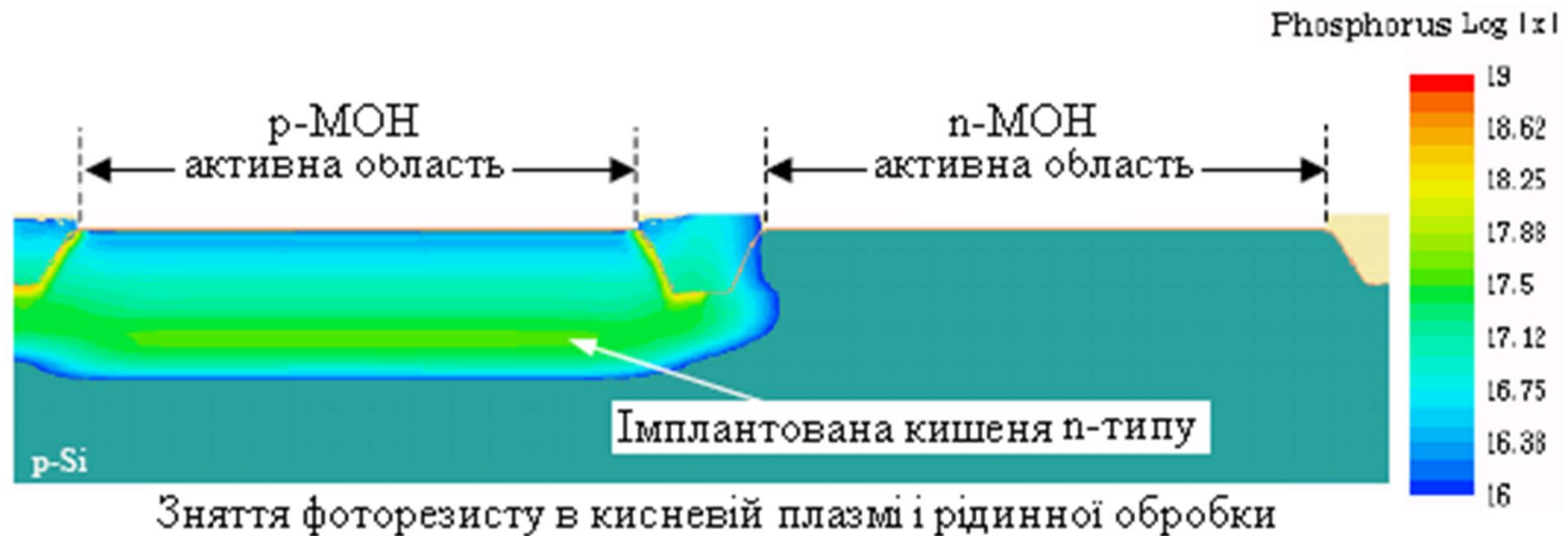
# Технологічна операція 15

Для КМОН КНІ - інша доза легування (маска при легуванні-фоторезист)



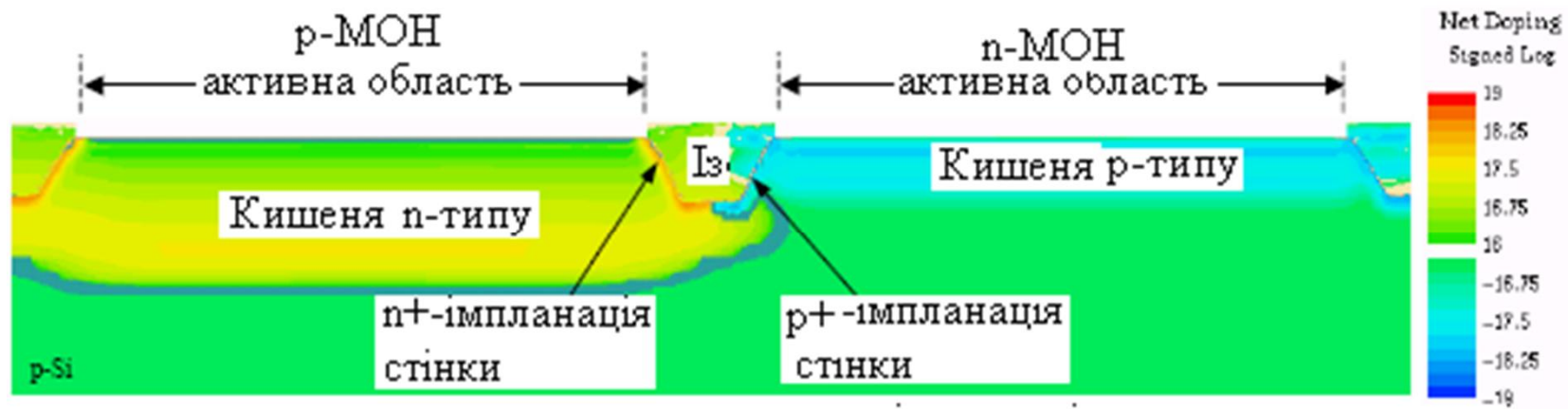
# Технологічна операція 16

Для КМОН КНІ - інші дози легування (маска при легуванні-фоторезист)



# Технологічна операція 17

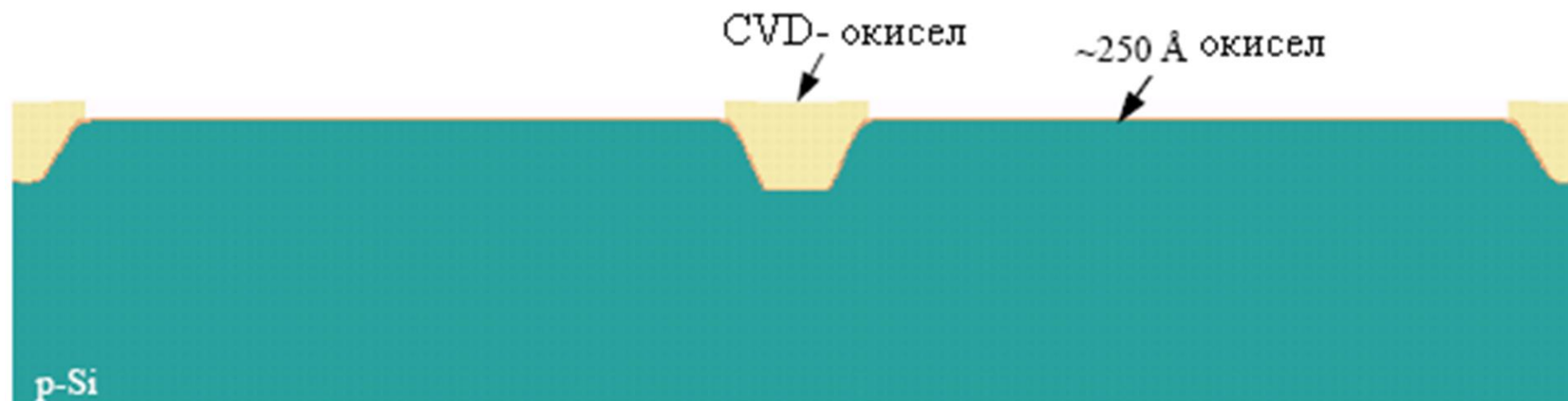
Для КМОН КНІ - інші дози легування (маска при легуванні-фоторезист)



Профілі розподілу домішок в кишнях p- і n-типу.

# Технологічна операція 18

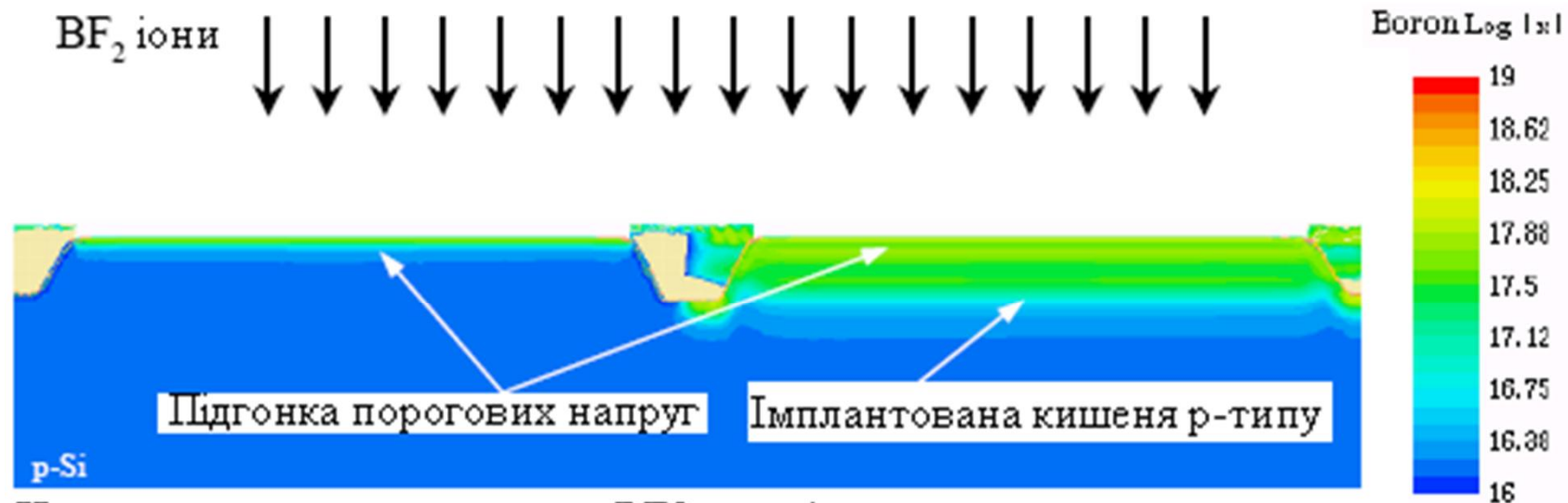
Для КМОН і КМОН КНІ-структур



Рідинне травлення залишків окислу в буферному травнику HF. Допоміжний термічний окисел формують сухим окисленням при 900°C.

# Технологічна операція 19

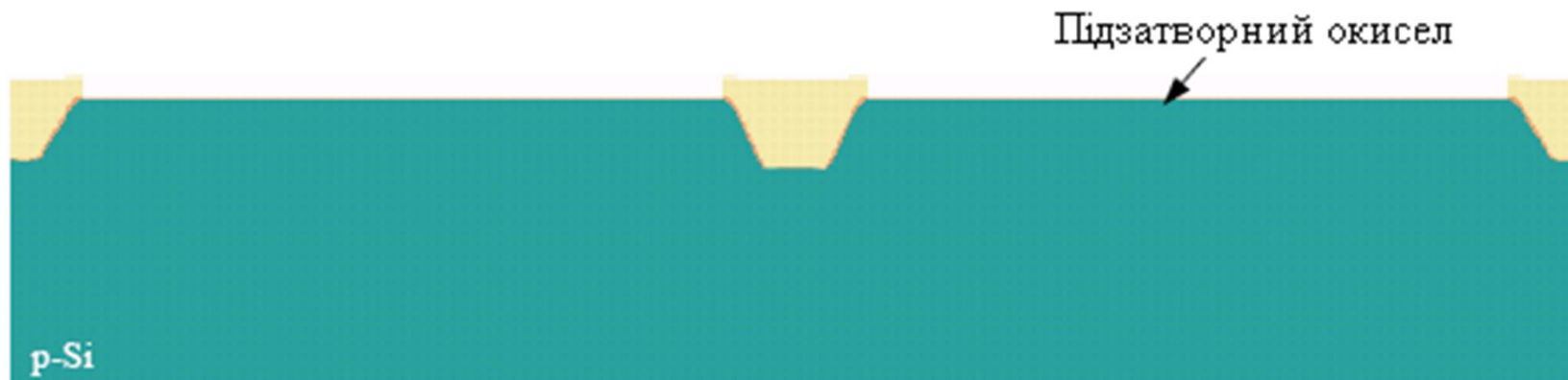
□ Для КМОН КНІ - менша доза. Маска-фоторезист



Низькоенергетичне легування BF<sub>2</sub> для підгонки порогових напруг р- і n-МОН-транзисторів.

## Технологічна операція 20

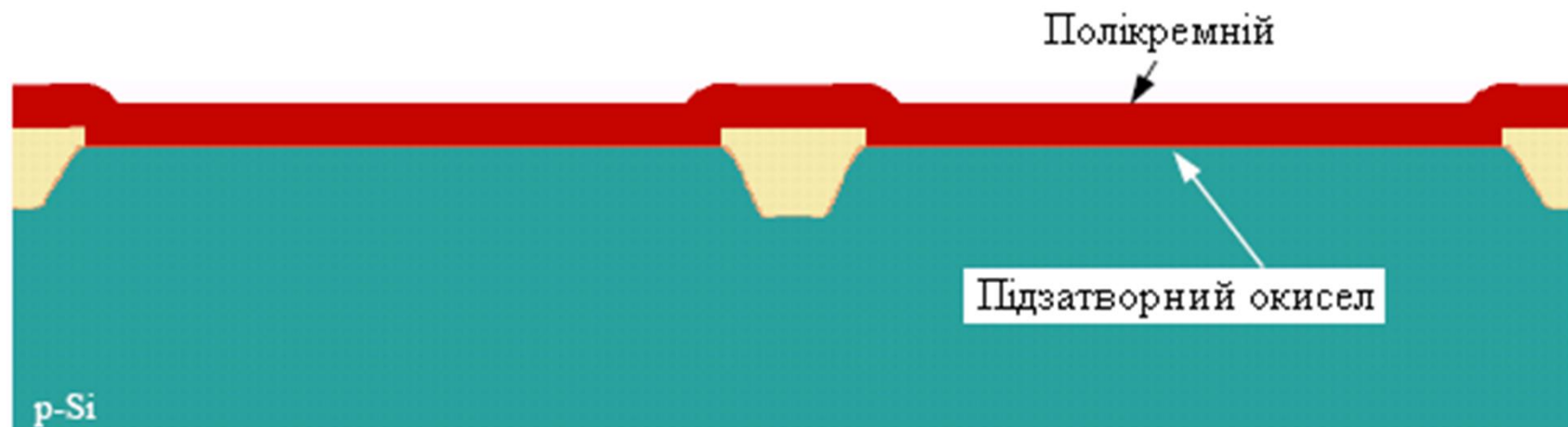
Для КМОН і КМОН КНІ-структур



Видалення допоміжного окислу у буферному травнику HF перед формуванням підзатворного сухого окислу в середовищі  $O_2$ , NO і/або  $N_2O$ .

# Технологічна операція 21

Для КМОН і КМОН КНІ-структур

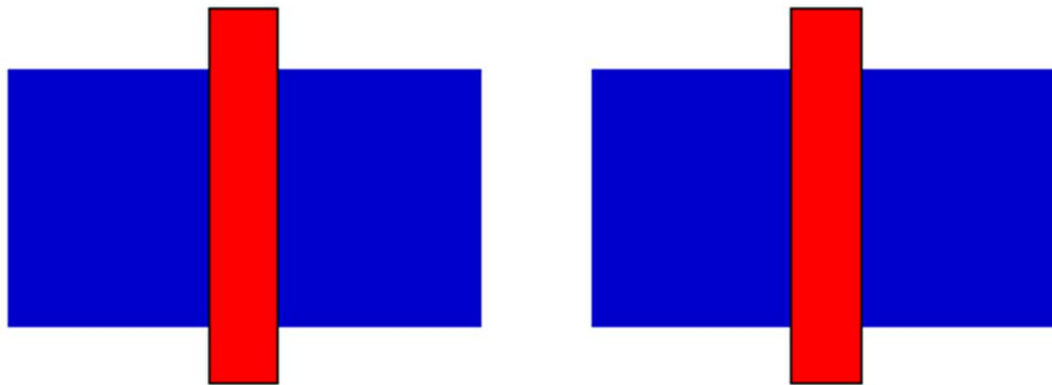


Осадження полікремнію методом LPCVD при температурі приблизно 550 °C.  
Полікремній осаджують негайно після формування підзатворного окислу.



## Технологічна операція 22

Топологія, фотошаблон 4



Поперечний перетин



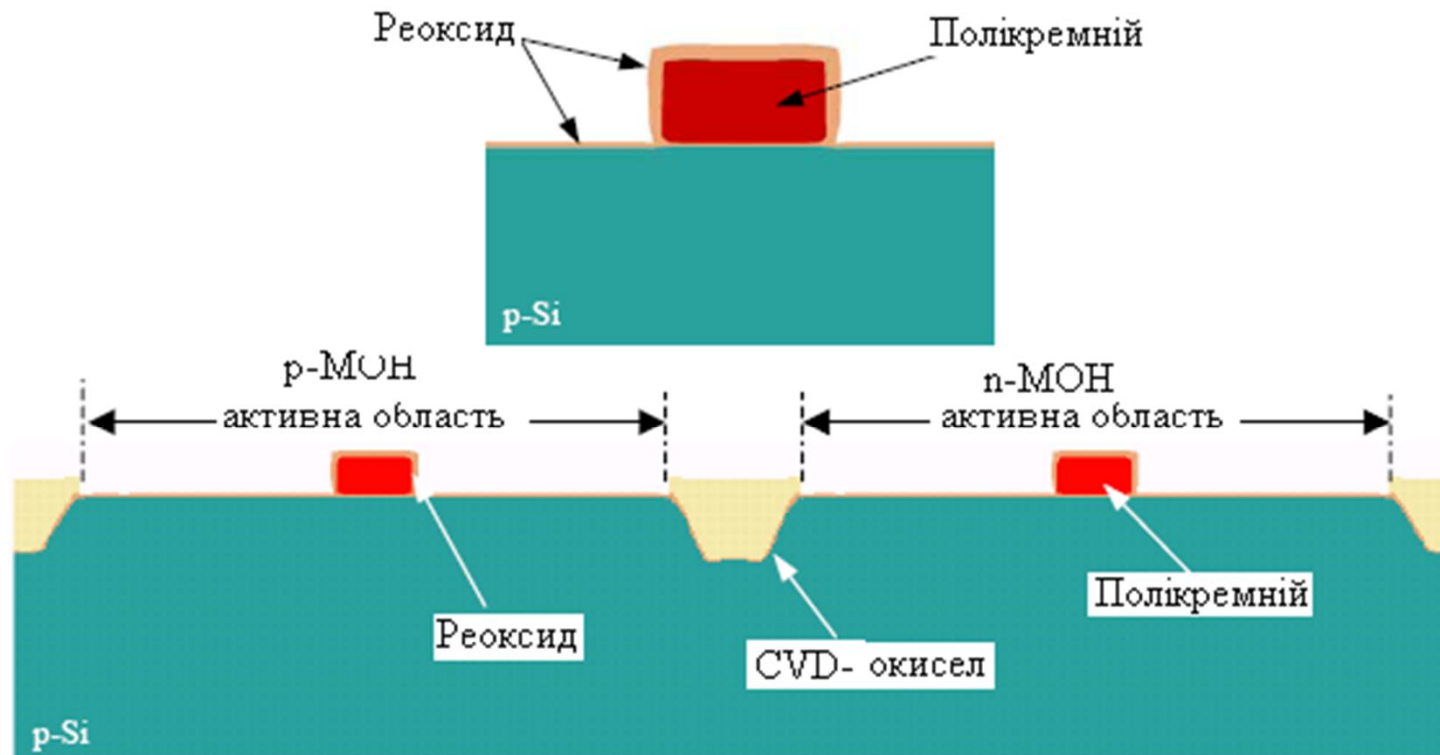
Полікремнієвий  
затвор

Формування затворів і з'єднань фотолітографією і реактивним  
іонним травленням полікремнію



## Технологічна операція 23

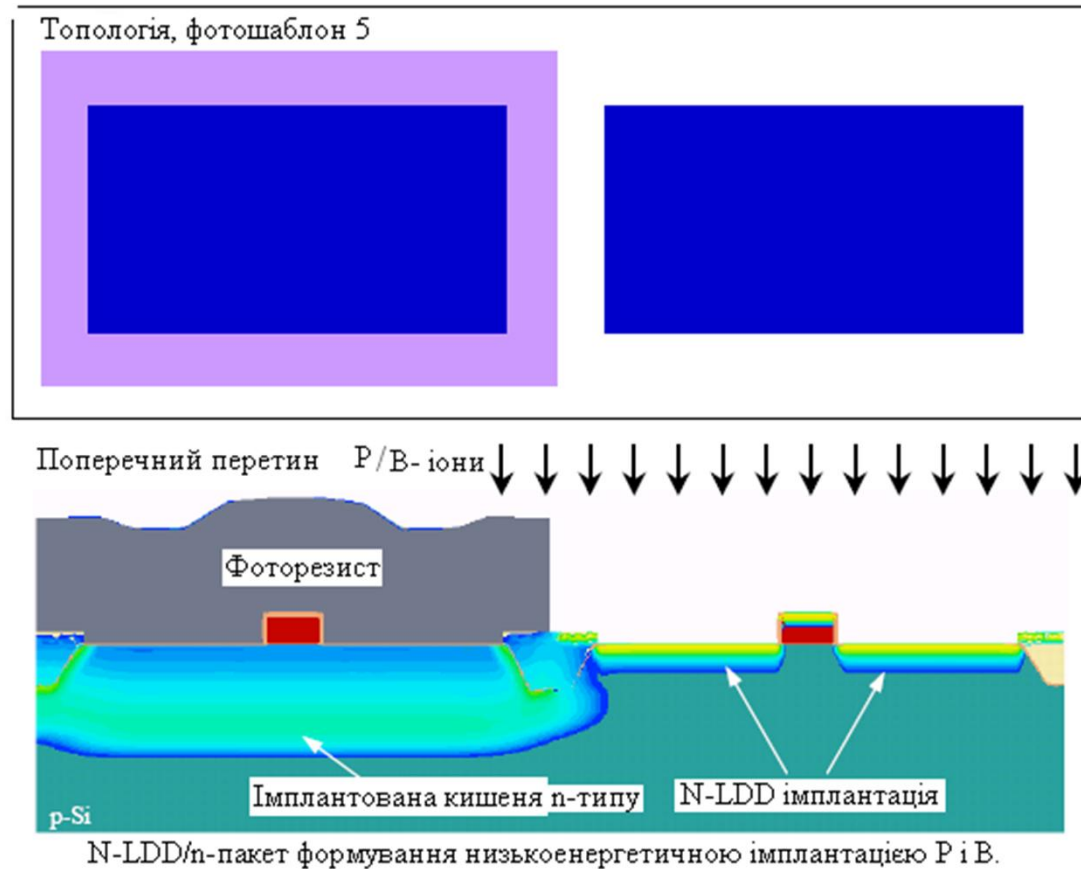
Для КМОН і КМОН КНІ структур



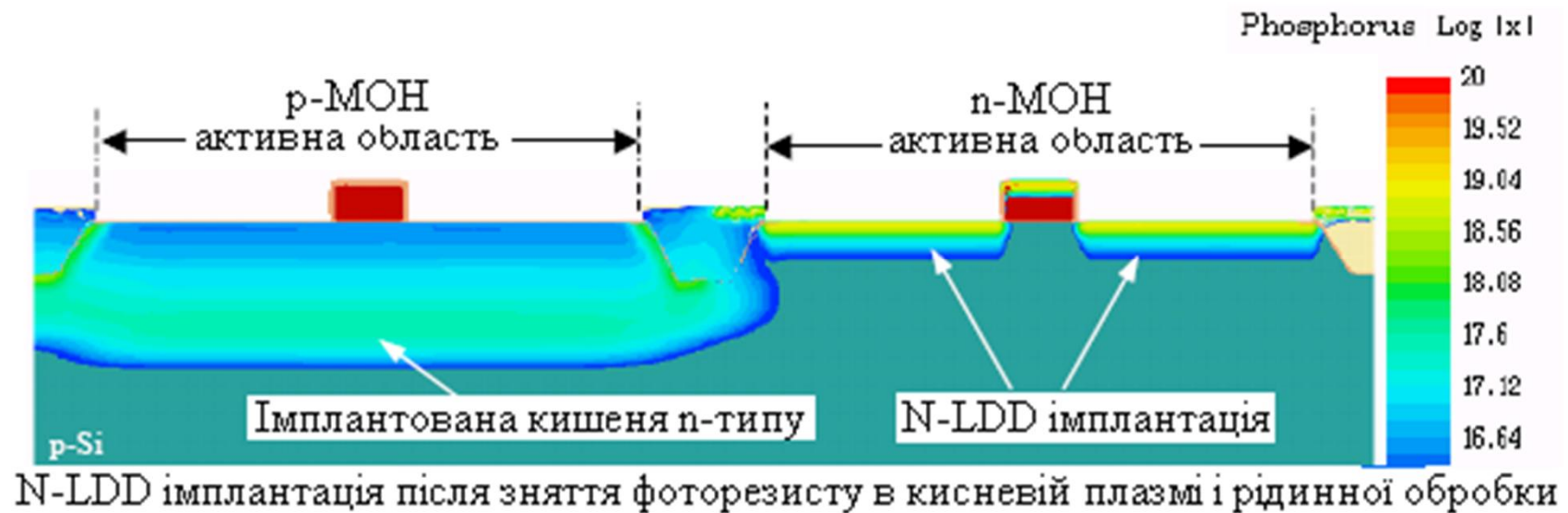
Реоксидація полікремнію в сухому  $O_2$  при  $T=900\text{ }^{\circ}\text{C}$ . Сумарна товщина окислу на полікремній є більшою ніж на активних областях.

# Технологічна операція 24

Для КМОН і КМОН КНІ структур

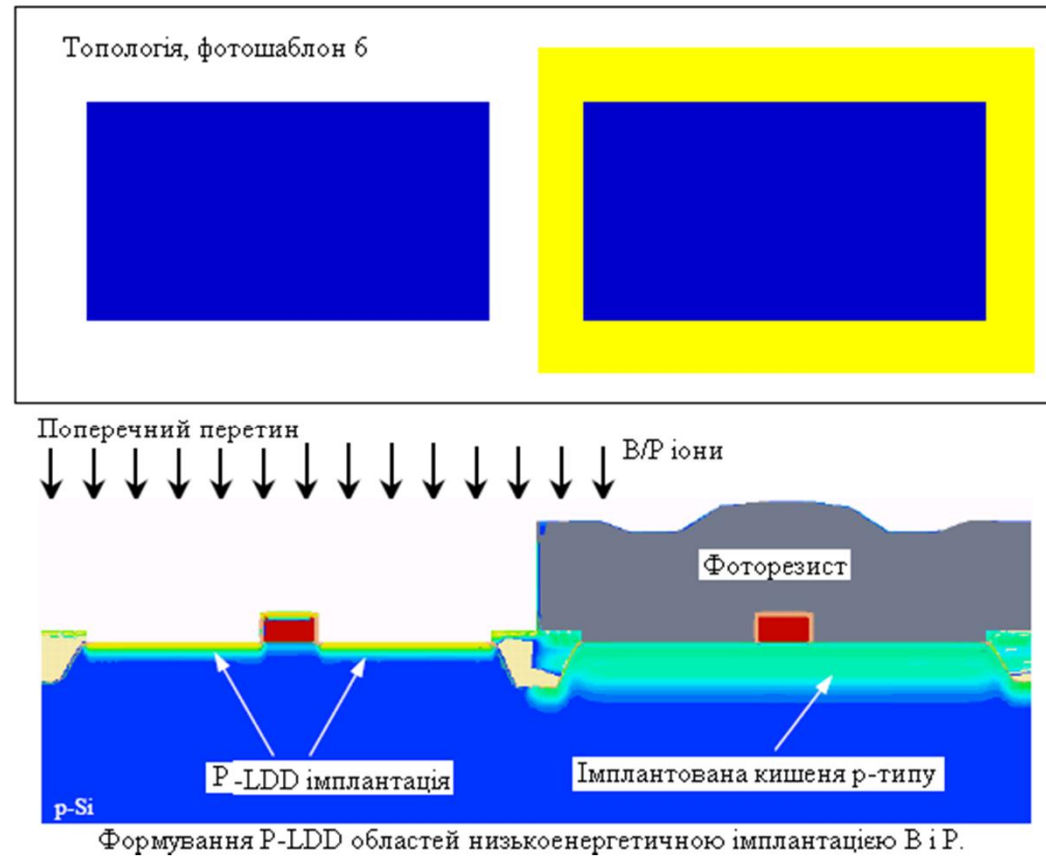


## Технологічна операція 25



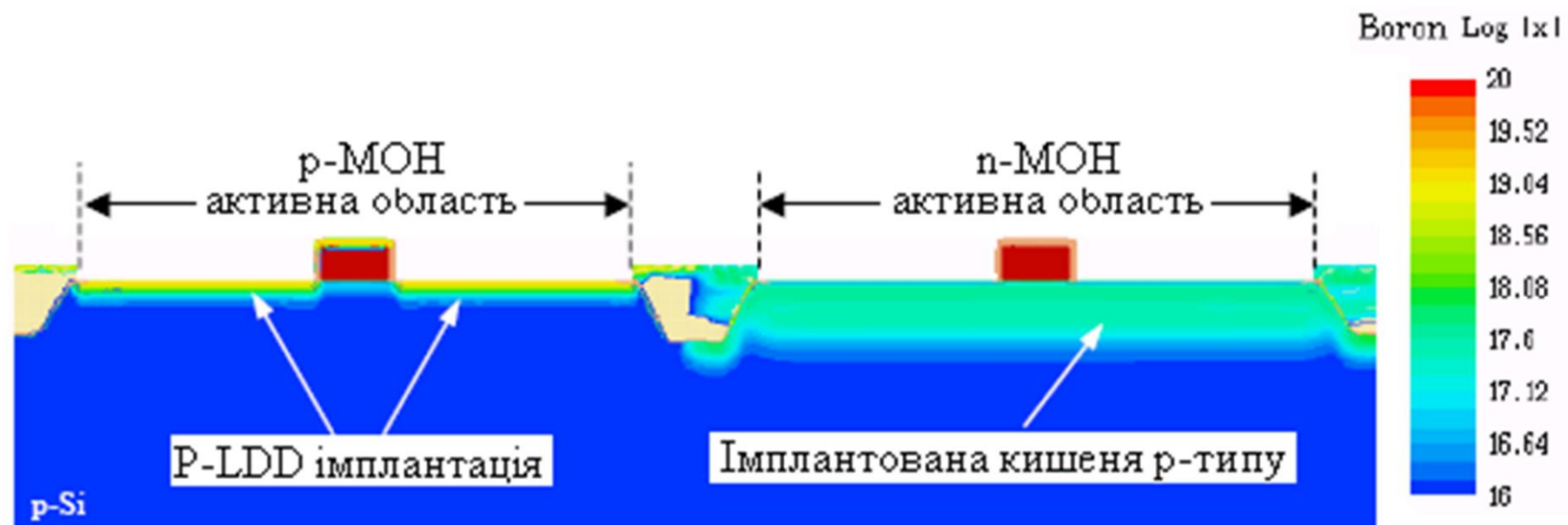
## Технологічна операція 26

□ Для КМОН і КМОН КНІ структур. Маска під час легування - фоторезист



# Технологічна операція 27

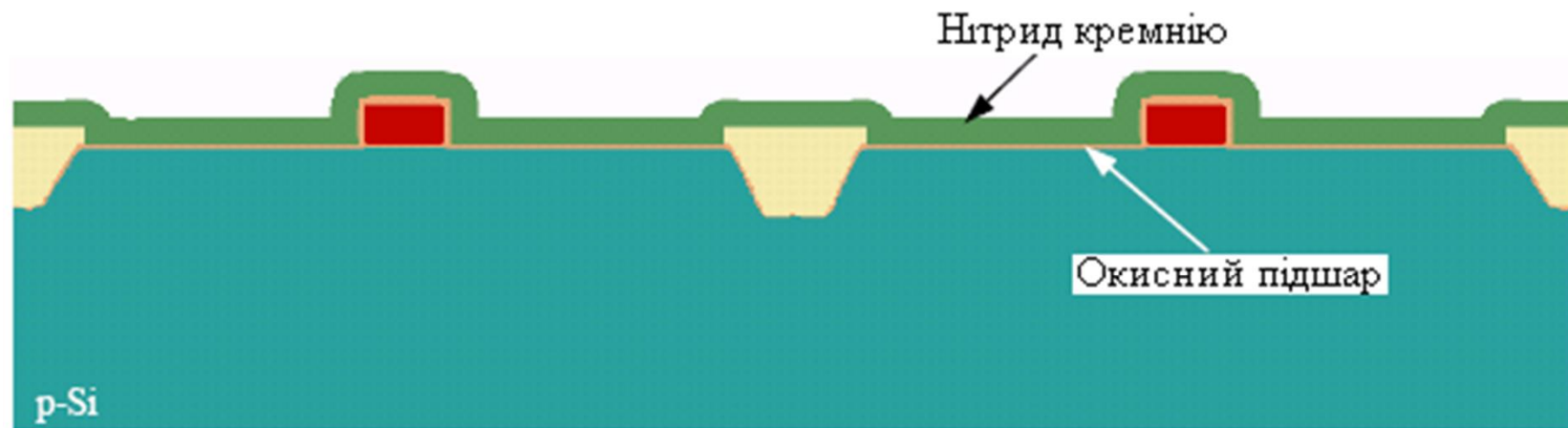
Для КМОН і КМОН КНІ структур



P-LDD області після зняття фоторезисту в кисневій плазмі і рідинній обробки

## Технологічна операція 28

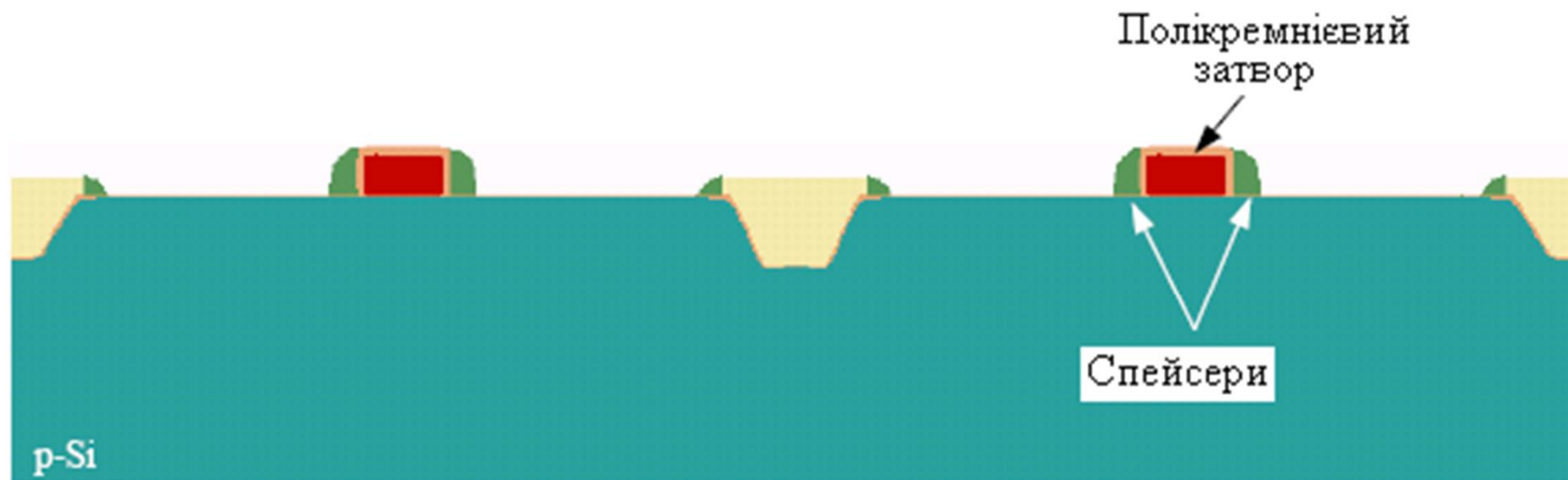
Для КМОН і КМОН КНІ структур



Формування спейсерів на бокових стінках затворів осадженням нітриду LPCVD-методом при температурі 800°C.

## Технологічна операція 29

Для КМОН і КМОН КНІ структур

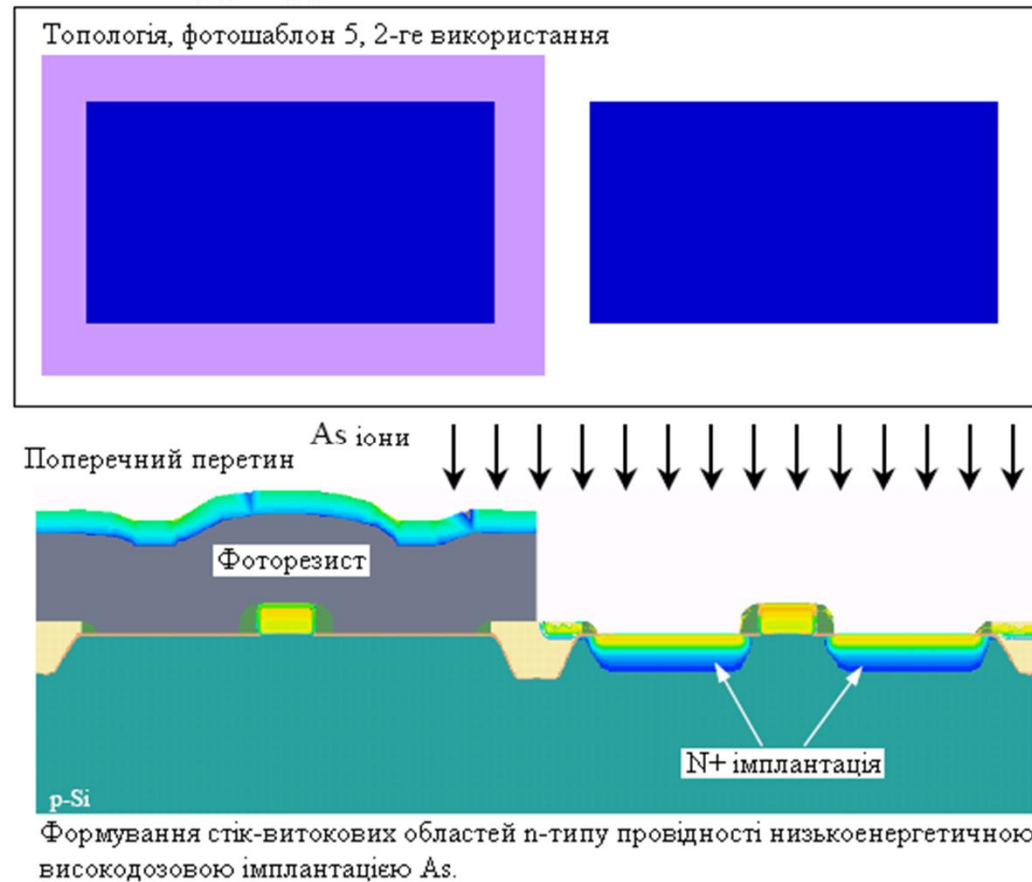


Формування спейсерів на бокових стінках затворів сухим анізотропним реактивно-іонним травленням нітриду кремнію



# Технологічна операція 30

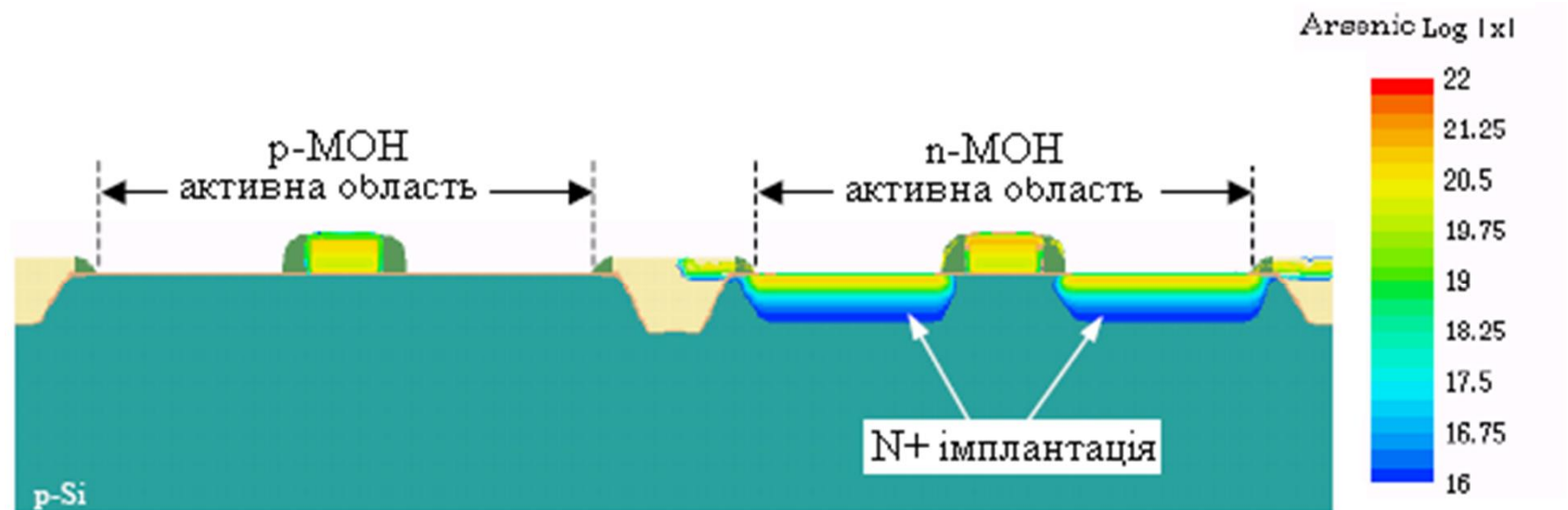
Для КМОН і КМОН КНІ структур





# Технологічна операція 31

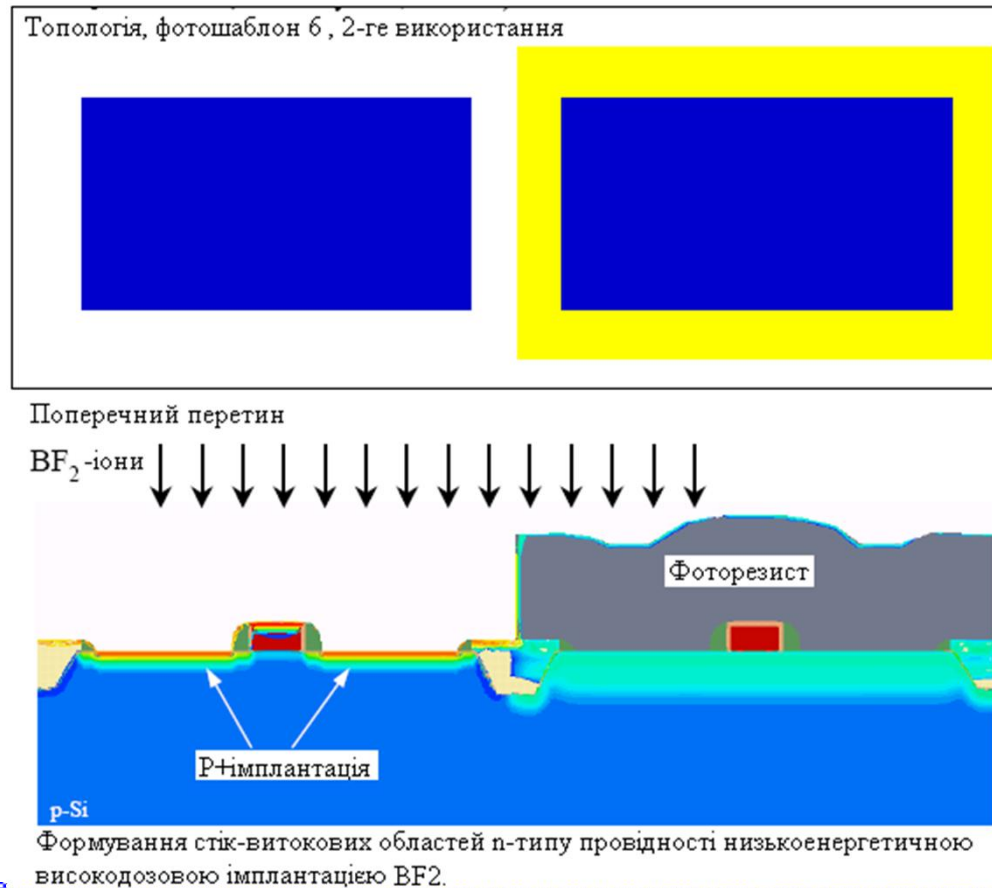
Для КМОН і КМОН КНІ структур



Стік-витокові області після зняття фоторезисту в кисневій плазмі і рідинній обробки

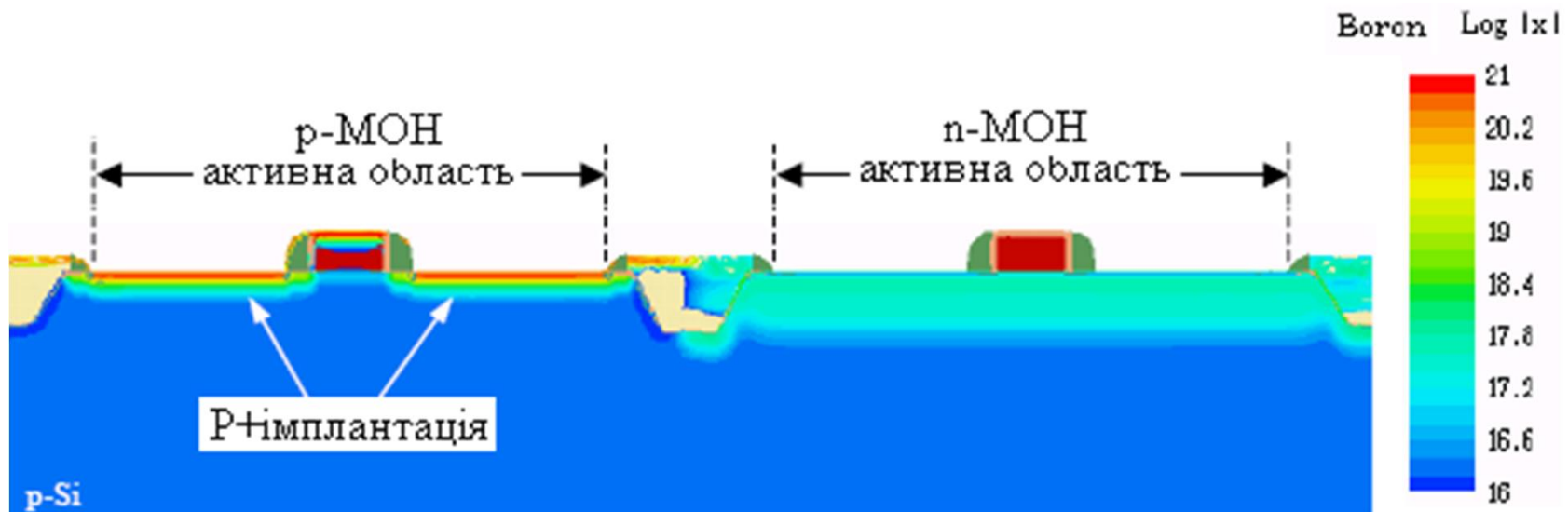
# Технологічна операція 32

Для КМОН і КМОН КНІ структур. Маска під час легування – фоторезист.



# Технологічна операція 33

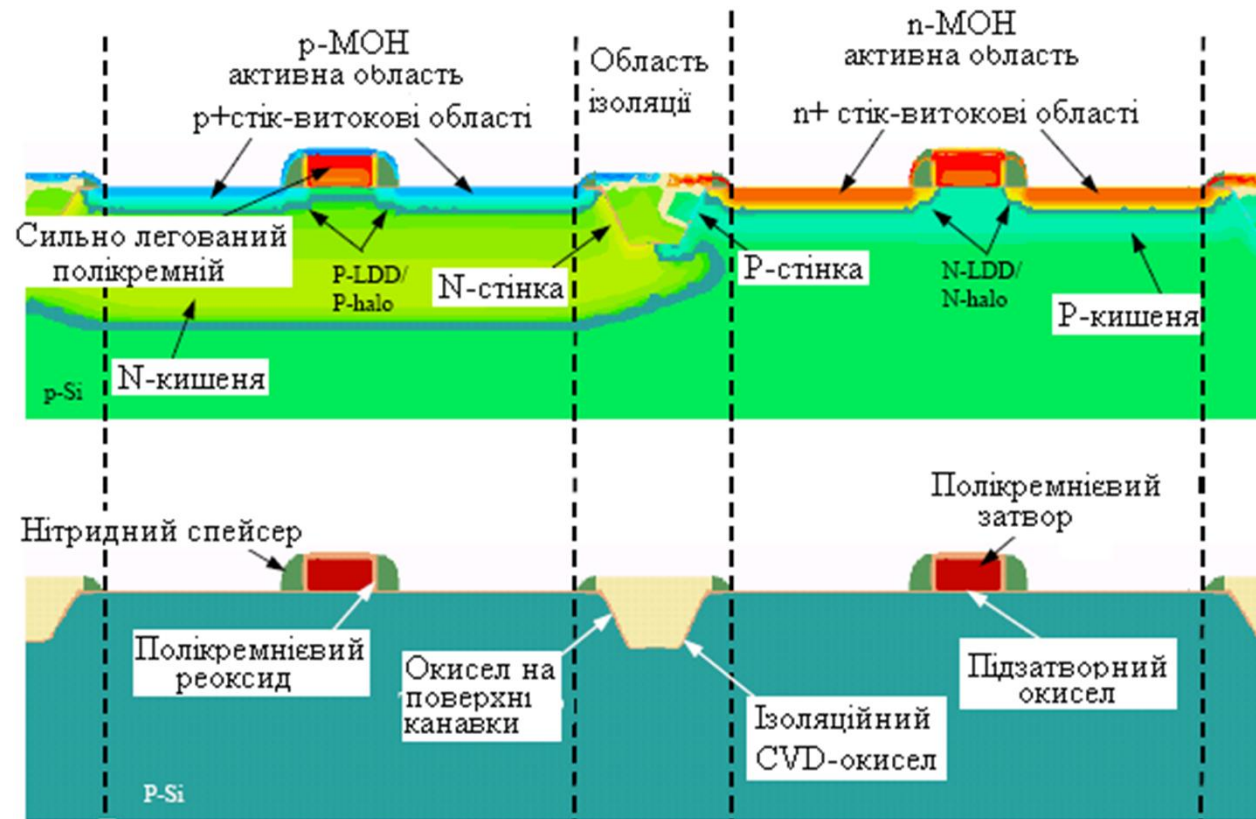
Для КМОН і КМОН КНІ структур



Стік-витоків області р-типу після зняття фоторезисту в кисневій плазмі і рідинної обробки

# Технологічна операція 34

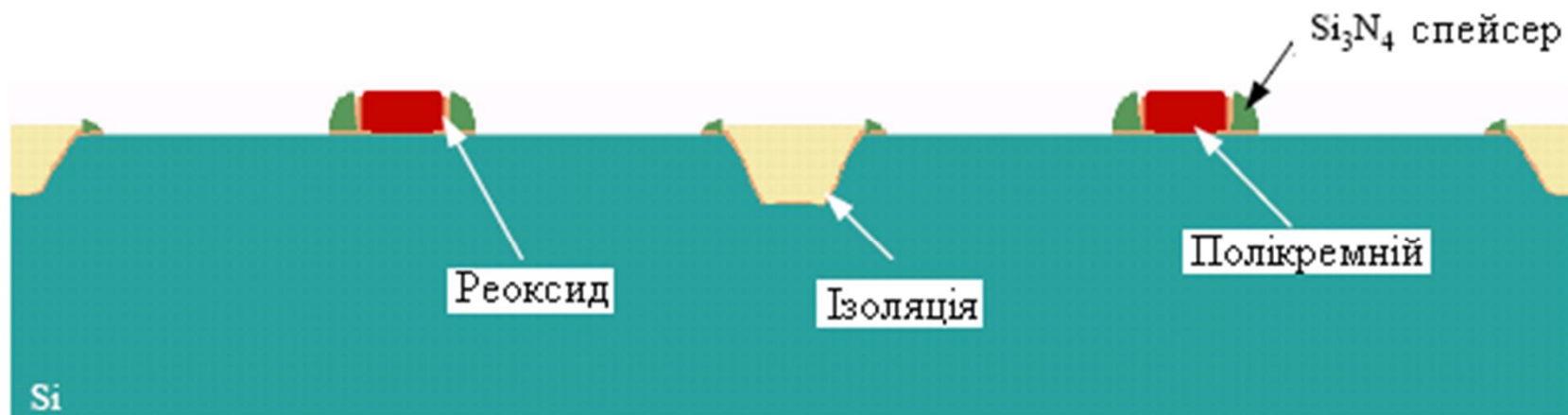
Для КМОН і КМОН КНІ структур



Структура і елементи активних МОН-приладів (FEOL-процес)

## Технологічна операція 35

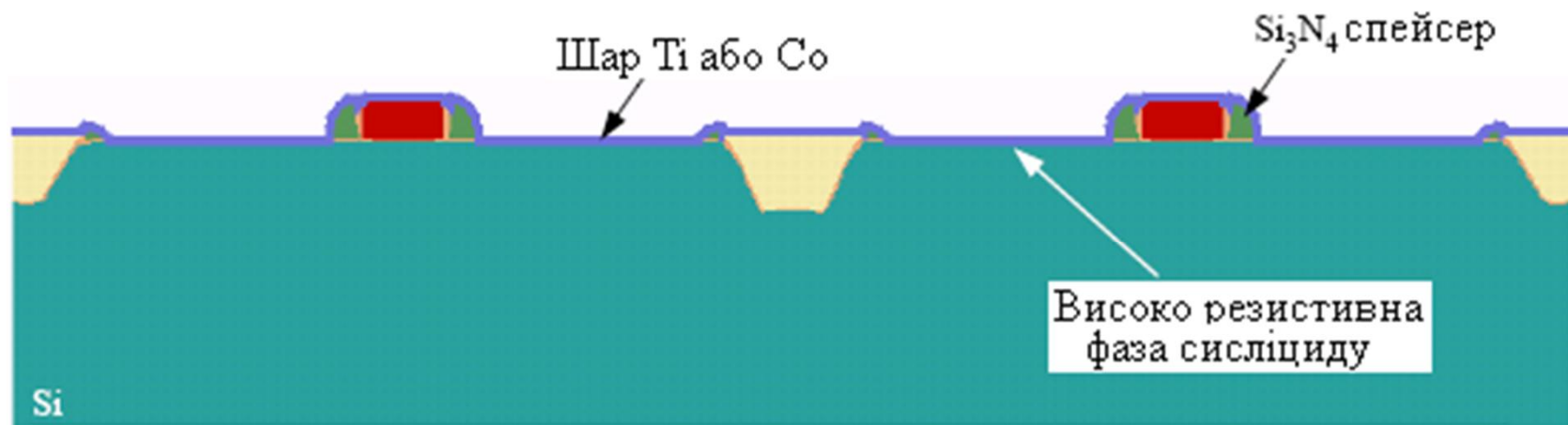
Для КМОН і КМОН КНІ структур



Видалення експозиційного реоксиду (результат FEOL) буферному тавнику HF.

## Технологічна операція 36

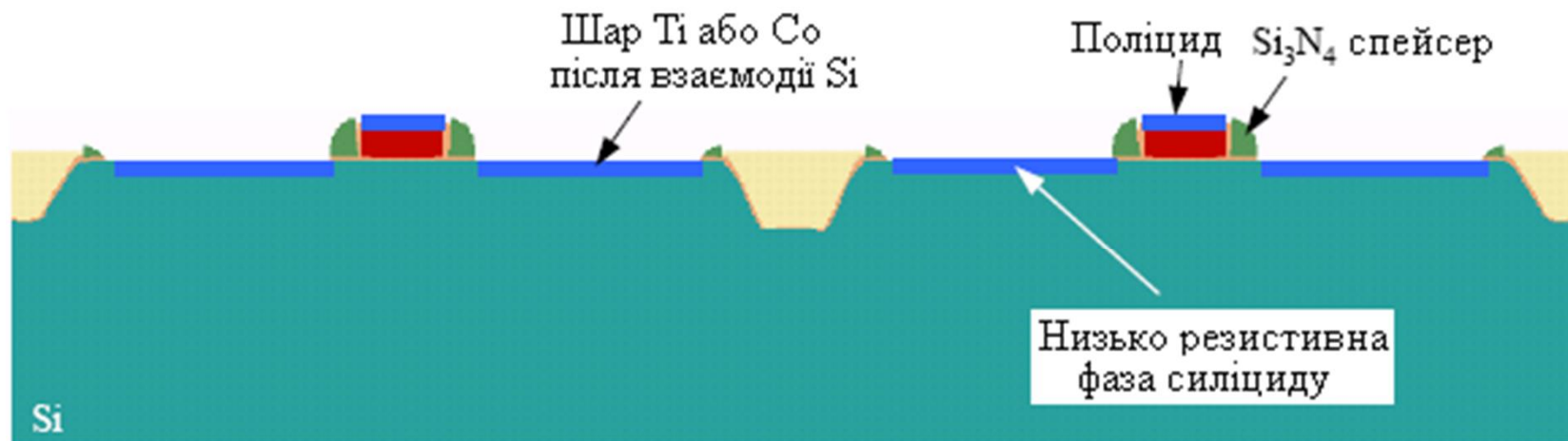
Для КМОН і КМОН КНІ структур



Осадження титану або кобальту після першого термічного відпалу силіциду

## Технологічна операція 37

Для КМОН і КМОН КНІ структур



Рідке хімічне травлення несиліцидного Ti або Co після другого термічного відпалу



# Технологічна операція 38

Для КМОН і КМОН КНІ структур



Осадження 1-го шару діелектрика плазмовим метод (висока густина плазми)



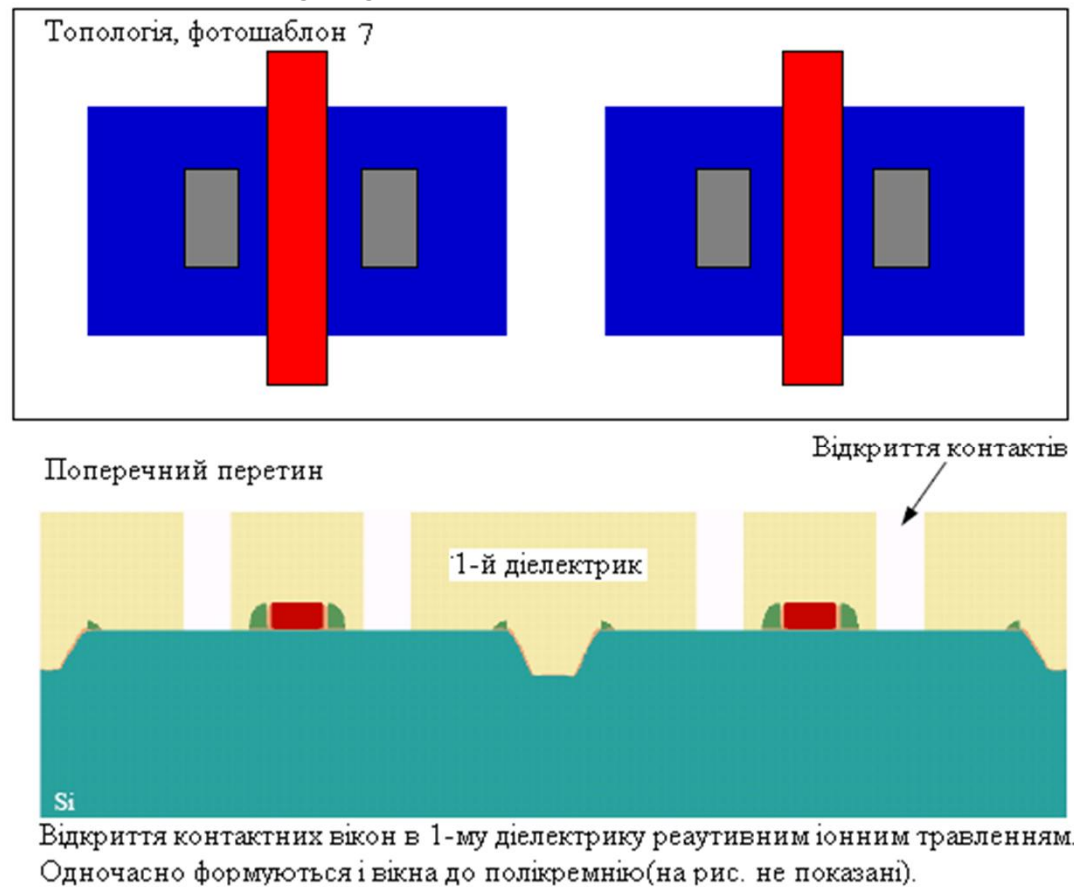
# Технологічна операція 39

Для КМОН і КМОН КНІ структур



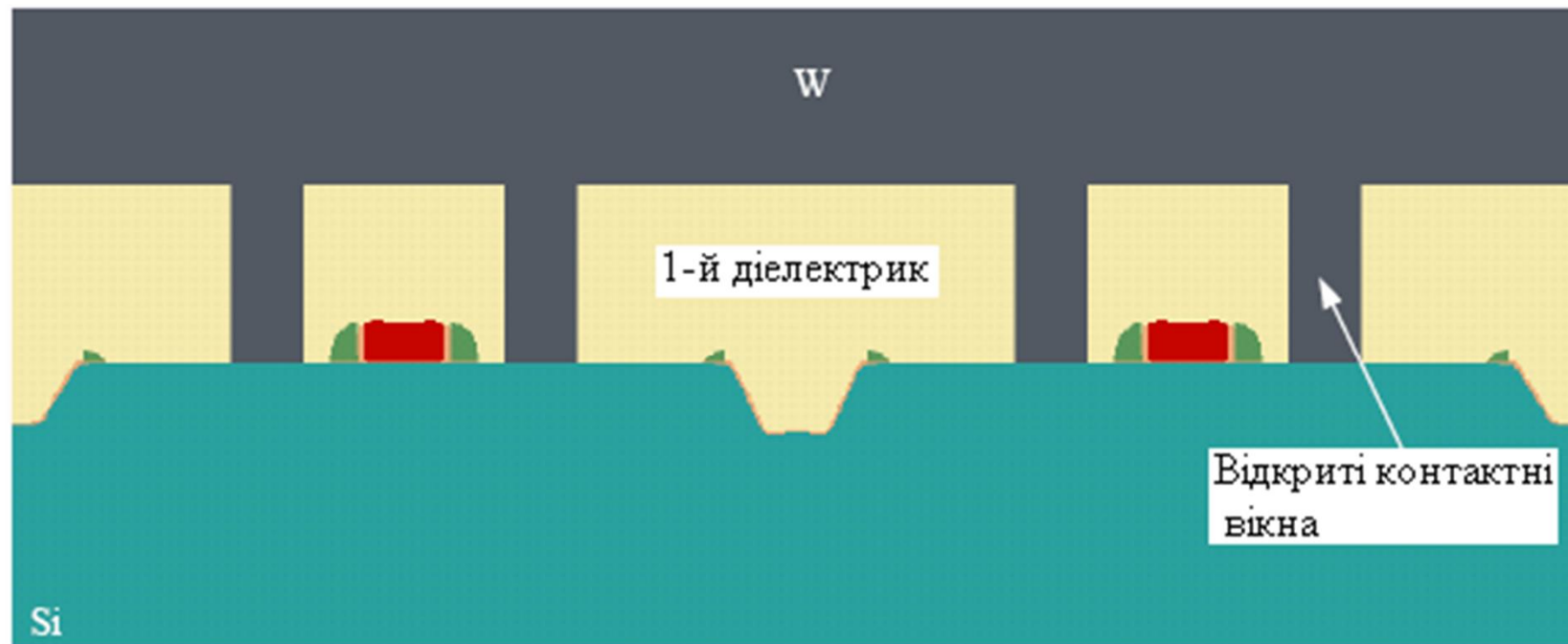
# Технологічна операція 40

Для КМОН і КМОН КНІ структур



# Технологічна операція 41

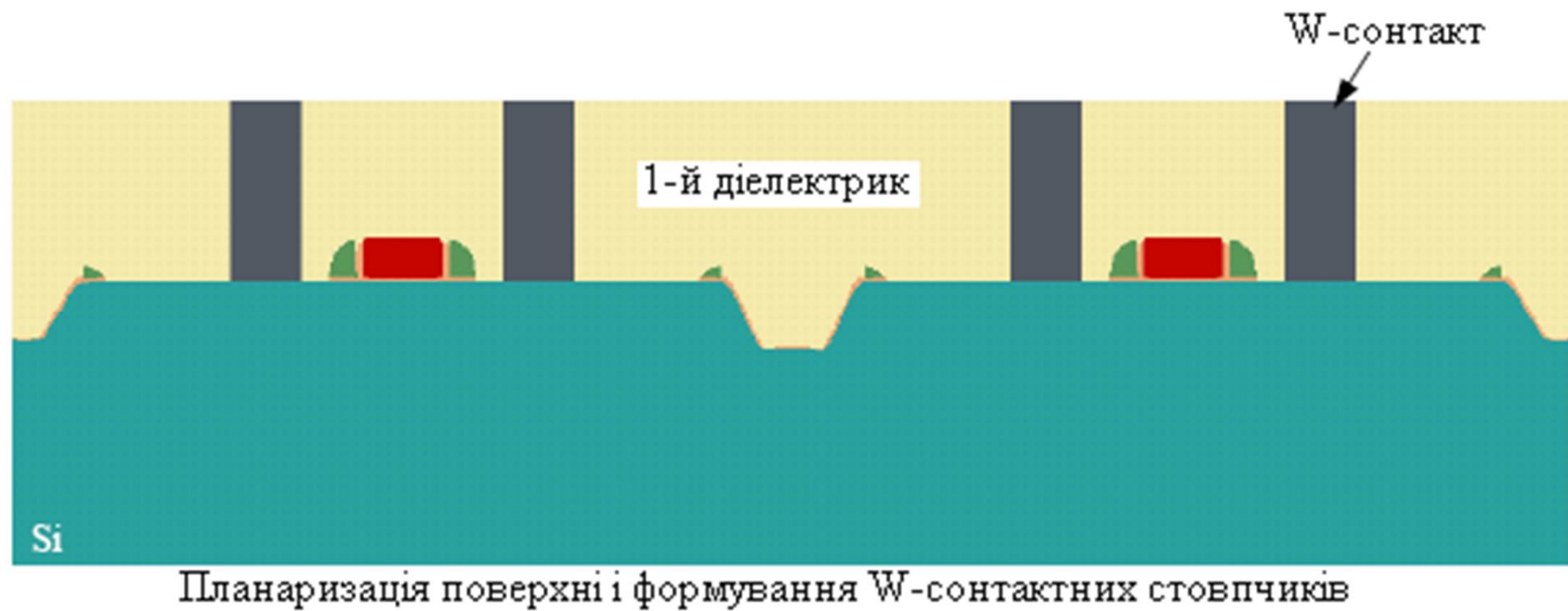
Для КМОН і КМОН КНІ структур



CVD осадження Ti/TiN і планаризація, CVD осадження W з WF<sub>6</sub>.

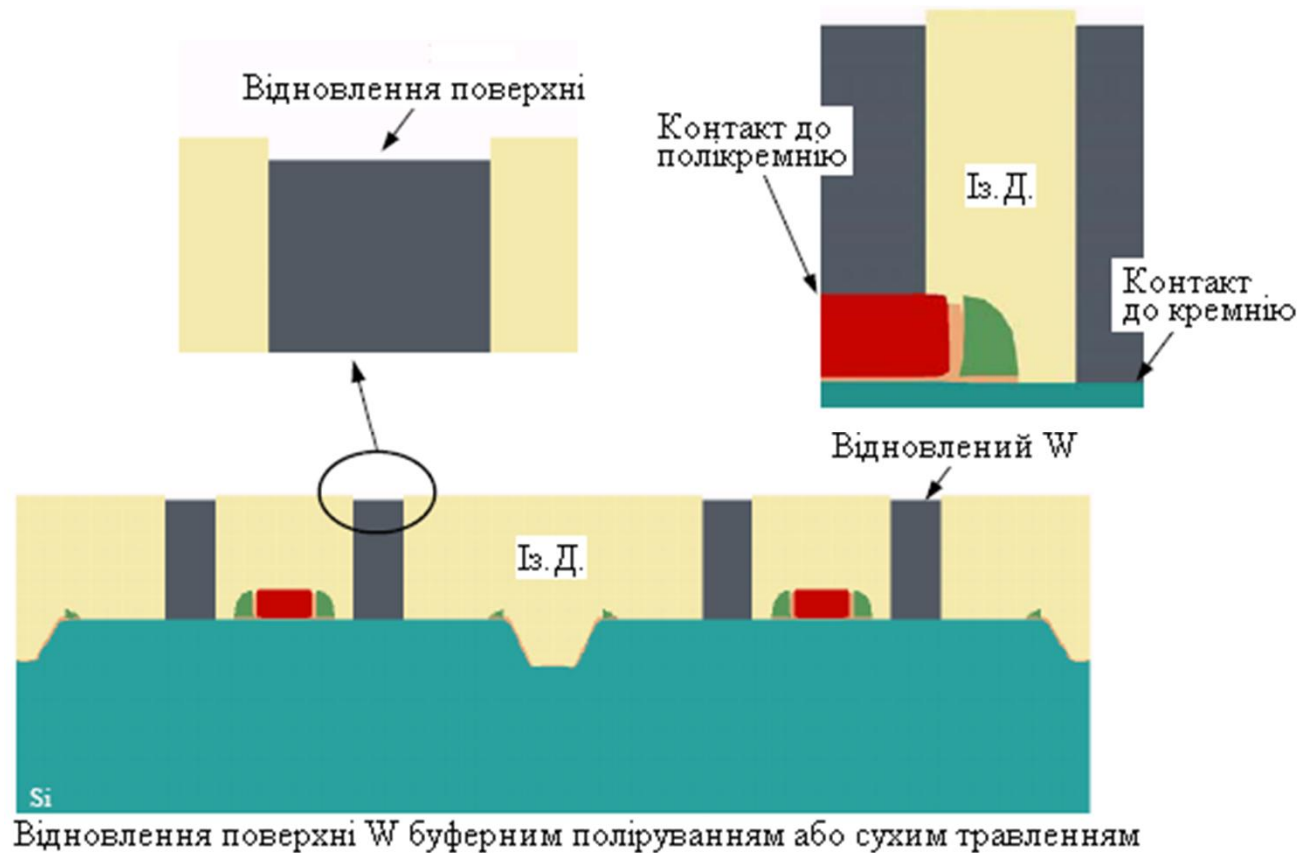
# Технологічна операція 42

Для КМОН і КМОН КНІ структур



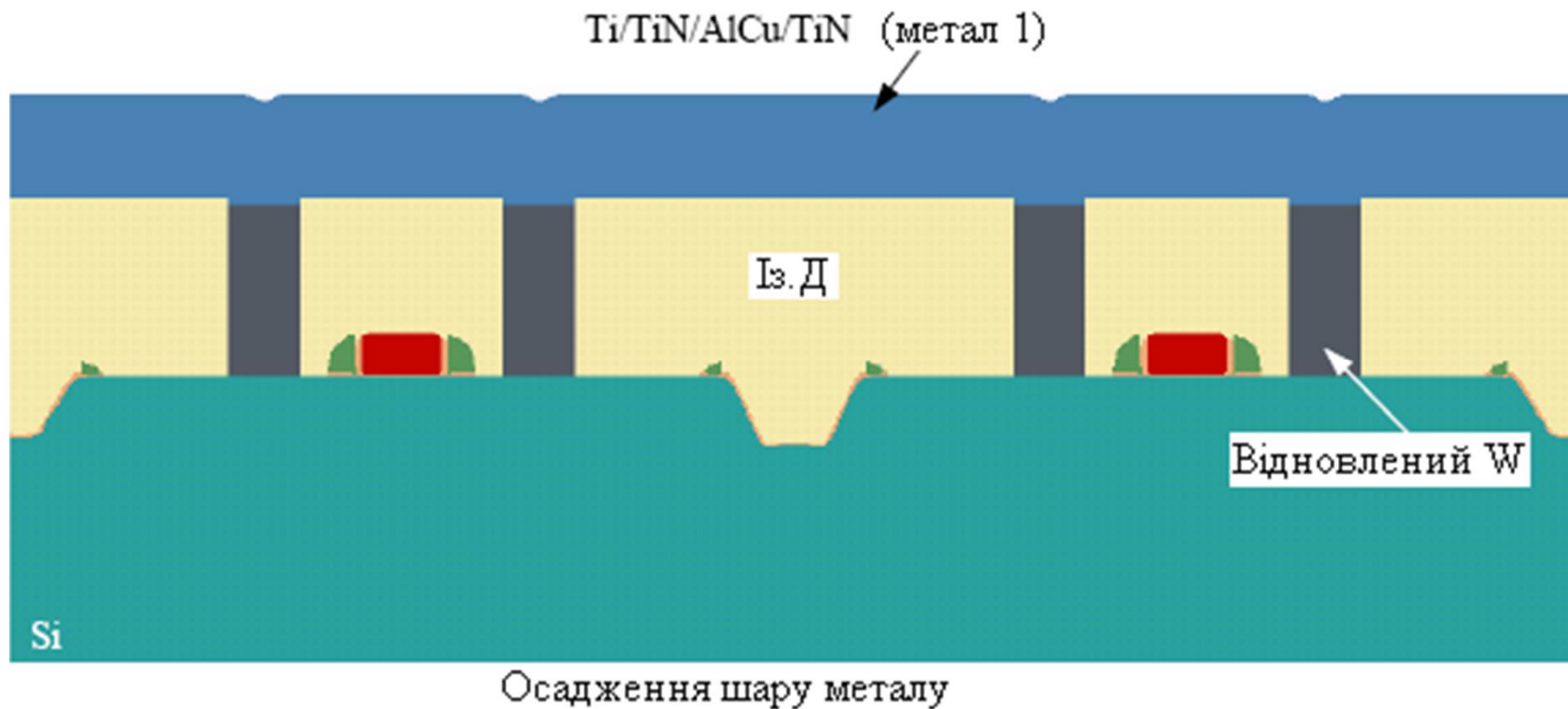
# Технологічна операція 43

Для КМОН і КМОН КНІ структур



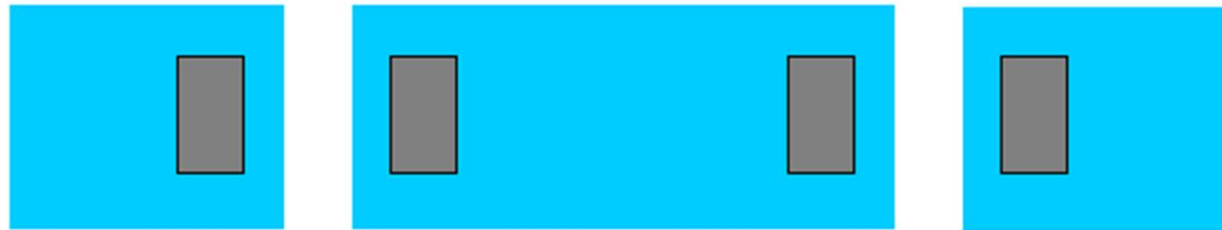
# Технологічна операція 44

Для КМОН і КМОН КНІ структур

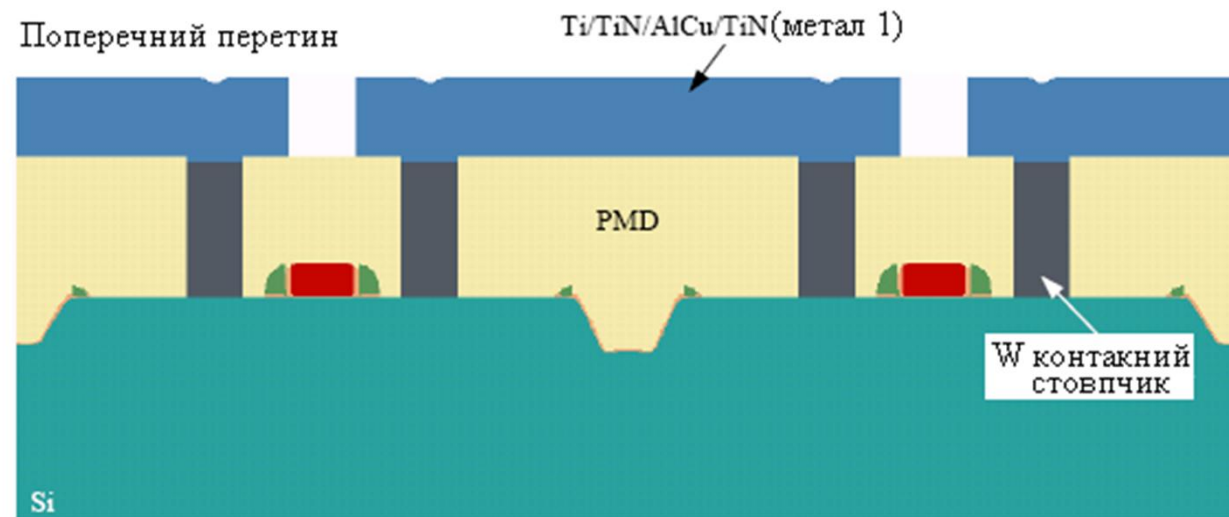


# Технологічна операція 45

Топологія, фотошаблон 8



Поперечний перетин

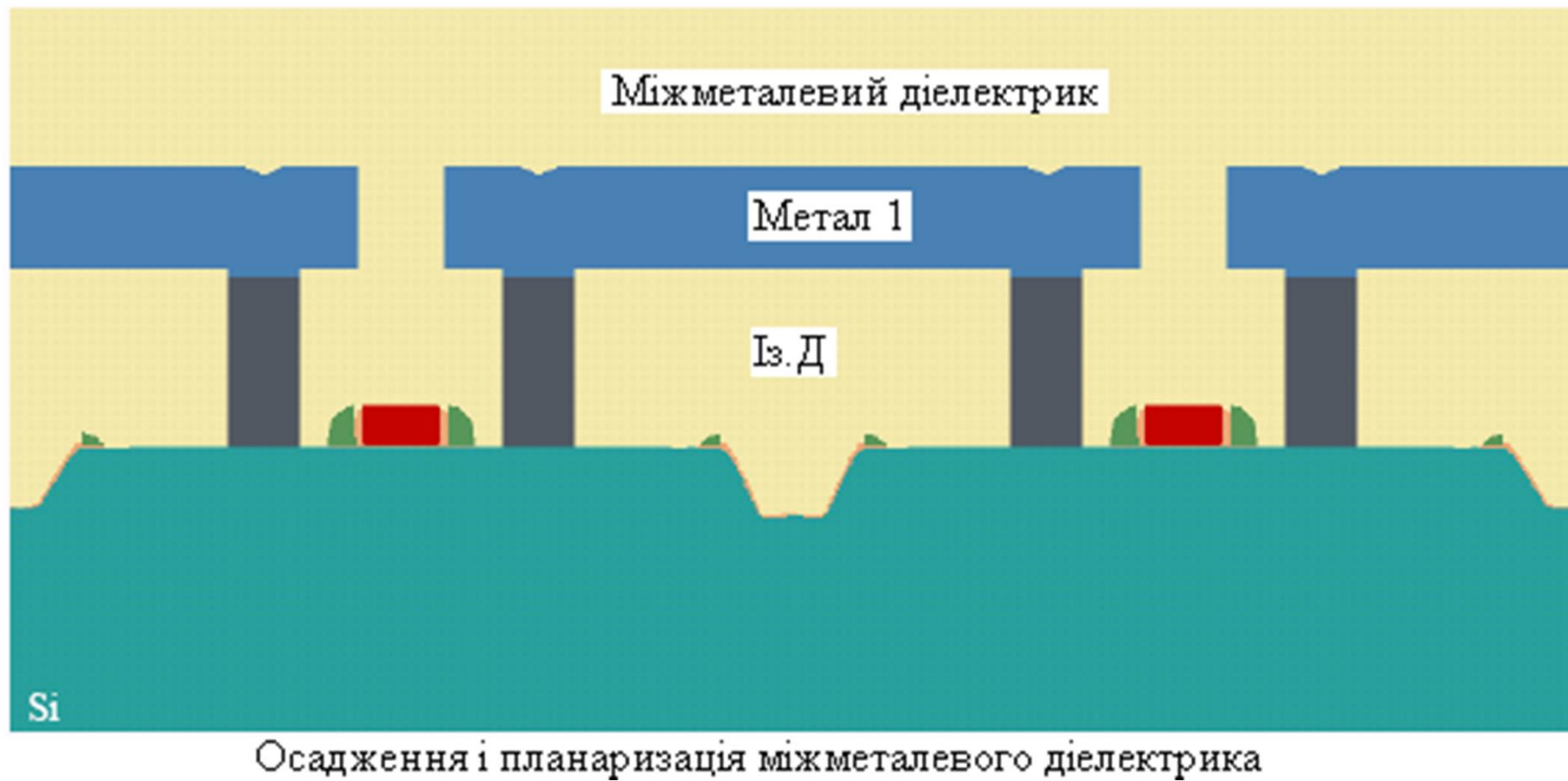


Формування 1-ї металізації фотолітографією і сухим травленням металу



# Технологічна операція 46

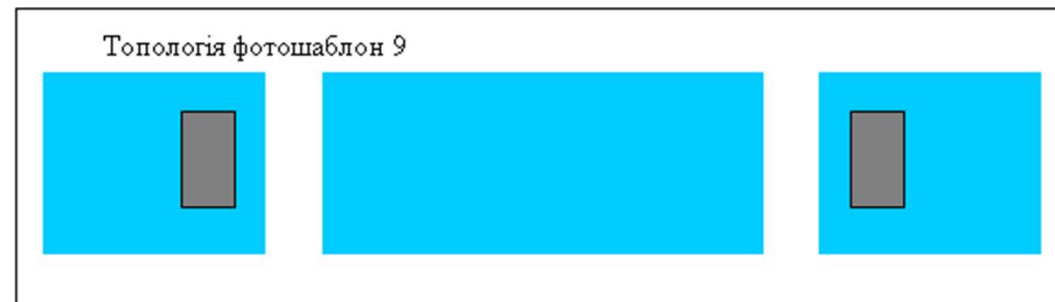
Для КМОН і КМОН КНІ структур



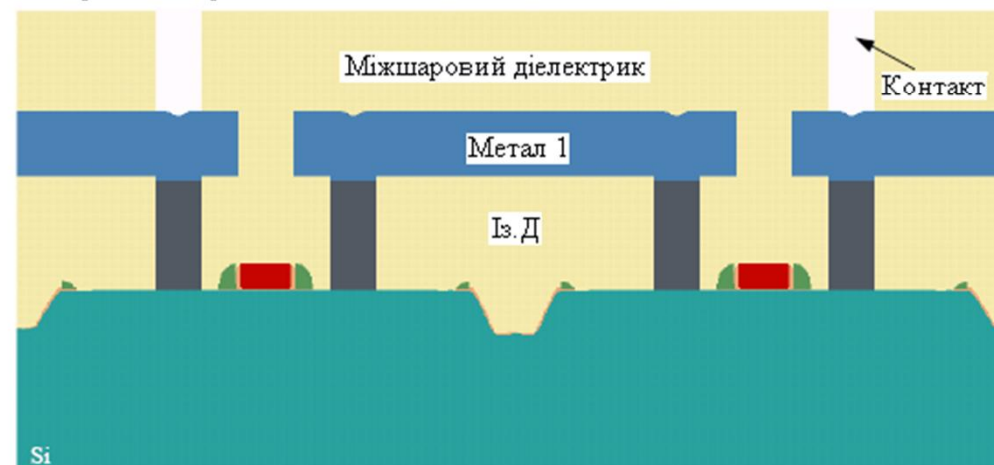


# Технологічна операція 47

Для КМОН і КМОН КНІ структур



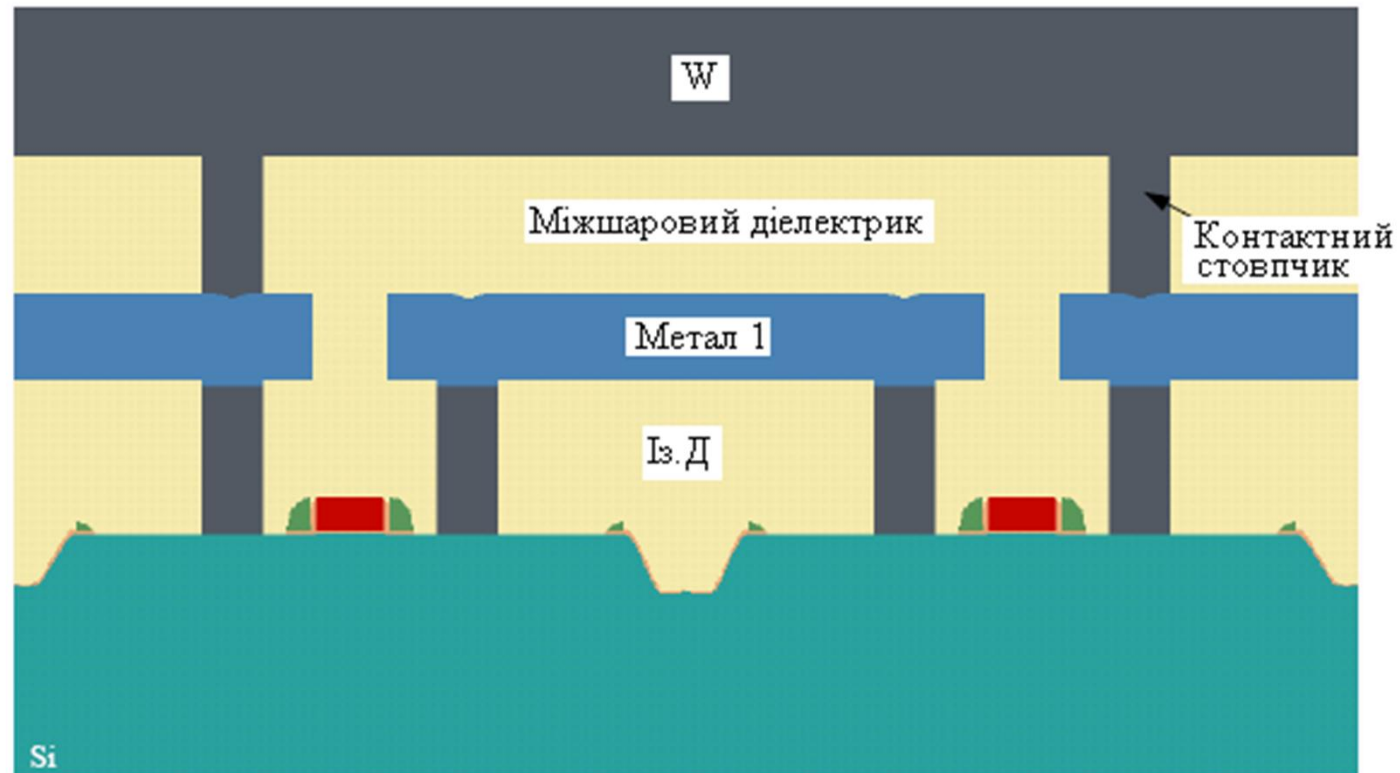
Поперечний перетин



Формування міжшарових контактних вікон фотолітографією  
і сухим травленням міжшарового діелектрика

# Технологічна операція 48

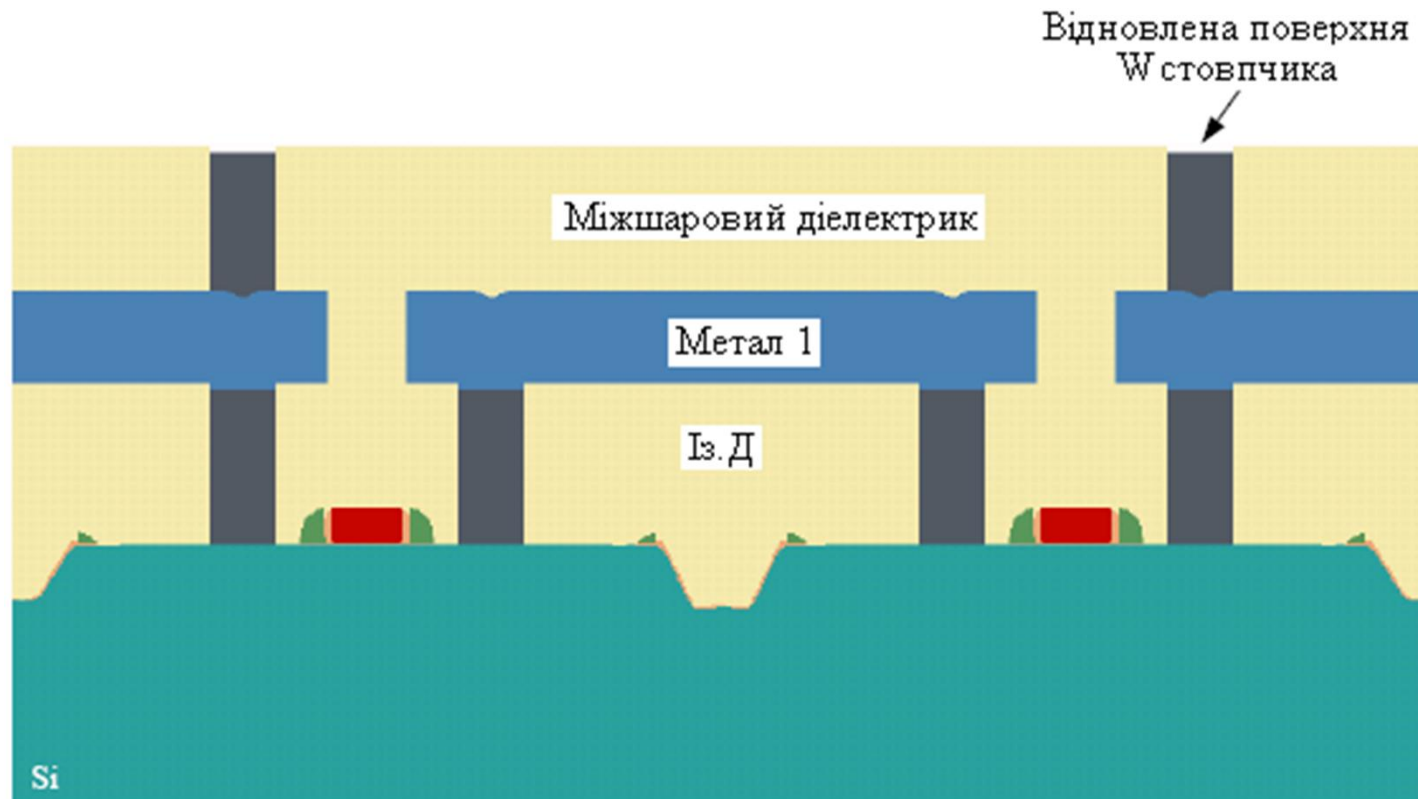
Для КМОН і КМОН КНІ структур



Осадження Ti/TiN методом CVD і планаризація після заповнення контактних вікон W осадженим CVD-методом із WF<sub>6</sub>

# Технологічна операція 49

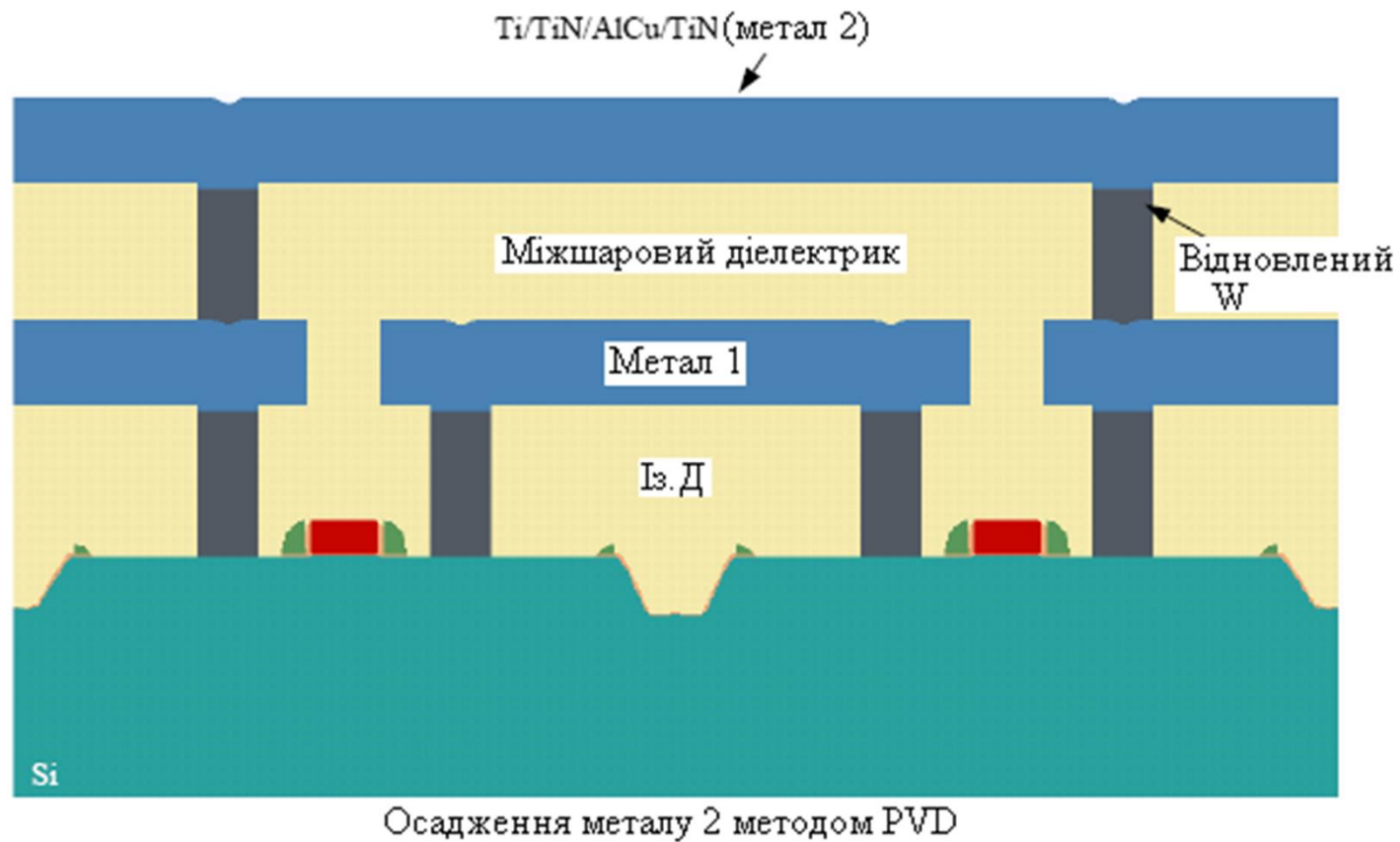
Для КМОН і КМОН КНІ структур



Планаризація і відновлення поверхні W-стовпчиків буферним поліруванням або сухим травленням поверхні

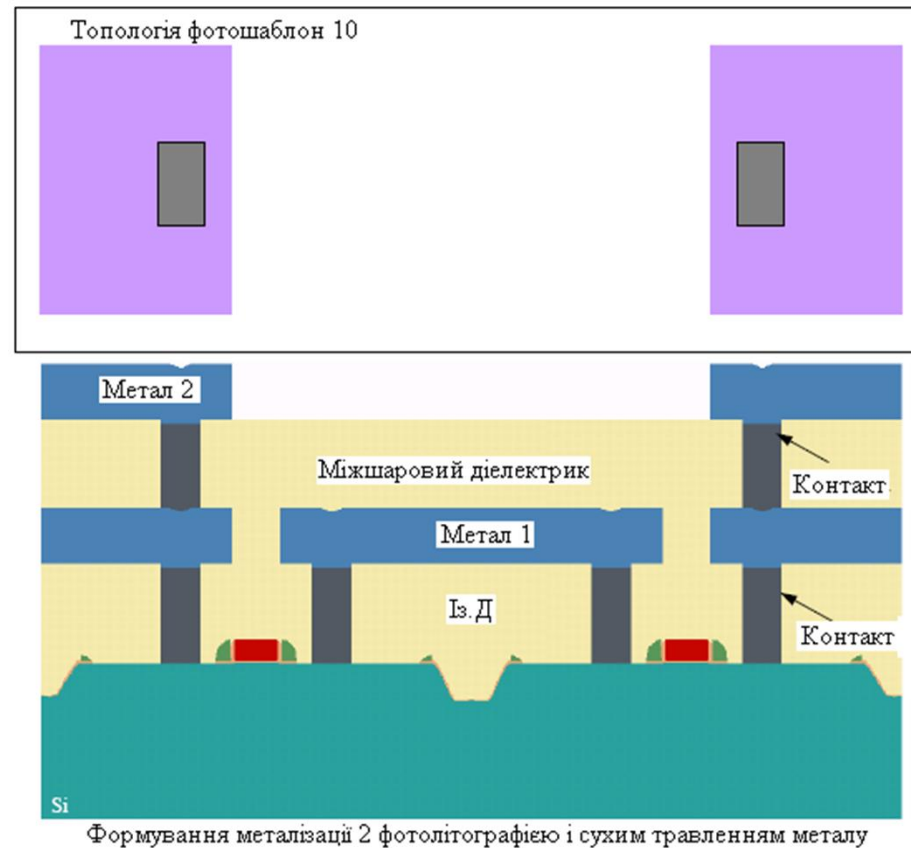
# Технологічна операція 50

□ Для КМОН і КМОН КНІ структур



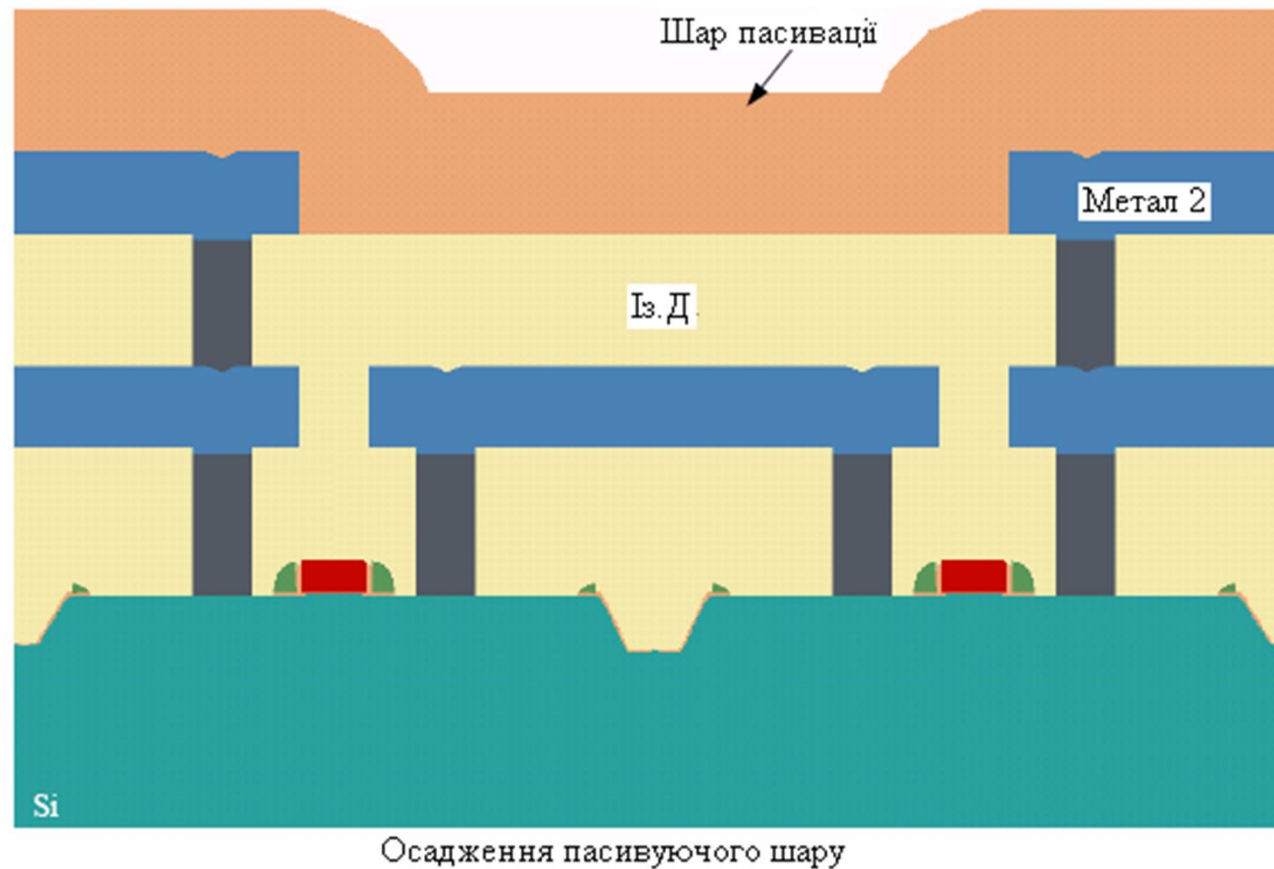
# Технологічна операція 51

Для КМОН і КМОН КНІ структур



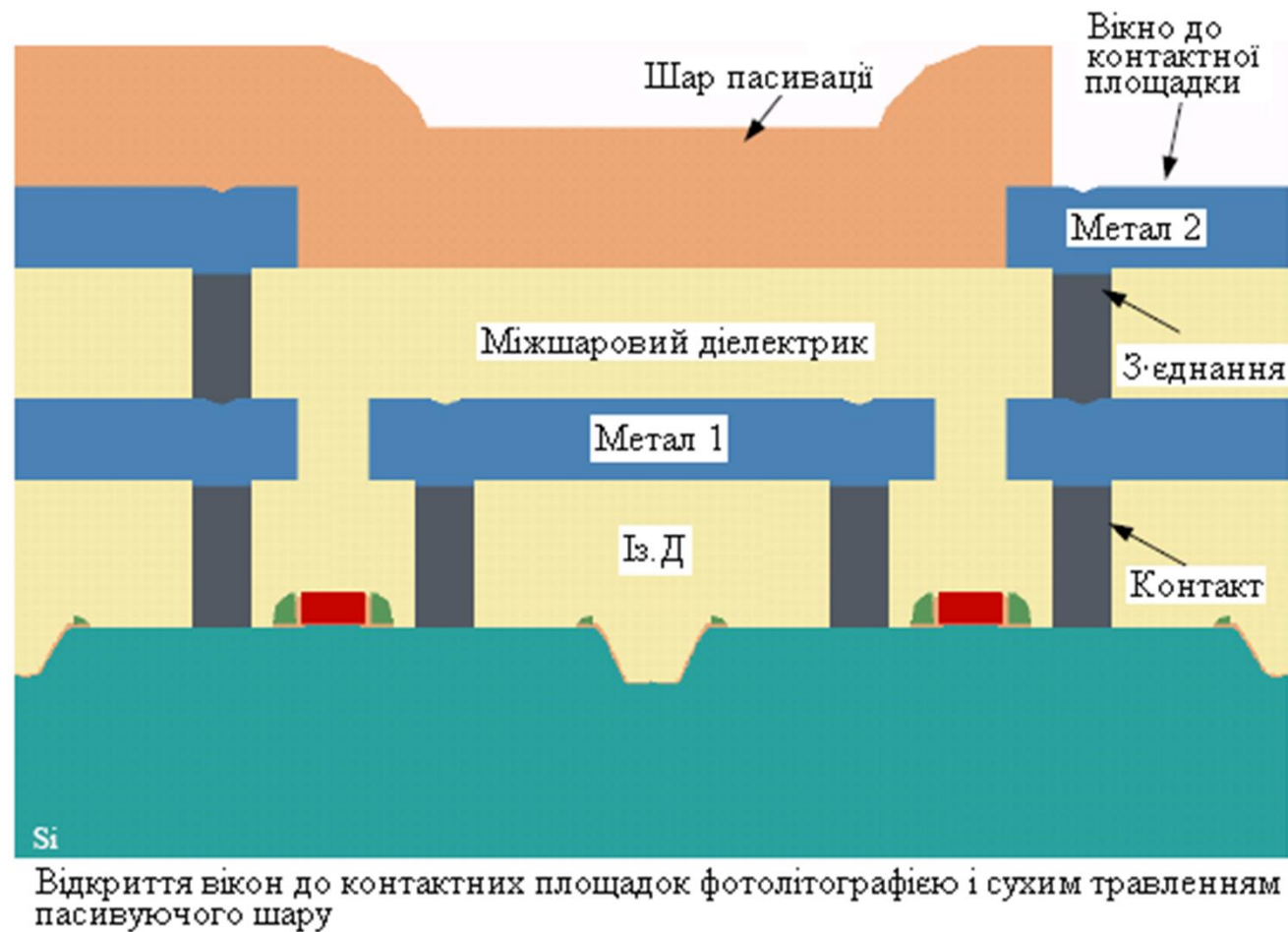
# Технологічна операція 52

Для КМОН і КМОН КНІ структур





## Технологічна операція 53



## РОЗДІЛ І. СУЧАСНИЙ СТАН РОЗВИТКУ АНАЛІТИЧНИХ МІКРОСИСТЕМ-НА-КРИСТАЛІ НА ОСНОВІ КНІ-СТРУКТУР ТА ПОСТАНОВКА ЗАДАЧ ДИСЕРТАЦІЙНИХ ДОСЛІДЖЕНЬ

Зважаючи на стрімкий розвиток сучасної мікроелектроніки і постійно зростаючий попит на мікроелектронні пристрої, перспективним є створення і використання нових мікросистем, які є результатом об'єднання на одному або декількох кристалах схем обробки інформації та мікроелектромеханічних чи сенсорних елементів [1-4]. Традиційна, планарна КМОН-технологія та її модифікації, дозволяють створювати КМОН та комбіновані біполярні Бі-КМОН транзисторні інтегральні схеми опрацювання та управління, а на основі елементів Бі-КМОН структур можлива реалізація сенсорних і актюаторних елементів. Проте з точки зору підвищення інтеграції елементів, швидкодії, стійкості до зовнішніх впливаючих факторів, а також розширення можливостей конструювання за рахунок повної діелектричної ізоляції елементів як від підкладки, так і між собою, для створення нових приладних структур, зокрема з тривимірними архітектурами, отримання нових властивостей приладів з переходом до топологічних розмірів глибокого суб- і нанометрового діапазонів, більш перспективними видаються структури «кремній-на-ізоляторі» (КНІ) [5-6]. Тому проведення комплексних досліджень зі створення нових технологій одержання вихідних КНІ-структур, створення на цій основі нової елементної бази для монолітно-інтегрованих мікросистем-на-кристалі, зокрема, аналітичних, типу мікролабораторії-на-кристалі або для дослідження параметрів нових матеріалів та приладів на їх основі, які можуть бути інтегровані в кремнієву технологію, та їх моделювання на стадії, що передуює виготовленню таких пристроїв, є актуальною проблемою [7-8].



### **1.1. Аналітичні мікросистеми-на-кристалі як інструментарій для дослідження мікро- і нанооб'єктів**

Сучасний розвиток науки і техніки постійно потребує високого рівня інформаційних систем для виробництва, екології, медицини, космічної техніки тощо [9-14]. З розробкою і розвитком мікро- і нанoeлектронних технологій, сенсорних пристроїв на їх основі, дослідженням нових некремнієвих технологій і можливостей їх інтеграції у кремнієві важливим є проведення досліджень зі створення і використання мікросистем-на-кристалі (МнК), як інструментарію для аналізу нових інтегральних елементів, в тому числі з некремнієвими технологіями або інших фізичних об'єктів з мікро- або нанометровими розмірами безпосередньо в складі МнК [15-20]. Це обумовлено тим, що отримання інформації від таких мікро- і нанооб'єктів підключенням через зонди та зовнішні провідники може спричиняти спотворення первинної інформації унаслідок їх паразитних властивостей. Тому видається доцільним проводити дослідження таких елементів безпосередньо в складі МнК, яку можна вважати аналітичною, і у якій можна було б отримувати первинну інформацію підключенням безпосередньо до мікрометрових інтегральних елементів з її первинним опрацюванням і перетворенням. Така АМнК виконуватиме функції опрацювання сигналів від досліджуваних об'єктів з подальшою передачею оброблених і підсилених сигналів на вимірювальний або комп'ютеризований пристрій [21].

Для реалізації цієї ідеї не менш важливим є необхідність розроблення якомога більш універсальної архітектури такої мікросистеми, яка б дала змогу на її основі у короткі терміни створювати серії спеціалізованих АМнК. Одним із методів проектування таких систем, що покладений в основу створення цієї АМнК, покладено відомий метод проектування замовних інтегральних схем (ІС) на основі базових матричних кристалів (БМК).

Конструктивно-технологічною базою для створення таких систем можуть бути стандартні промислові КМОН-технології виготовлення ІС.

Проте аналіз існуючих технологій показує, що найбільш перспективними в цьому плані видаються структури КНІ, які завдяки своїм переважаючим властивостям щодо електричних характеристик, стійкості до зовнішніх впливів є суттєво кращими порівняно з відомими на об'ємному кремнії.

Окрім того, КНІ-структури мають суттєві переваги як конструктивний матеріал для створення нових приладних елементів [22], в тому числі як і з новими тривимірними конструкціями, так і можливостями інтеграції з герметизованими або негерметизованими мікропорожнинами під поверхнею кремнієвої пластини. Це відкриває додаткові перспективи створення нових інтегрованих приладних структур і дозволяє розширити функціональні можливості АМнК та сфери їх застосування.

Для створення приладних елементів на основі КНІ-структур необхідні дані про результати досліджень взаємовпливу параметрів елементів у пристроях на електричні, часові, температурні та інші характеристики [23].

Аналіз літературних даних показує, що вітчизняні дослідження з розроблення і використання АМнК проводяться в недостатньому обсязі [24].

## **1.2. Перспективи застосування КНІ технологій при побудові елементів АМнК та реалізації подвійного управління в МОН-транзисторних структурах**

КНІ-структури, відносно відомих КМОН інтегральних схем на масивному кремнії, мають як переваги, так і недоліки. Основними недоліками КНІ-структур є ефект плаваючого тіла («кінк-ефект»), висока вартість КНІ-пластин, та специфіка проектування. Але маючи такі переваги, як розширений температурний інтервал (до  $+350^{\circ}\text{C}$ ) [25-29], покращену радіаційну стійкість та високу швидкодію, КНІ-структури є перспективними для проектування елементної бази АМнК [30, 31].

На роботу МОН-транзисторів, виготовлених по технології КНІ, суттєво впливає так званий ефект «плаваючого тіла». Суть цього ефекту є наступною:

коли стокова напруга достатньо висока, електрони каналу можуть набувати значної енергії в зоні сильного електричного поля біля стоку, якої достатньо для створення електронно-діркових пар через механізм ударної іонізації. Згенеровані електрони швидко рухаються в каналі і стоці, в той час як дірки, (які є основними носіями заряду в тілі р-типу) рухаючись в напрямі найнижчого потенціалу, утворюють певну область, яку називають плаваючим тілом [32-34].

Поряд з МОН-транзистором в КНІ-структурі також присутній вертикальний біполярний транзистор. Поперечний перетин такої структури і її електрична схема зображено на рис. 1.1 [35, 36].

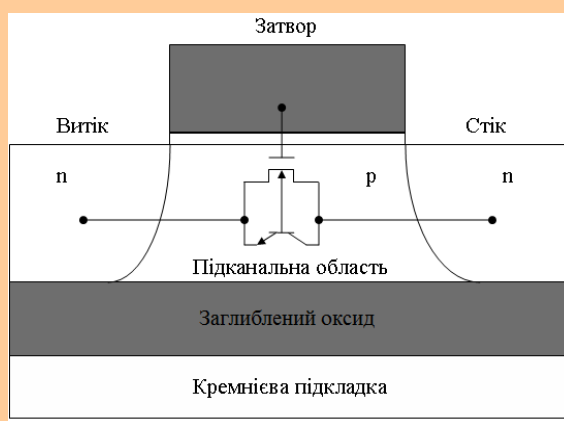


Рис. 1.1. Поперечний переріз КНІ-структури

Дія паразитного біполярного транзистора і ударної іонізації приводить до виникнення «кінк-ефекту», який полягає у появі викиду у вихідних вольт-амперних характеристиках (ВАХ) КНІ-транзисторів (рис. 1.2).

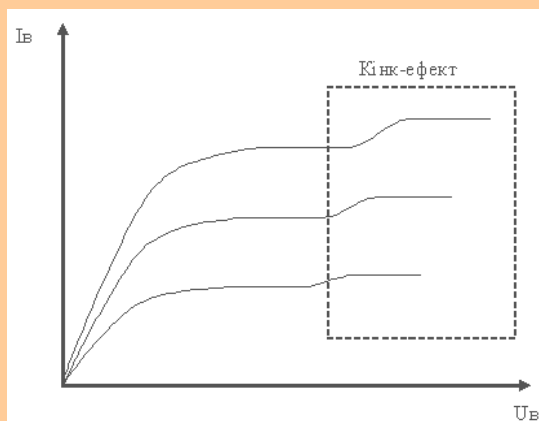


Рис. 1.2. ВАХ КНІ МОН-транзистора

Він може бути досить великим в n-канальних транзисторах, але практично відсутнім в р-канальних приладах. В транзисторах з плаваючим тілом суттєво знижується напруга пробоя.

Причиною цього ефекту є накопичення позитивних зарядів в підканальній області транзистора для відносно товстих (0,3 – 0,5 мкм) КНІ плівок з частково збідненим режимом роботи транзистора. Для нейтралізації цього впливу необхідно використовувати спеціальні схемотехнічні і конструктивно-технологічні рішення.

Для прикладу в роботі [37] було розроблено і досліджено матричний КНІ КМОН транзистор, в якому підканальна область була з'єднана з заземленою підкладкою і одночасно використовувалась як зародкова область при лазерній рекристалізації полікремнієвого шару у вихідній КНІ-структурі.

При формуванні КНІ-транзисторів можна виділити такі основні топологічні рішення: 3-х вивідний, Т-затворний і Н-затворний транзистори. Ці топології зображено на рис. 1.3 [38-40].

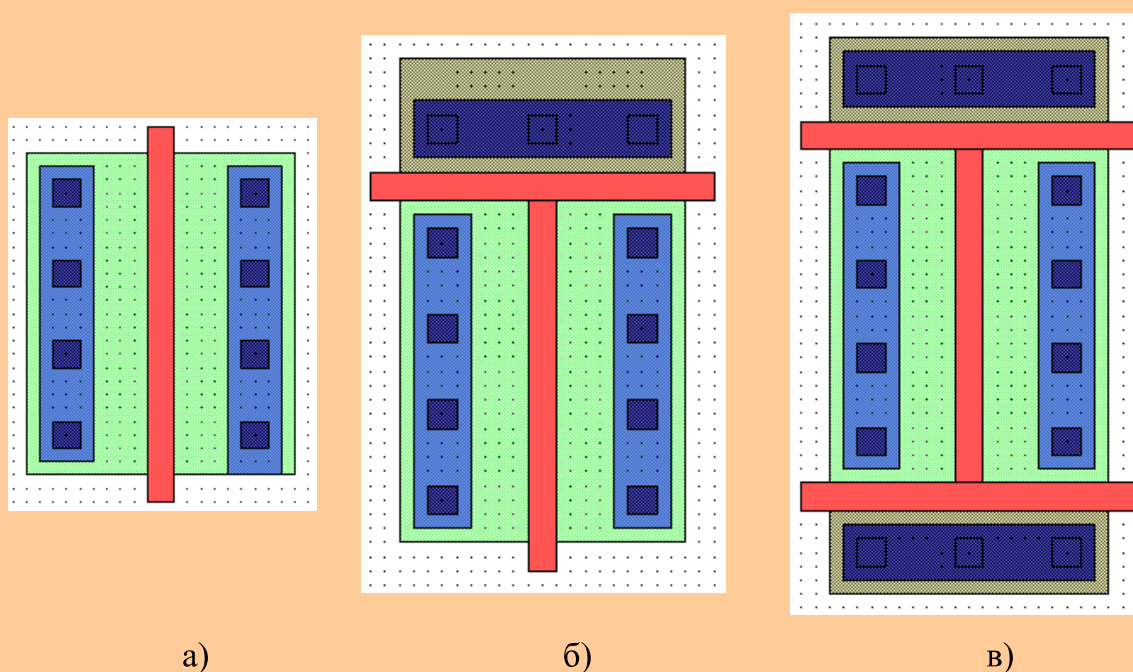


Рис. 1.3. Різні топологічні виконання КНІ-структур: а – 3-х вивідна; б – Т-затворна; в – Н-затворна

При виконанні транзистора у вигляді 3-х вивідної структури неможливо усунути ефект «плаваючого тіла», оскільки не можна підключитися до підканальної області. У двох інших випадках контакт до підканальної області утворюється шляхом створення Т- і Н-затворів. При цьому появляється можливість додаткового керування транзистором, що покращує і швидкодію і універсальність приладу в цілому [41-43]. Недоліком таких топологічних рішень є складність організації підключення контактів, оскільки приходится використовувати додаткові шари металізації.

На рис. 1.4 зображено матричний КНІ МОН-транзистор. Ця структура складається з полікремнієвого затвору у вигляді решітки. Оскільки потенціал у вузлах матриці дорівнює нулю, то створення контакту до підканальної області не буде створювати ніяких перешкод при роботі транзистора. Комірки, що розміщені у вузлах решітки, леговані  $p^+$ , а значить мають хороший контакт до підканальної області. Завдяки цьому при поданні 0 на цей вивід можна практично повністю усунути ефект «плаваючого тіла», а подаючи певний сигнал – реалізувати подвійне управління в матричному транзисторі.

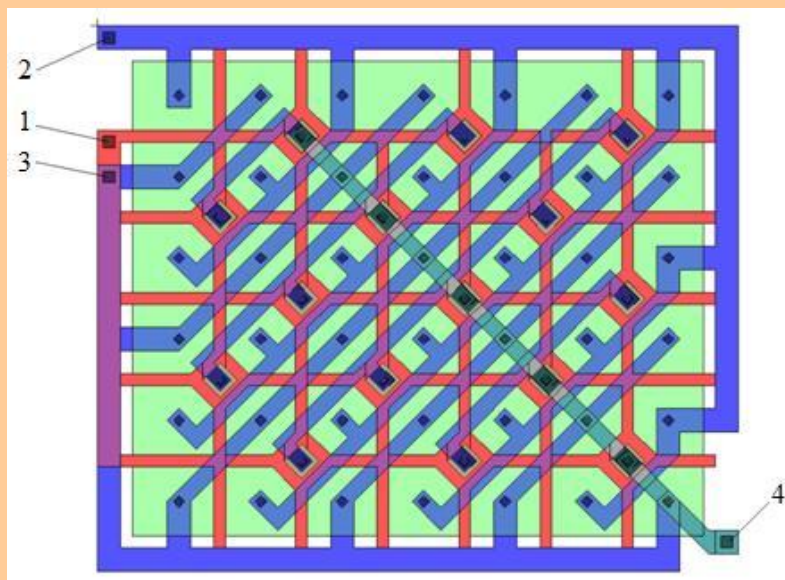


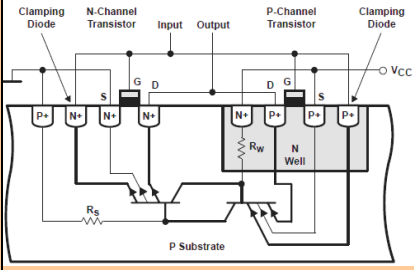


Рис. 1.4. Топологія матричного КНІ МОН-транзистора з можливістю подвійного управління: 1 – полікремнієвий затвор; 2 – витік; 3 – стік; 4 – контакти для підключення до підканальної області

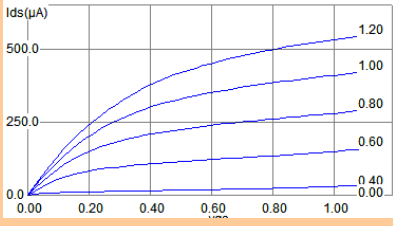
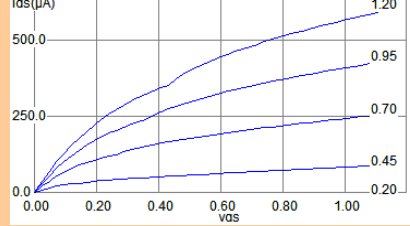
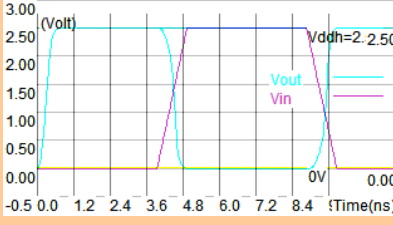
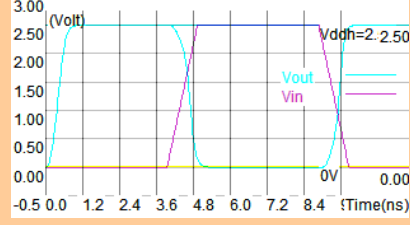
Порівняльні характеристики об'ємних і КМОН КНІ-структур наведено в табл. 1.1.

Таблиця 1.1

## Порівняльні характеристики об'ємних і КМОН КНІ-структур

Характеристики	МОН-транзистор на об'ємному кремнії	МОН-транзистор на основі КНІ структури
Ізоляція елементів	р-п переходом	діелектрична
Густина елементів	Визначається конструктивно-технологічними обмеженнями і рівнем технології	В 1,5 – 3 рази більша (за рахунок діелектричної ізоляції елементів) при однакових з об'ємними КМОН структурами конструктивно-технологічними обмеженнями і рівнем технології
Паразитні ємності р-п переходів	241 фФ 	15,8 фФ 
Радіаційна стійкість	$\sim 10^3$ рад	$>10^6$ рад
Температурний діапазон	$-60 - 125$ °C	$-200 - 350$ °C
Тиристорний ефект	Має місце 	Відсутній



Ефект плаваючого тіла	<p>відсутній</p> 	<p>має місце</p> 
Швидкодія	<p>235 пс</p> 	<p>64 пс</p> 
Енергоспоживання	0,205 мВт	0,121 мВт
Можливості 3В і багатошарової інтеграції	КМОН планарні структури	КНІ КМОН планарні, багатошарові та тривимірні
Вартість	~5 у. о.	~200 у. о.
Проектування	КМОН-стандартне	КМОН-стандартне з врахування спеціальних підходів щодо усунення кінк-ефекту (топологічні, конструктивно-технологічні)

Числові дані щодо паразитних ємностей р-n переходів взято для n-канальних транзисторів з шириною каналу  $W=10$  мкм та довжиною  $L=2$  мкм.

Швидкодія та енергоспоживання – на прикладі інверторів, топології яких зображено на рис. 1.5

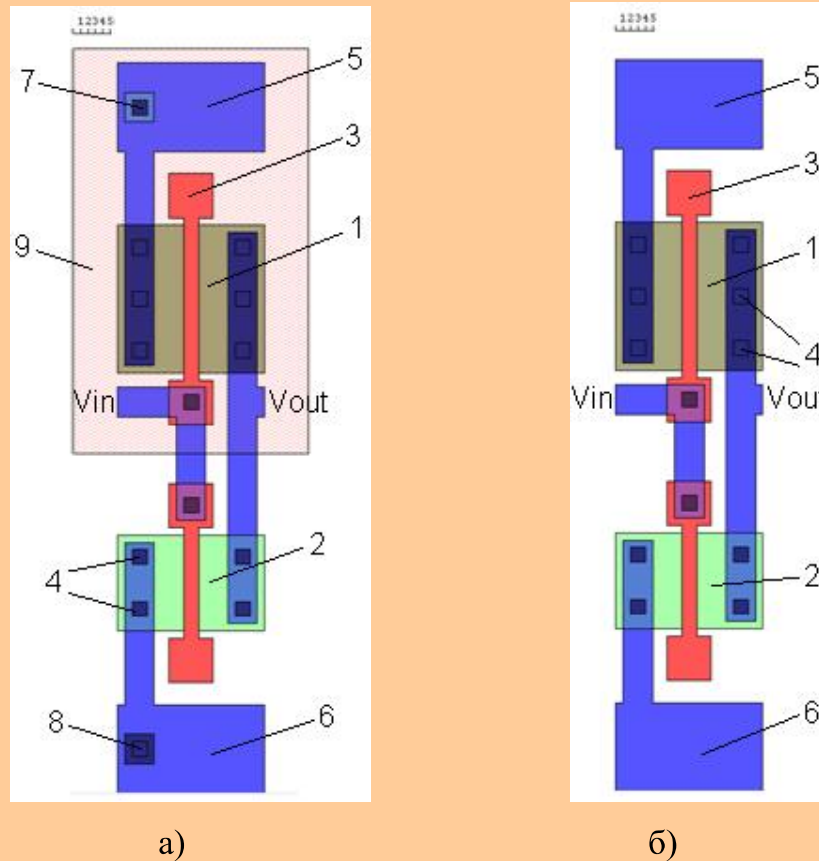


Рис. 1.5. Топології інверторів: а – на основі об’ємного кремнію; б – на основі КНІ-структур: 1, 2 – стік-витоків області р- і n-типу; 3 – полікремнієві затвори; 4 – контактні вікна; 5, 6 – шини живлення і землі; 7, 8 – контакти до підкладки; 9 – кишень n-типу провідності

Розроблення в напрямку реалізації схем з подвійним управлінням є досить перспективним тому, що дозволяє вирішувати проблему керування великими ємностями, оскільки об’єднуються переваги двох структур: низьких статичних витрат енергії схем КМОН і високої здатності навантаження вертикальних біполярних транзисторів n-p-n- чи p-n-p-структури.



### **1.3. Схемотехнічний аналіз КМОН вихідних каскадів з подвійним керуванням в КНІ-транзисторах**

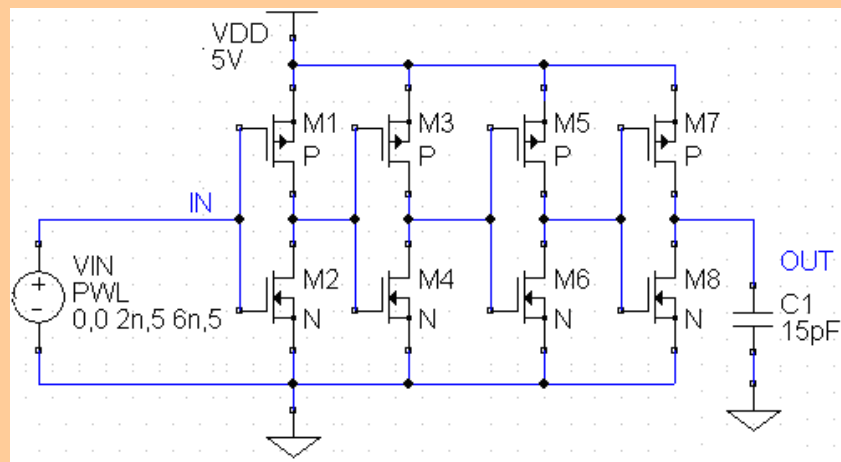
При проектуванні вихідних каскадів ІС на основі КНІ МОН-транзисторів важливо враховувати такі параметри, як швидкодія, споживана потужність і площа на кристалі. Традиційно у вихідних каскадах послідовно включають 4 каскади інверторів, що забезпечує необхідну крутизну фронтів імпульсів і велику навантажувальну здатність. Недоліками такої схеми включення є значна затримки вихідних сигналів, велика власна споживана потужність та неефективне використання площі кристалу [44-46]. У КНІ МОН-транзисторах можливе подвійне керування підканальною областю, що дозволяє розробляти нові схемотехнічні рішення з покращеними характеристиками.

В роботах [47-51] для дослідження порівняльних характеристик вихідних каскадів КНІ КМОН ІС було розроблено два типи схем вихідних каскадів і їх топології. Першу з них виконано за традиційною КМОН схемотехнікою зі структурами КНІ (рис. 1.6, а), а другу – з використанням подвійного управління підканальною областю в КНІ МОН транзисторах (рис. 1.6, б).

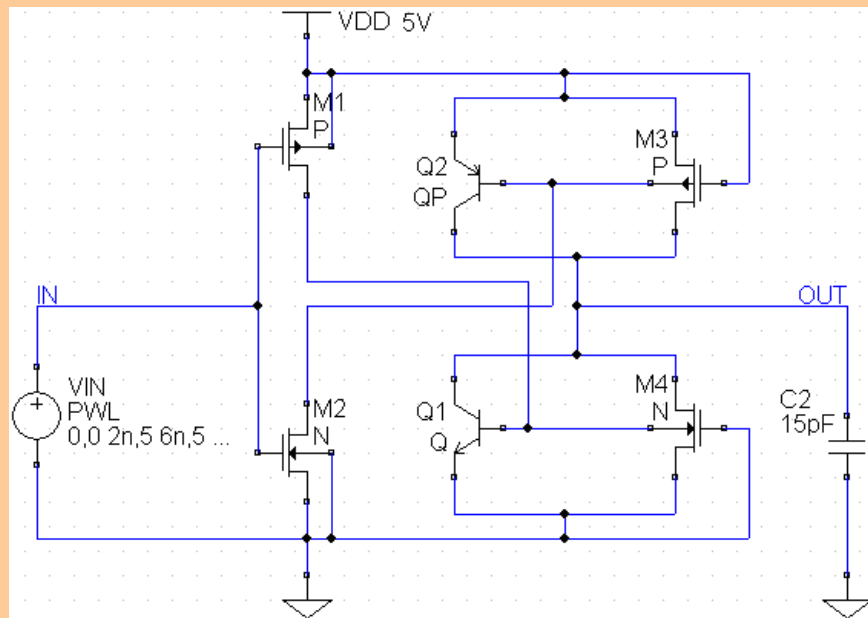
Принцип подвійного управління у КНІ МОН-транзисторах ґрунтується на існуванні крім основних МОН-транзисторів, ще і біполярних, зумовлених спеціальною конструкцією КНІ МОН-транзисторів. У цих транзисторах функції бази біполярного транзистора виконує підканальна область, а емітером і колектором є стік-витоків області КНІ МОН-транзистора. Проте у більшості випадків такі біполярні структури є паразитними. За умови розділеного підключення до затвора КНІ МОН-транзистора і його підканальної області можна реалізувати подвійне управління КНІ МОН-транзистором [52-57].

Схема з подвійним управлінням споживає малу потужність, що є характерним для КНІ КМОН структур і володіє високою швидкістю та

підвищеною навантажувальною здатністю, що властиво для біполярних структур і являється їх перевагою.



а)



б)

Рис. 1.6. Електричні схеми вихідних каскадів: а – традиційна КНІ КМОН схемотехніка; б – з подвійним управлінням підканальними областями КНІ КМОН транзисторів

Топологія 4-каскадного КНІ КМОН вихідного формувача сигналів, що відповідає схемі рис. 1.6, а, зображена на рис. 1.7, а, а топологія КНІ Бі-КМОН вихідного формувача сигналів з подвійним управлінням, відповідно до схеми рис. 1.6, б, зображена на рис. 1.7, б.

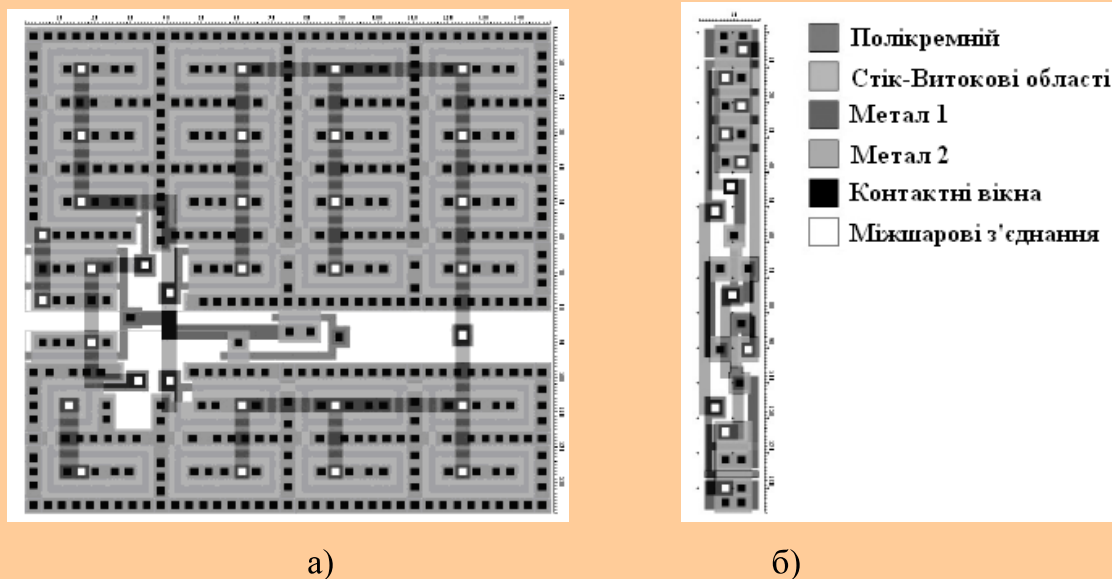


Рис. 1.7. Топології вихідних каскадів: а – 4-каскадний КНІ КМОН;  
б – КНІ Бі-КМОН формувач сигналів

Порівняння топологій показує, що площа на кристалі вихідного каскаду на Бі-КМОН структурах у 8,4 рази менша від площі 4-каскадного КНІ формувача сигналів.

Для дослідження характеристик вихідних каскадів було використано з 21-каскадний кільцевий генератор на КНІ КМОН інверторах. Частота вхідних імпульсів становила приблизно 300 МГц. Аналіз результатів моделювання електричних схем вихідних каскадів та їх перехідних характеристик показав, що вихідний каскад на основі об'єднаних КНІ біполярних і КНІ КМОН структур має істотні переваги порівняно із стандартним 4-каскадним КНІ КМОН формувачем сигналів. Перехідні характеристики цих каскадів зображено на рис. 1.8.

Затримка вихідного сигналу у 4-каскадному КНІ КМОН формувачі становить 0,548 нс, а затримка вихідного сигналу у КНІ Бі-КМОН формувачі – 0,125 нс, тобто майже в 4 рази швидше. Менший час перемикання досягається за рахунок значно більших комутуючих струмів біполярних транзисторів.

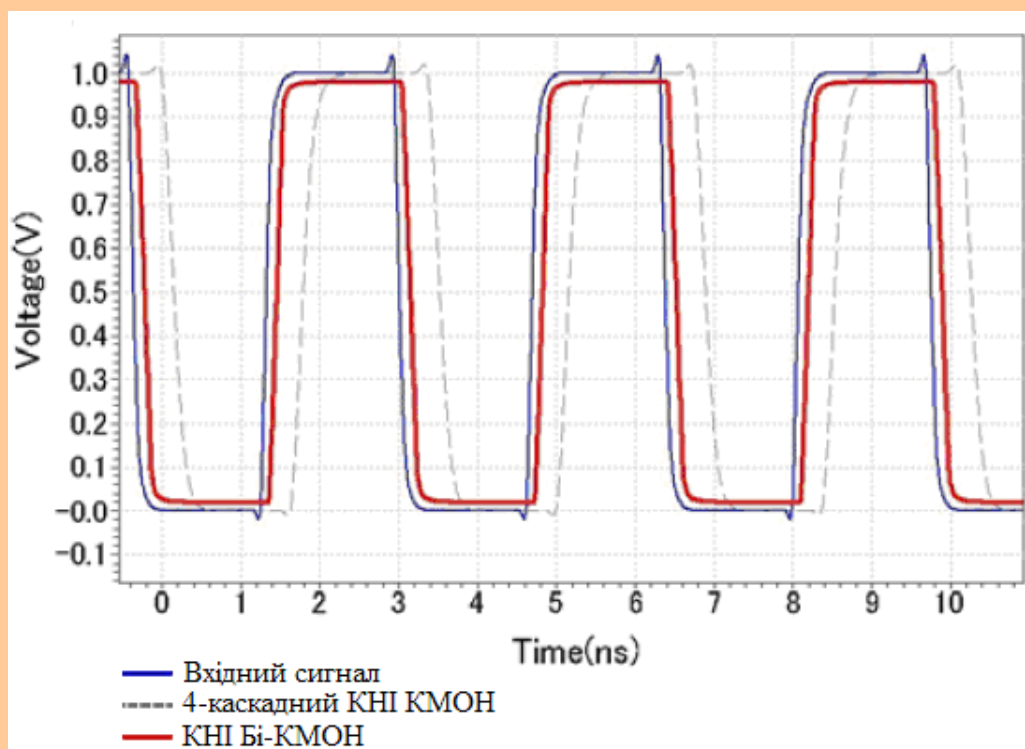


Рис. 1.8. Перехідні характеристики 4-каскадного КНІ КМОН та КНІ Бі-КМОН вихідного формувачів сигналів

Як видно з рис. 1.8, час перебування у встановленому статичному стані КНІ Бі-КМОН вихідного формувача значно більший від часу стандартного вихідного каскаду. Оскільки КМОН ІС споживають енергію в основному в моменти перемикання, то в статичному режимі споживання енергії практично відсутнє. В зв'язку з цим споживана потужність КНІ Бі-КМОН вихідних каскадів приблизно на 40 % менша порівняно з 4-каскадним КНІ КМОН формувачем сигналів при однакових ємностях навантаження.

Тому розроблення і дослідження нових формувачів сигналів на основі КНІ МОН-транзисторів з подвійним управлінням та використання їх при побудові аналітичних мікросистем-на-кристалі є перспективним та необхідним.

#### 1.4. Сучасні методи отримання КНІ-структур

Проаналізувавши основні існуючі на сьогодні методи отримання КНІ-структур (іонне впровадження, зрощення пластин, керований скол), можна зробити наступний висновок: ці методи пов'язані спершу із порушеннями всієї поверхні пластини, де мають формуватися приладні елементи. Ще одна проблема - вказані методи дозволяють отримувати КНІ-плівку з однаковою товщиною по всій поверхні пластини [1, 58-59]. Це вигідно для виготовлювача таких пластин, враховуючи їх високу вартість. Для користувача пластин і розробника мікросистем, в межах кристалу доцільно мати КНІ-плівки різних товщин, що дозволить розширити можливості проектування різних конструкцій елементів мікросистем, зокрема для тривимірних використань. Також варто зауважити, що всі вказані методи і технології на сьогодні в Україні не впроваджені. Тому дослідження щодо нових розробок і нових підходів створення КНІ-структур є дуже актуальними, перспективними і необхідними.

Відомим є спосіб формування методом HI-FIPOS локальних, планарних і частково ізольованих від кремнієвої пластини р-типу провідності КНІ-структур n-типу провідності [60], розташованих на поверхні пластини у вигляді сітки регулярно-повторюваних острівців із заданими кроками по координатних осях. Згідно із цим методом в місцях майбутніх КНІ-структур в кремнієвій пластині локально формують поверхневий шар ділянок n-типу провідності, наприклад легуючи домішками n-типу, маскують їх нітридом кремнію, а через немасковані, відкриті ділянки проводять високоенергетичне легування на задану глибину іонами водню для зміни типу провідності кремнієвої пластини з р-типу на n-тип провідності з формуванням при цьому на заданій глибині під поверхнею пластини шару заглиблених острівців n-типу провідності. В процесі температурних обробок і дифузійних процесів утоплені острівці n-типу провідності латерально ростуть і розташовуються на нижчому рівні та частково під шаром регулярних ділянок n-типу,

сформованих перед цим на поверхні кремнієвої пластини. При цьому, між поверхнею пластини у відкритих місцях та пластиною, а також між проміжками як в шарі заглиблених острівців, так і між поверхневим та заглибленими шарами острівців n-типу провідності залишаються проміжки p-типу провідності.

Методом анодування вказані проміжки перетворюють у пористий кремній, а при наступному їх проокисненні формують локальні, заглиблені ділянки оксиду кремнію, що заповнює вертикальні проміжки між ділянками поверхневого шару n-типу провідності, так і частково, за рахунок бокового росту оксиду, заповнюються проміжки під ними, тобто між ділянками поверхневого і заглибленого шарів n-типу провідності. Оскільки анодуванню підлягають кремнієві пластини p-типу провідності, вказаним методом можна створювати локальні, і з частковою ізоляцією від пластини, КНІ-структури n-типу провідності, які розташовані на пластині за певною заданою топологією, в даному випадку регулярно-розташованими у вигляді сітки. Такі структури можуть бути вигідними для створення, наприклад, ІС з регулярною структурою. Проте недоліком даного методу є те, що КНІ-структури мають лише один тип провідності, чим обмежуються можливості їх використання, а застосування високоенергетичного обладнання для легування протонами водню для зміни типу провідності у локальних місцях на заданій глибині під поверхнею пластини ускладнює технологію одержання таких структур і робить їх дорогими.

Аналіз сучасних тенденцій розвитку мікроелектроніки показує суттєве зростання ступеня інтеграції та зменшення топологічних розмірів елементів до субмікрометрових, глибокосубмікрометрових і нанометрових. Актуальними є проблеми інтеграції на одному кристалі різноманітних як сенсорних, так і актюаторних елементів, схем контролю і управління для створення аналітичних мікросистем- і мікролабораторій-на-кристалі, формування тривимірних елементів, що вимагає необхідності мати на

одному кристалі різні типи вихідних структур для розширення можливостей конструювання на їх основі приладної елементної бази.

В реальних інтегральних пристроях, як правило, для реалізації їх активної частини використовується лише 20-40% площі кристалу, а решта частини площі поверхні кристалу використовується для міжелементної ізоляції і підлягає проокисненню або утворенню ізолюючих щілин [61-63]. Тому перспективними, на відміну від традиційних або стандартних методів створення КНІ-структур, є розробка нових нетрадиційних і нестандартних методів отримання КНІ-структур, зокрема локальних за заданою топологією, включаючи їх тривимірні конфігурації і багаторівневі, які стануть вихідним матеріалом для конструювання перспективної елементної бази ІС, аналітичних мікросистем- і мікролабораторій-на-кристалі. Виходячи з цих аргументів, перспективним підходом формування КНІ-структур видаються нестандартні методи створення локальних, за заданою топологією та із високою досконалістю, тривимірних КНІ-структур, розташованих у двох або більше рівнях, в яких будуть реалізовані активні приладні елементи з можливостями створення як тривимірних архітектур, так і стандартних планарних, а також можливостей використання на одному кристалі як КНІ-структур, так і стандартних об'ємних.

Більш перспективним є спосіб виготовлення локальних, тобто розташованих за заданою топологією, тривимірних структур КНІ [64-67], які створюють комбінуючи методи маскування плівкою із нітриду кремнію, селективного плазмохімічного анізотропного та ізотропного травлення зі сторони робочої поверхні кремнієвої пластини для формування вертикальних щілин, їх поглиблення, формування горизонтальних порожнин-тунелів під поверхнею кремнієвої пластини в місцях КНІ-острівців, їх локального окиснення, планаризації поверхні пластини піролітичним оксидом та його витравлення у вертикальних щілинах на задану глибину. Базова приладна КНІ МОН-структура, сформована по даній технології, зображена на рис. 1.9.



Цей спосіб, у порівнянні з аналогом, є більш технологічним і перспективним, оскільки відкриває додаткові можливості конструювання нових приладних елементів, включаючи їх тривимірні архітектури. Цим методом можна формувати локальні тривимірні мікроструктури типу «кремній-на-ізоляторі», а саме ділянки кристалічного кремнію ізольовані від пластини оксидом кремнію, сформованим на заданій глибині під поверхнею пластини і створювати на цій основі мікроелектронні МОН-прилади, як зі стандартними, планарними конструкціями на поверхні локальних ділянок КНІ-структур, так і з об'ємними, тривимірними конфігураціями, наприклад, затвором, який може бути створений як на поверхні, так і на бокових вертикальних стінках КНІ-структур.

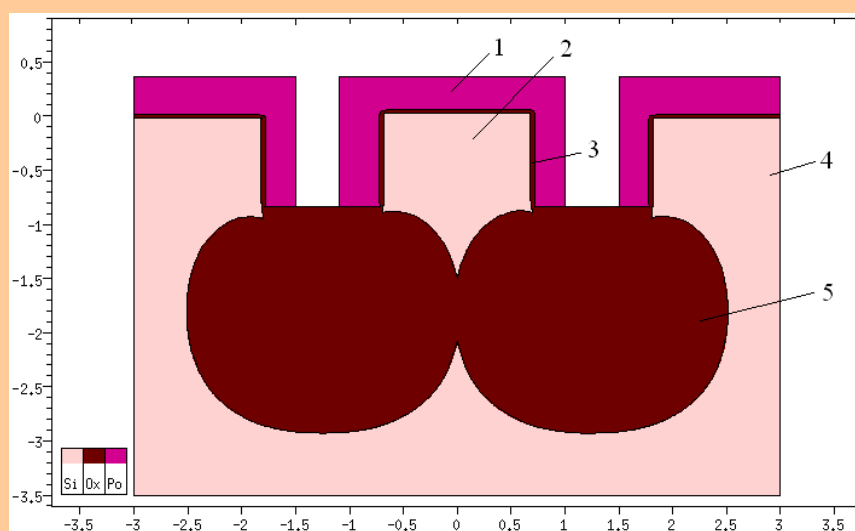


Рис. 1.9. Локальна тривимірна МОН-транзисторна КНІ-структура: 1 – полікремнієвий затвор; 2 – локальна тривимірна КНІ-структура, яка утворює підканалну область транзистора; 3 – підзатворний діелектрик; 4 – кремнієва пластина КДБ-40 з кристалографічною орієнтацією поверхні (100); 5 – області локального термічно-окисленого кремнію

На рис. 1.10 зображено фінішні операції результатів моделювання технології формування однорівневих герметизованих мікропорожнин під поверхнею кремнієвої пластини з використанням нітридних п'єдесталів для

осаджуваних плівок (а), і на основі окиснення вертикальних стінок і поверхні порожнин (б) [68-71]. Герметизовані мікропорожнини відкривають можливості створення на їх основі елементів оптоелектроніки, інтегральних резонаторів, елементів аналітичних мікросистем- та мікролабораторій-на-кристалі.

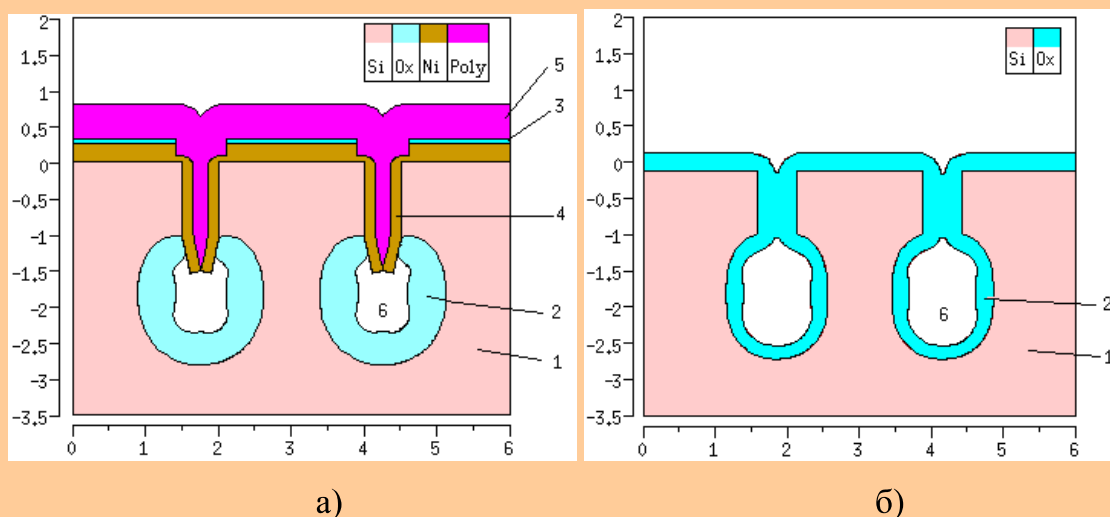


Рис. 1.10. Поперечні перерізи герметизованих мікропорожнин під поверхнею кремнієвої пластини: 1 – кремнієва пластина КДБ-40 з кристалографічною орієнтацією поверхні (100); 2 – локально вирощений термічний оксид кремнію на поверхні порожнини; 3 – осаджений піролітичний оксид на поверхню кремнієвої пластини і щілини; 4 – плівка нітриду кремнію після повторного осадження сумарною товщиною 0,25 мкм на поверхні пластини і 0,15 мкм на вертикальних стінках щілин; 5 – осаджений шар полікремнію на поверхню кремнієвої пластини і щілини; 6, 7 – герметизована порожнина (або мікроканал) в кремнієвій пластині; 8 – термічний окисел на поверхнях щілини і порожнини

Однак однорівнева реалізація таких КНІ-структур обмежує можливості конструювання нових приладних елементів, особливо сенсорної електроніки та мікросистемної техніки, оскільки для побудови аналітичних мікросистем- та мікролабораторій-на-кристалі, які б включали сенсорні та актюаторні

елементи, схеми обробки інформації від них, мікропорожнини та мікроканали в кремнієвій пластині, було б доцільним мати можливості конструювання на одному кристалі об'ємних, тривимірних КНІ-елементів як з різними товщинами КНІ-плівок, так і сформованих на різних рівнях, а також безпосередньо і в об'ємному кремнії [72-79].

Також залишаються малодослідженими технології формування дво- та багаторівневих тривимірних локальних КНІ-структур і приладів на їх основі. Тому проведення робіт з пошуку нових підходів створення тривимірних КНІ структур, зокрема дво- та трирівневих, які б були придатні для реалізації сенсорних і актюаторних елементів, активних приладних структур ІС та АМНК, є досить актуальними.

### **1.5. Двозатворні і “плавникові” КНІ МОН транзисторні структури**

За останні десятиріччя розміри стандартних об'ємних МОН-транзисторів зменшувалися за правилом масштабування (Р. Денарт, IBM): зменшення геометричних розмірів МОН-транзисторів в  $n$  разів, повинно забезпечити збереження постійного значення напруженості електричного поля. При таких умовах швидкодія МОН-транзистора збільшується в  $n$  разів.

Згідно цього правила зменшували товщину підзатворного діелектрика і глибину легування, використовували спейсери і області легкого легування стоку (LDD – lightly doped drain), підбирали величину легування каналу, застосовували імплантацію з нахилом кремнієвої пластини. Для збільшення вихідних струмів транзисторів і зменшення займаної площі почали застосовувати двозатворні структури і структури “плавникового” типу (finFETs) [80, 81], рис. 1.11.

Правило масштабування справджувалось для активних елементів із розмірами більше 100 нм.

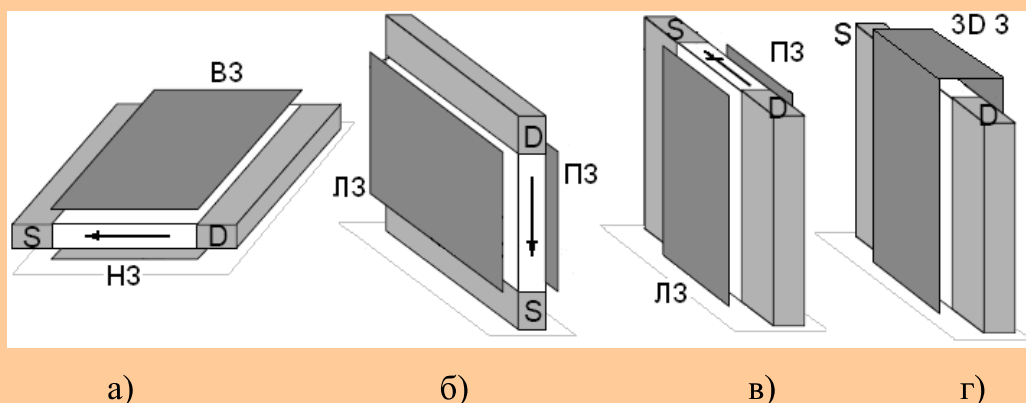


Рис. 1.11. Двозатворні МОН транзистори: а – горизонтальний; б, в, г – вертикальні (finFETs): НЗ, ВЗ – нижній, верхній затвор; ЛЗ, ПЗ – лівий, правий затвор, 3D З – тривимірний затвор

При подальшому зменшенні розмірів активних елементів до суб- і нанометрових, їх проектування відбувається за іншими правилами, а основними обмежуючими факторами є короткоканальні ефекти і споживана потужність, табл. 1.2.

Таблиця 1.2

Розміри активних елементів ІС

Елемент ІС / рік	2010	2012	2014	2016
МП затвор, нм	41	31	21	19,8
ASIC затвор, нм	47	35	25	19,8
DRAM затвор, нм	45	36	28	22,5
Vdd, В	0,95	0,85	0,80	0,75
Потужність ІС, мВт	146	158	152	130
Тактова частота, ГГц	5,8	6,8	7,9	9,1

До короткоканальних ефектів МОН-транзисторів відносяться: зімкнення областей стік-витік, пониження потенціального бар'єру витоку за рахунок проникнення поля стоку (DIBL-ефект), зменшення порогової напруги  $V_{th}$ , збільшення струму транзистора у вимкненому стані та підпорогового нахилу характеристики стік-затвор (крутизни  $S$ ). Основною

причиною короткоканальних ефектів в МОН-транзисторі є те, що планарний затвор контролює менший заряд в підкладці  $Q$  і він стає співрозмірним із зарядами в області витоку і стоку  $2\Delta Q_f$ , рис. 1.8, а. Суттєво меншу величину неконтрольованого заряду мають КНІ МОН-структури, чим і пояснюється їх широке використання в нанорозмірних приладах, рис. 1.12, б.

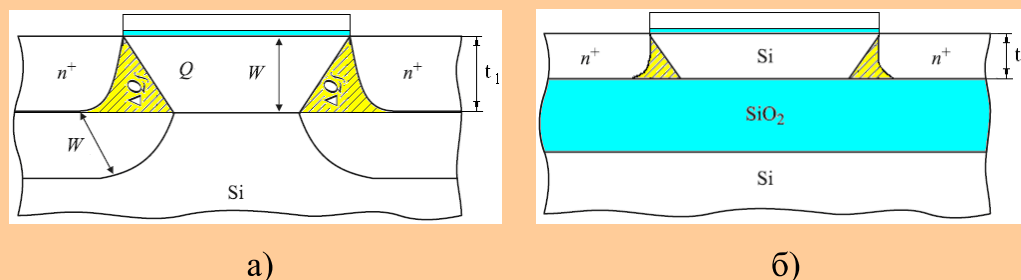


Рис. 1.12. Неконтрольований затвором заряд: а – об’ємний МОН-транзистор; б – КНІ МОН-транзистор;  $t_1$ ,  $t_2$  – товщина приладного шару ( $t_2 \ll t_1$ )

Тому використання КНІ-структур є перспективним матеріалом для створення нанорозмірних приладів.

### 1.6. Базові матричні комірки для побудови аналогових і цифрових елементів аналітичних мікросистем-на-кристалі зі структурою КНІ

Не менш важливим елементом, що може бути використаним при побудові аналітичної мікросистеми-на-кристалі, є спеціальні базові матричні комірки, які можуть бути використані для розроблення поля матриці спеціалізованої архітектури АМнК [82-85]. Розроблення таких архітектур може бути здійснене за відомим принципом проектування спеціалізованих інтегральних схем на основі БМК. Вимоги і параметри, які ставляться до базової матричної комірки є дуже важливими, оскільки вони визначають густину розміщення елементів на кристалі, особливості трасування, ступінь використання елементів матриці, електричні характеристики і т. д. [86-88].

Наприклад, відомою є комірка і фрагмент БМК на основі КМОН-структур, виготовленого на основі ізопланарної КМОН-технології в об'ємному кремнії, в якому використовуються однотипні комірки з шеститранзисторними КМОН-структурами і елементами для з'єднань [89]. В цій комірці затвори р- і n-канальних МОН-транзисторів попарно з'єднані між собою і мають двосторонні контакти, що спрощує реалізацію міжелементних зв'язків.

На рис. 1.13 зображено КМОН-структуру, що виготовлена за допомогою ізопланарної технології, яка характеризується малими паразитними ємностями та великою швидкодією. Леговані полікремнієві шари використовуються також в якості заглиблених в оксид з'єднувальних провідників, що дозволяє підвищити густину елементів на кристалі.

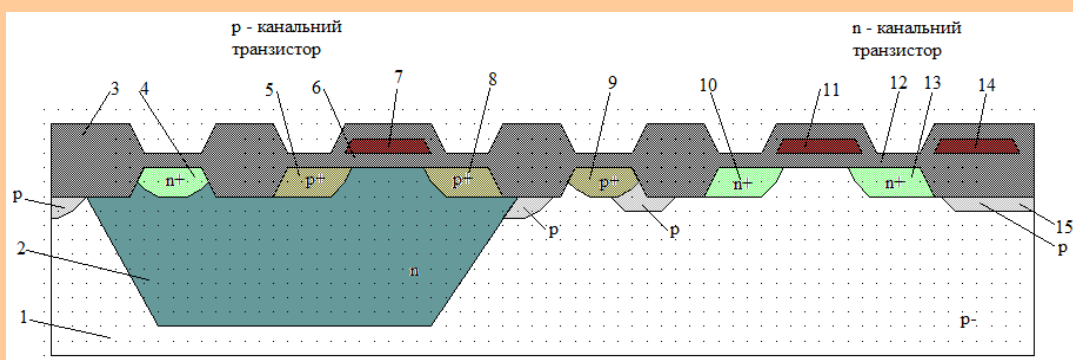


Рис. 1.13. КМОН-структура, виготовлена на основі ізопланарної технології: 1 – підкладка р-типу; 2 – кишенька n-типу; 3 – товстий ізолюючий шар оксиду; 4 –  $n^+$ -область кишень; 5, 8 – стокова і витокова області  $p^+$ -області; 6, 12 – тонкий підзатворний оксид; 7, 11 – полікремнієві затвори; 9 – запобіжне кільце  $p^+$ -типу; 10, 13 – стокова і витокова області  $n^+$ -області; 14 – полікремнієва шина; 15 – р-області для вилучення інверсійних шарів під товстим шаром оксиду

Комірки КМОН БМК із шеститранзисторних структур ізолювані між собою р-n-переходом, а елементами міжз'єднань є набори полікремнієвих шин, дифузійні області n-типу провідності (рис. 1.14).

Недоліком такого типу комірок КМОН БМК є велика площа, яку вони займають на кристалі, оскільки вони виготовлені на основі КМОН-технології в об'ємному кремнії р-типу провідності з кишнями n-типу зі складною технологією міжелементної ізоляції. Окрім цього такі комірки не достатньо уніфіковані і мають надлишкову кількість елементів, особливо зв'язків, які в багатьох випадках практично не використовуються, внаслідок чого зменшується ступінь інтеграції, а велика площа погіршує техніко-економічні характеристики ІС.

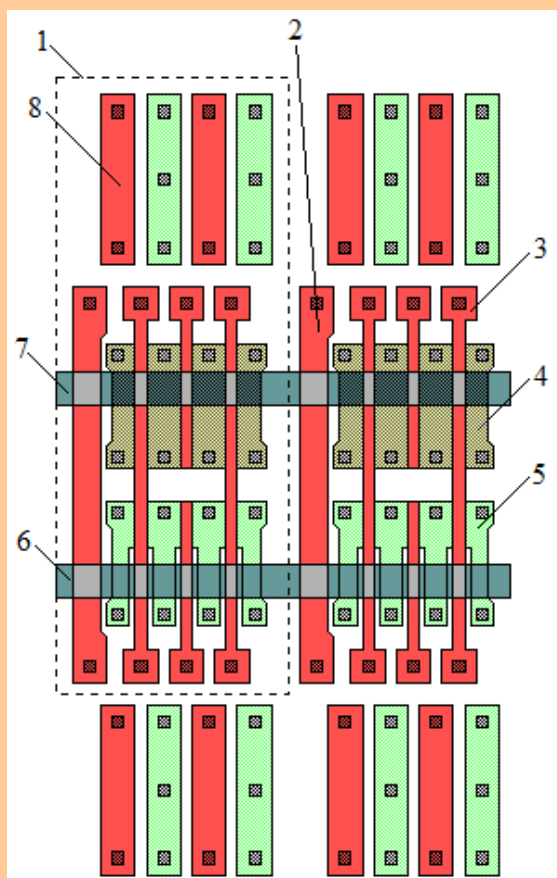


Рис. 1.14. Топологія шеститранзисторної комірки БМК, виготовленого по ізопланарній технології: 1 – межі комірки; 2 – полікремнієві шини; 3 – полікремнієві затвори; 4, 5 – стік-витоків області р- і n-канальних транзисторів; 6, 7 – області розташувань шин заземлення і живлення; 8 – дифузійні шини  $n^+$ -типу або полікремнієві шини



Більш перспективними і уніфікованими є базові матричні кристали серії K1574 [90] і комірка матриці БМК. Конструктивно цей БМК являє собою набір нескомутованих р- і n-канальних МОН-транзисторів, реалізованих відповідно на смужках активних n- і р-областей і розташованих відповідно вздовж шин живлення та загальної. Комірка БМК включає пару нескомутованих n- і р-канальних транзисторів, співвідношення розмірів яких оптимізовано з точки зору площі кристалу та швидкодії.

Ці кристали виготовляються за двокишеневою КМОН технологією з двома рівнями металізації в об'ємній кремнієвій пластині n-типу провідності. Завдяки архітектурі БМК типу «море вентилів» і дворівневій металізації досягається вища густина розміщення елементів на кристалі порівняно з попереднім випадком.

Недоліком даного типу БМК є те, що для ізоляції активних областей використовуються складні структури на основі р-n-переходів, що вимагає додаткової площі, а для міжелементної електричної ізоляції використовуються додаткові комірки матриці на n- і р-канальних МОН-транзисторів шляхом підключення затворів цих транзисторів відповідно до загальної шини і шини живлення. Наприклад, для реалізації логічного елемента 2І-НЕ на КМОН-транзисторах потрібно задіяти дві комірки для реалізації вказаної логічної функції і як мінімум одну додаткову комірку для електричної ізоляції логічного елемента в матриці БМК, тобто коефіцієнт використання комірок матриці БМК для логічної функції становить 2/3.

Ще одним технічним рішенням є комірка матриці і експериментальний БМК, що являє собою набір нескомутованих р- і n-канальних КНІ МОН-транзисторів, реалізованих відповідно на смужках активних n- і р-областей, сформованих на діелектрику і розташованих відповідно вздовж шин живлення та загальної за архітектурою типу «море вентилів» [91]. Завдяки КНІ-технології та діелектричній ізоляції між активними областями матриці, відсутності «кишень» порівняно із об'ємною КМОН-технологією

підвищується густина упаковки елементів на кристалі і покращуються часові та електричні характеристики ІС.

Проте міжелементна електрична ізоляція з використанням додаткових комірок матриці на  $n$ - і  $p$ -канальних КНІ МОН-транзисторах шляхом підключення затворів цих транзисторів відповідно до загальної шини і шини живлення вимагає також додаткової площі на кристалі, погіршує параметри ІС та коефіцієнт використання комірок для елементів БМК.

Тому виникає необхідність розробити БМК, який б мав в собі переваги вищезгаданих типів, і який був би придатний для розроблення елементної бази для АМнК.

### **1.7. Висновки і постановка задач досліджень дисертаційної роботи**

1. Аналіз літературних даних показує, що вітчизняні дослідження з розроблення і використання аналітичних мікросистем-на-кристалі проводяться в недостатньому обсязі.

2. Показано, що КНІ-структури мають суттєві переваги як конструктивний матеріал для створення нових приладних елементів, в тому числі як і з новими тривимірними конструкціями, так і можливостями інтеграції з герметизованими або негерметизованими мікропорожнинами під поверхнею кремнієвої пластини. Це відкриває додаткові перспективи створення нових інтегрованих приладних структур і дозволяє розширити функціональні можливості АМнК та сфери їх застосування.

3. Проаналізовано переваги та недоліки КНІ-структур. Показано, що шляхом підключення додаткового контакту до підканальної області КНІ-транзистора можна покращити його характеристики та створити можливості для реалізації схем з подвійним управлінням в КНІ-структурі. Це є досить перспективним тому, що дозволяє вирішувати проблему керування великими ємностями, оскільки об'єднуються переваги двох структур: низьких

статичних витрат енергії схем КМОН і високої здатності навантаження вертикальних біполярних транзисторів в n-p-n- чи p-n-p-структурі.

4. Проаналізовано основні сучасні методи отримання КНІ-структур та нові підходи для створення тривимірних КНІ-структур, які б були придатні для реалізації як сенсорних і актюаторних елементів, активних приладних структур, елементів інтегральних схем та АМнК. Показано, що дослідження в цьому напрямку є досить актуальними, оскільки однорівнева реалізація таких КНІ-структур обмежує можливості конструювання нових приладних елементів, особливо сенсорної електроніки та мікросистемної техніки, так як для побудови інтегрованих мікросистем- та мікролабораторій-на-кристалі, доцільно мати можливості конструювання на одному кристалі об'ємних, тривимірних КНІ-елементів як з різними товщинами КНІ-плівок, так і сформованих на різних рівнях, а також безпосередньо і в об'ємному кремнії.

5. Проаналізовано різні типи базових матричних комірок, що визначають густину розміщення елементів на кристалі, особливості трасування, ступінь використання елементів матриці, електричні характеристики та ін. Показано, що необхідним є розроблення поля матриці кристалу, придатного для розроблення елементної бази для аналітичних мікросистем-на-кристалі.

Таким чином виділено наступні задачі, які необхідно було розв'язати:

- розробити і промодельовати технологію виготовлення двошарових тривимірних архітектур «кремній-на-ізоляторі» під поверхнею пластини;

- оцінити можливості створення нових приладних структур на основі двошарових тривимірних КНІ структур під поверхнею кремнієвої пластини.

- розробити структуру, топологію, елементи зв'язку зі спеціальною «технологічною площадкою» для створення і дослідження некремнієвих інтегральних елементів і їх інтеграції в технологію структур «кремній-на-ізоляторі»;

- розробити структуру та топологію вихідних каскадів аналітичної мікросистеми-на-кристалі на основі зовнішніх матричних комірок з

використанням подвійного управління підканальною областю в КНІ КМОН транзисторах;

–спроектувати оптимізовану базову матричну комірку та розробити на її основі схемотопологічні рішення бібліотечних елементів. Дослідити і промодельовати електричні характеристики, часові і температурні параметри елементів аналітичної мікросистеми-на-кристалі зі структурами «кремній-на-ізоляторі»;

–спроектувати архітектуру, базові цифрові та аналогові елементи і розробити топологію універсальної аналітичної мікросистеми-на-кристалі за принципом побудови матричних ІС зі структурами «кремній-на-ізоляторі».

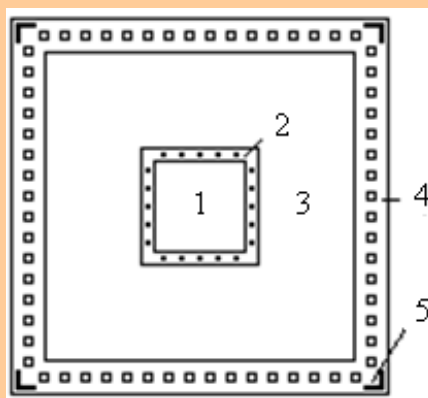
## РОЗДІЛ IV. РОЗРОБЛЕННЯ АРХІТЕКТУРИ ТА МОДЕЛЮВАННЯ ЦИФРОВИХ ЕЛЕМЕНТІВ АНАЛІТИЧНОЇ МІКРОСИСТЕМИ-НА-КРИСТАЛІ

### 4.1. Розроблення архітектури та топології аналітичної мікросистеми-на-кристалі

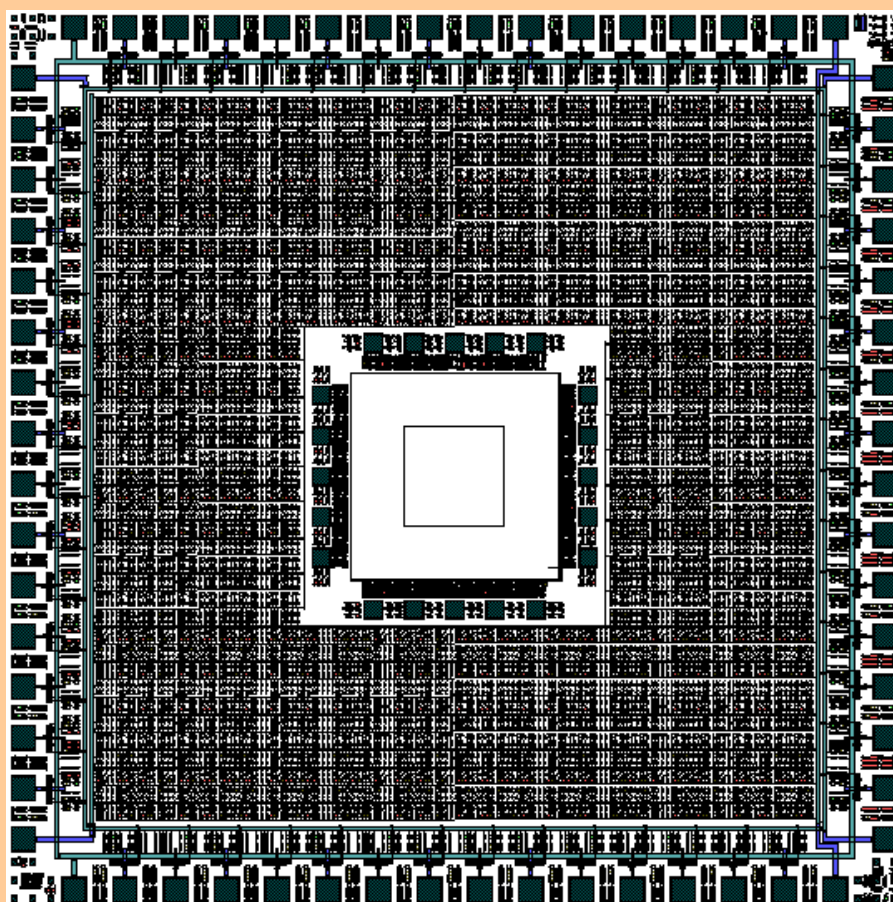
Для аналізу характеристик нових інтегральних елементів та інших об'єктів з мікро- і нанометровими розмірами, в тому числі з некремнієвими технологіями, що можуть бути інтегровані в кремнієву, зокрема в технологію на основі структур КНІ, а також для опрацювання первинної інформації про фізичні величини для сенсорної електроніки, як інструментарій, можуть бути використані уніфіковані аналітичні мікросистеми-на-кристалі [118]. Перевагою такого аналізу є мінімізація паразитного впливу зондових елементів та провідників. Архітектура АМнК передбачає наявність «технологічної площадки» для інтеграції на ній досліджуваних об'єктів, схем перетворення інформації від них та інтерфейсних зв'язків із зовнішніми вимірювальними або комп'ютеризованими пристроями.

Розроблена структура та топологія аналітичної мікросистеми зображена на рис. 4.1.

В центральній частині розробленої мікросистеми міститься «технологічна площадка», із зовнішніми, розміщеними по її периферії, матричними комірками активних та пасивних елементів, на основі яких використовуючи програмовані шари із 2-ох металізацій і 2-ох шарів контактів, можна реалізувати потрібні схеми зв'язку. Також в цьому блоці розміщені контакти для зондового контролю і спеціальні тести для контролю технології виготовлення самого кристалу.



а)



б)

Рис. 4.1. Структура розміщення елементів (а), та загальний вигляд топології аналітичної мікросистеми-на-кристалі (б): 1 – «технологічна площадка»; 2 – активні/пасивні елементи зв'язку та контакти для зондового контролю; 3 – поле матриці транзисторів для реалізації аналогових та цифрових схем первинної обробки інформації; 4 – входні/вихідні каскади та контактні площадки; 5 – тестові елементи та знаки суміщення



Наступним блоком є поле матриці КНІ КМОН-транзисторів, що побудоване по аналогії з БМК для реалізації аналогових і цифрових схем первинного опрацювання інформації від досліджуваних об'єктів. По периметру кристалу розміщено спеціальні матричні комірки для реалізації буферних схем зв'язку із зовнішніми вимірювальними або комп'ютеризованими пристроями, зовнішні контактні площадки, тестові елементи та знаки суміщення.

На рис. 4.2 зображено також фрагменти топології матричної частини, що спроектована на основі розробленої оптимізованої комірки [119], вхідні/вихідні каскади та контактні площадки.

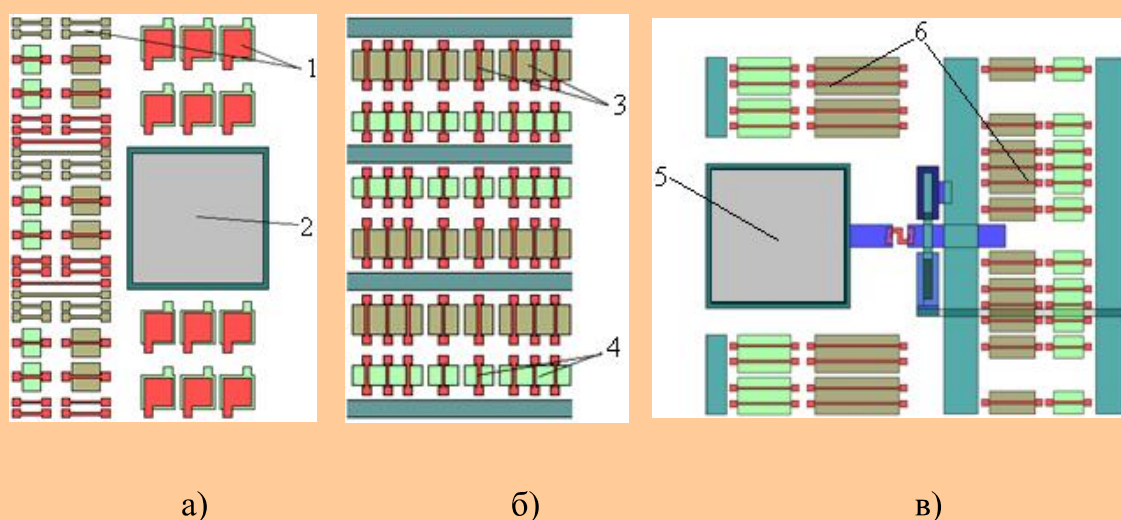


Рис. 4.2. Фрагменти топологій функціональних вузлів аналітичної мікросистеми-на-кристалі: а – активні та пасивні елементи зв'язку (1) та внутрішня контактна площадка (2); б – фрагменти топології матричної частини: р-канальні (3) та n-канальні (4) КНІ-транзистори; в – зовнішня контактна площадка (5) та базові матричні комірки для проектування буферних вхідних/вихідних каскадів (6)

«Технологічна площадка» призначена для розміщення на ній чутливих елементів та для дослідження характеристик інтегральних некремнієвих елементів. Також передбачено виводи з полікремнію для спрощення підключення досліджуваних елементів, а також для зменшення впливів



паразитних ефектів, наприклад, ємності між шаром металізації та КНІ-плівкою. Залежно від мети використання, технологічну площадку можна формувати як спеціалізовану. Наприклад, для дослідження некремнієвих елементів, вона являє собою плівку оксиду кремнію, під поверхнею можна створювати тривимірні елементи, конструктивно суміщені з герметизованими та негерметизованими мікропорожнинами [120]. Іншими варіантами застосування можуть бути: гібридна інтеграція сенсорного елемента мембранного типу, в якому «технологічна площадка» є складовою частиною сенсора [121]; інтеграція досліджуваних ІС та МЕМС елементів методом перевернутого кристалу. Топологія «технологічної площадки» та варіанти її використання показано на рис. 4.3.

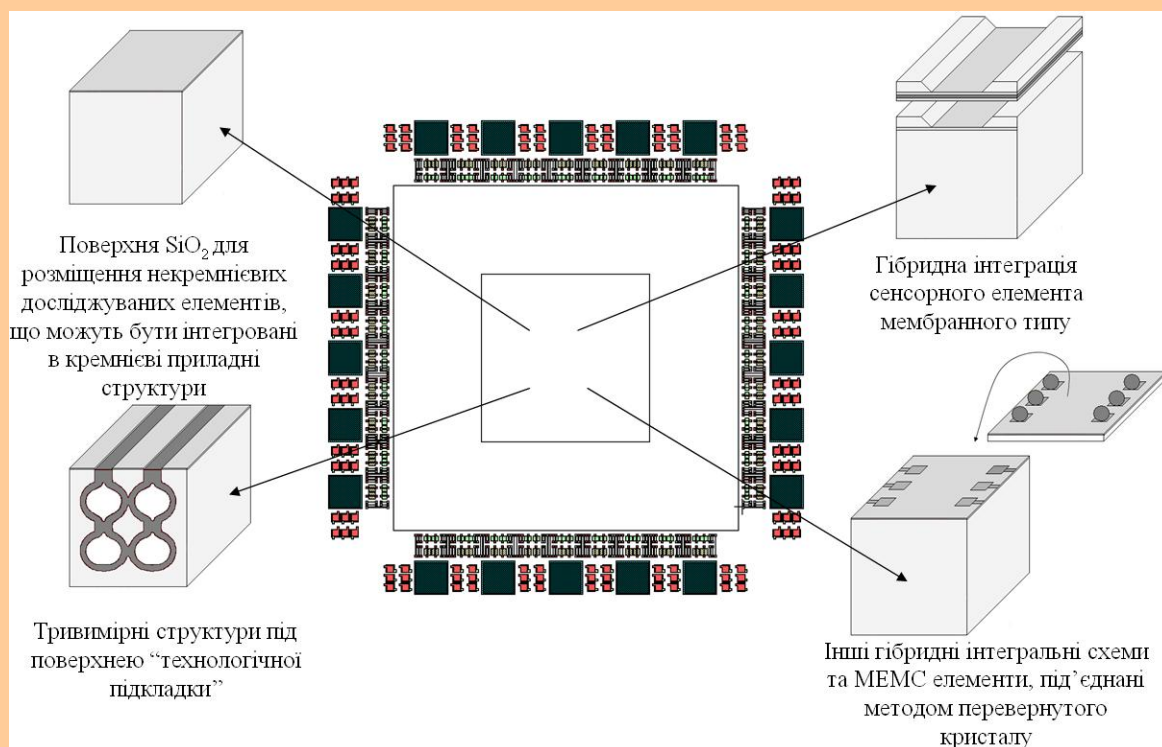


Рис. 4.3. Топологія «технологічної площадки» та можливі варіанти її використання

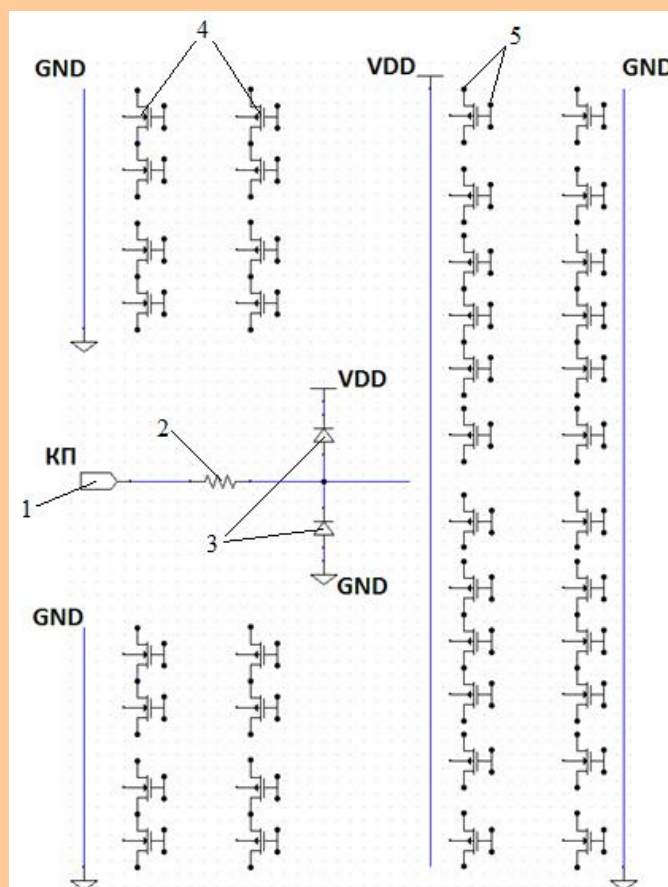
Важливим є те, що дослідження можуть бути проведені безпосередньо за допомогою мікросистеми, що дозволяє отримати більш достовірні результати, оскільки усуваються паразитні ефекти, властиві аналітичним

макросистемам, такі як опір провідників, їх індуктивності, ємності та ін [122].

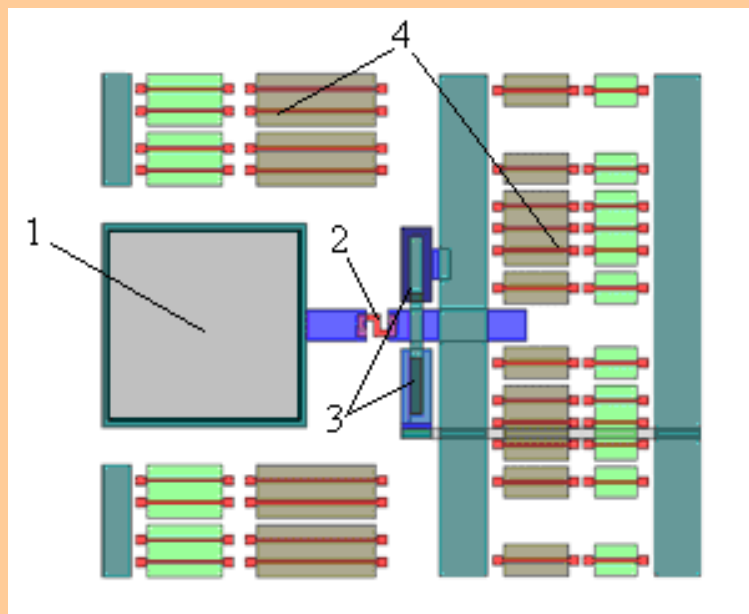
#### 4.2. Моделювання електричних та часових параметрів елементів схем захисту та входних каскадів аналітичних мікросистем-на-кристалі

Для захисту КМОН КНІ транзисторних елементів входних каскадів від перепадів зовнішніх напруг та статичної електрики використовуються схеми захисту, що складаються з полікремнієвого резистора та двох діодів, один з яких обмежує негативну напругу, інший позитивну [116].

Розроблено схему електричну та топологію матричної комірки для проектування зовнішніх входних/вихідних каскадів АМнК. Ця комірка містить контактну площадку, р- і n-канальні КМОН КНІ-транзистори і схеми захисту входних каскадів від перепадів зовнішніх напруг і статичної електрики (рис. 4.4).



а)



б)

Рис. 4.4. Електрична схема (а) і топологія (б) зовнішньої матричної комірки АМнК: 1 - контактна площадка; 2 – полікремнієвий резистор; 3 – захисні діоди; 4 – елементи матричних комірок; 5 – комутаційні зв'язки для прогнатованих шарів 2-х рівнів металізації і 2-х рівнів контактних вікон

Для дослідження часових характеристик проходження сигналу, що подається на контактну площадку, через схеми захисту, було спроектовано аналогічні між собою схеми на основі об'ємної КМОН структури та на структурі КНІ. Моделювання проводилось безпосередньо із топології з врахуванням розмірів елементів і паразитних зв'язків.

На вхід контактної площадки подавався синусоїдальний сигнал частотою 1 ГГц та амплітудою 10 В. Напряга живлення 5 В. Моделюванням встановлено, що у випадку використання об'ємної КМОН технології затримка по передньому фронту сигналу між входом і виходом становить 7 пс. Максимальний струм при цьому 1,19 мА, споживана потужність діодів – 8,88 мВт (рис. 4.5).

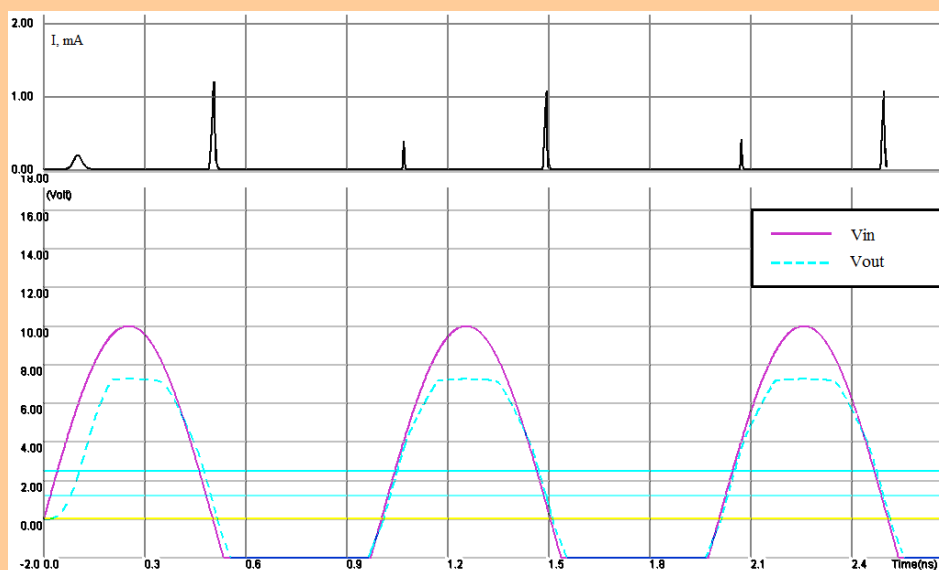


Рис. 4.5. Результати моделювання проходження сигналу через контактну площадку та схеми захисту, спроектованих на основі об'ємних МОН-транзисторів

При використанні КНІ-структур, час затримки сигналу становить 4 пс, максимальний струм 0,54 мА, споживана потужність – 6,89 мВт (рис. 4.6).

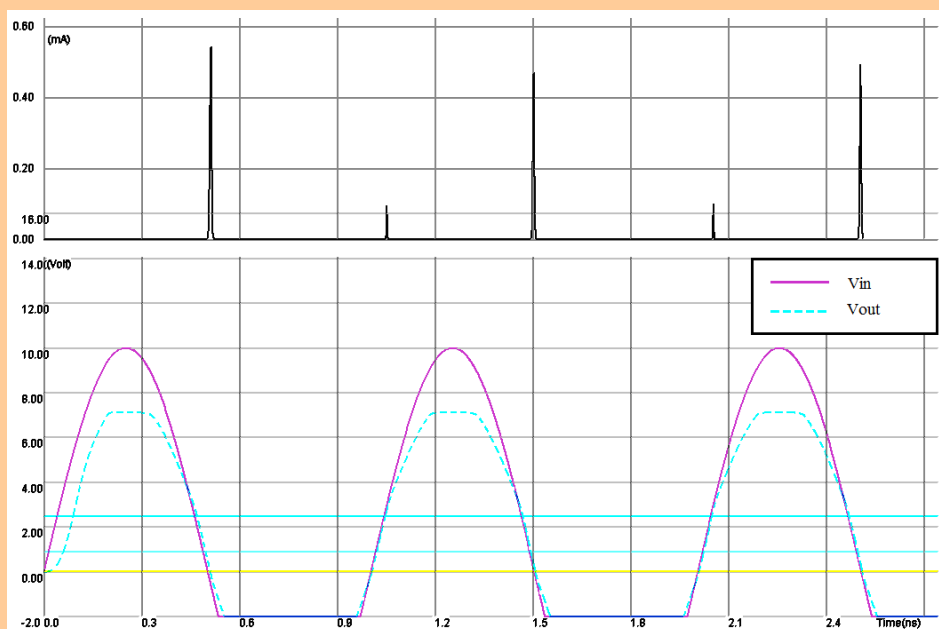


Рис. 4.6. Результати моделювання проходження сигналу через контактну площадку та схеми захисту, спроектованих на основі КНІ-структур

Результати моделювання проходження сигналу через контактні площадки та схеми захисту показують, що вихідні каскади на КНІ-структурах мають майже в 2 рази меншу затримку вихідного сигналу відносно вхідного та меншу на 20% споживану потужність порівняно з об'ємною КМОН-технологією.

#### **4.3. Розроблення і моделювання електричних, часових температурних та енергетичних характеристик КНІ КМОН JK-тригерного елементу**

Для оцінки роботи цифрових елементів, як складових аналітичних мікросистем-на-кристалі зі структурою КНІ, було розглянуто особливості схемотехнічного і топологічного проектування JK-тригера на основі матричної комірки та проведено моделювання його електричних, часових, температурних та енергетичних характеристик. Цей тип тригера було обрано тому, що він належить до розряду універсальних тригерів, і на його основі можна отримати тригери RS-, D- і T-типу та інші, а також будувати більш складні схеми цифрової обробки [117].

Електрична схема досліджуваного JK-тригера на основі логічних елементів I-HE зображено на рис. 4.7.

Для дослідження характеристик JK-тригера з врахуванням паразитних зв'язків і особливостей топології відповідно до схеми рис. 4.6 були розроблені спеціалізована топологія з використанням об'ємних КМОН транзисторів, та топологія на основі базової комірки зі структурою КНІ. Топологію JK-тригера на основі базової комірки зображено на рис. 4.8. Ширини каналів для всіх р-канальних транзисторів становлять 20 мкм, n-канальних транзисторів – 10 мкм, довжини каналів всіх транзисторів є однаковими і становлять 2 мкм. Топологічна реалізація JK-тригера здійснена змінними програмованими шарами 2-х рівнів металізації та 2-х рівнів контактних вікон.

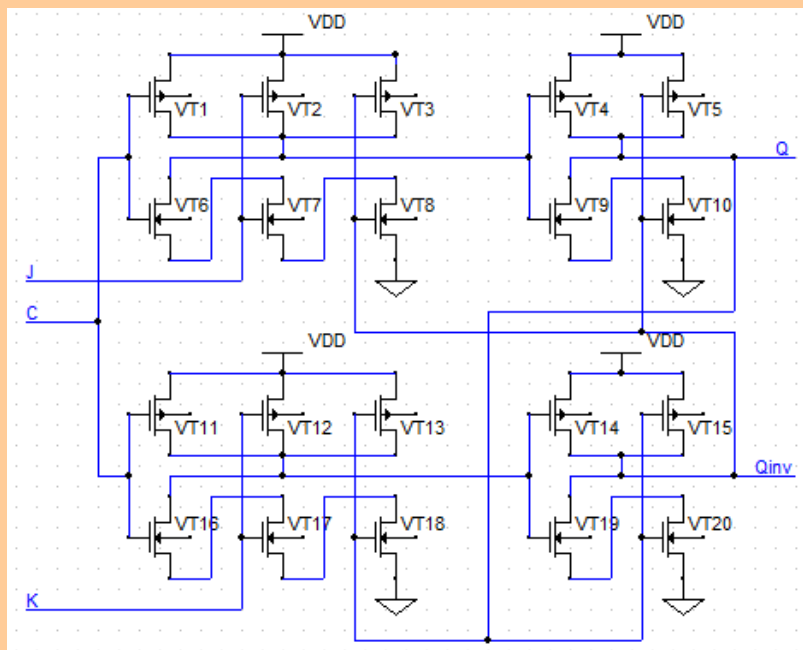


Рис. 4.7. Електрична схема JK-тригера на основі логічних елементів I-HE

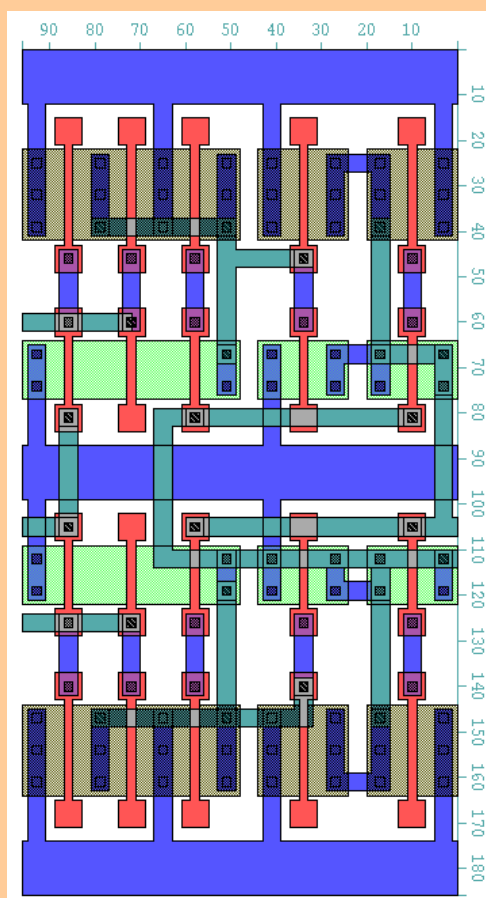


Рис. 4.8. Топологія JK-тригера на основі базових матричних комірок

Результати моделювання JK-тригера безпосередньо з топології (рис. 4.8) зображено на рис. 4.9.

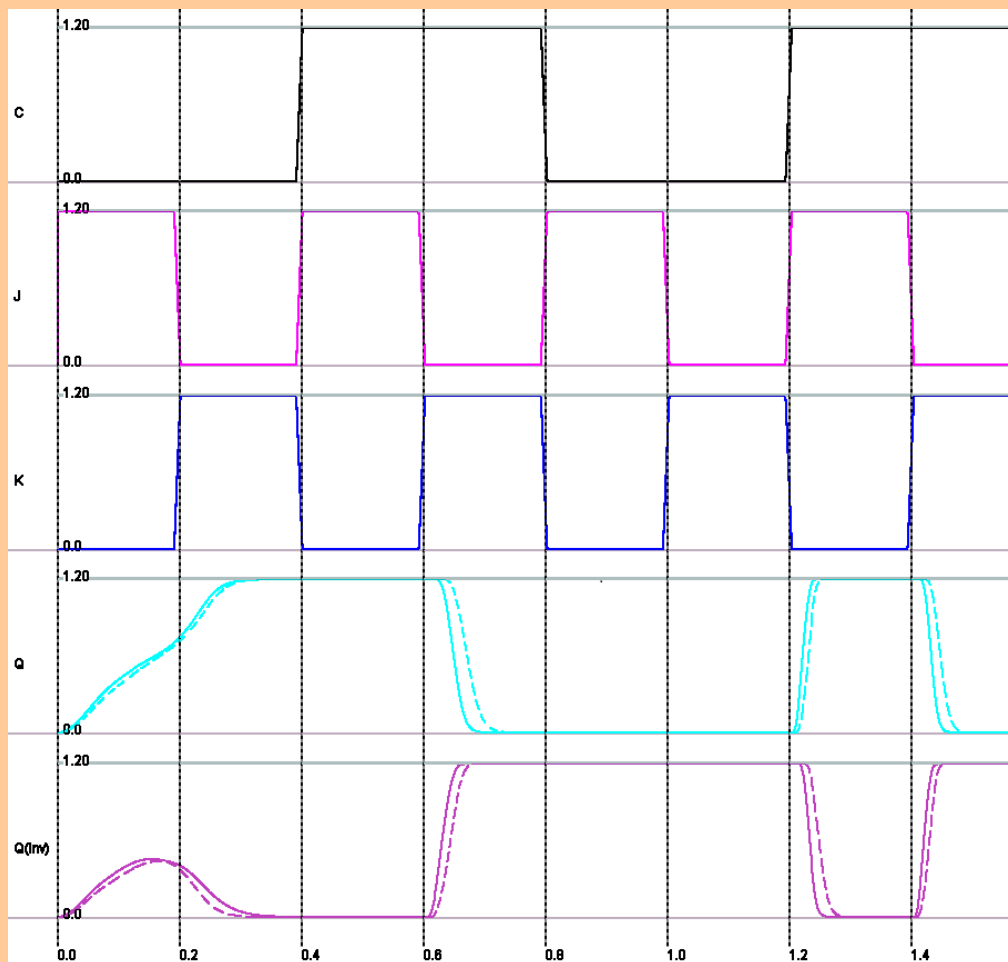


Рис. 4.9. Результати моделювання JK-тригера

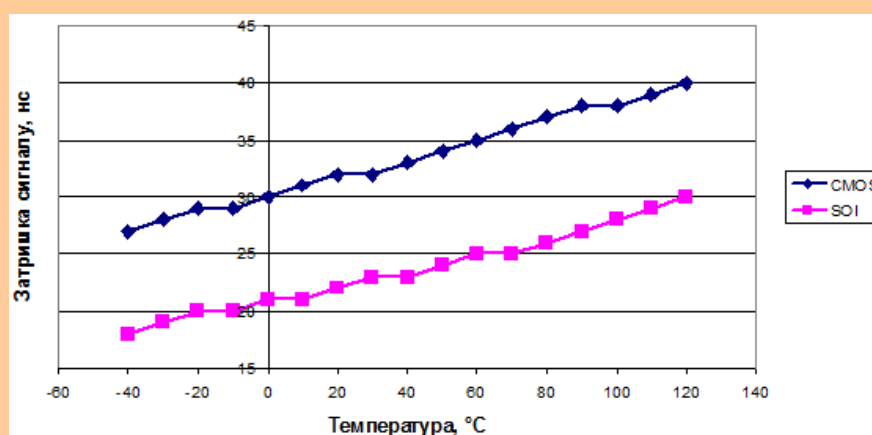
На вхід J даної схеми подавався сигнал з амплітудою 1,2 В, часом наростання і спадання фронтів імпульсів 0,01 нс, тривалістю імпульсу 0,19 нс та частотою 2,5 ГГц. На вхід К тригера – інвертований сигнал з аналогічними параметрами. На синхронізуючий вхід тригера С – синхросигнал з амплітудою 1,2 В, часом наростання і спадання фронтів імпульсів 0,01 нс, тривалістю 0,39 нс та частотою 1,25 ГГц.

На рис. 4.9 суцільною лінією зображено вихідні сигнали JK-тригера, спроектованого з використанням об'ємних МОН-транзисторів, а штрих пунктирної – з використанням МОН-транзисторів зі структурою КНІ. З

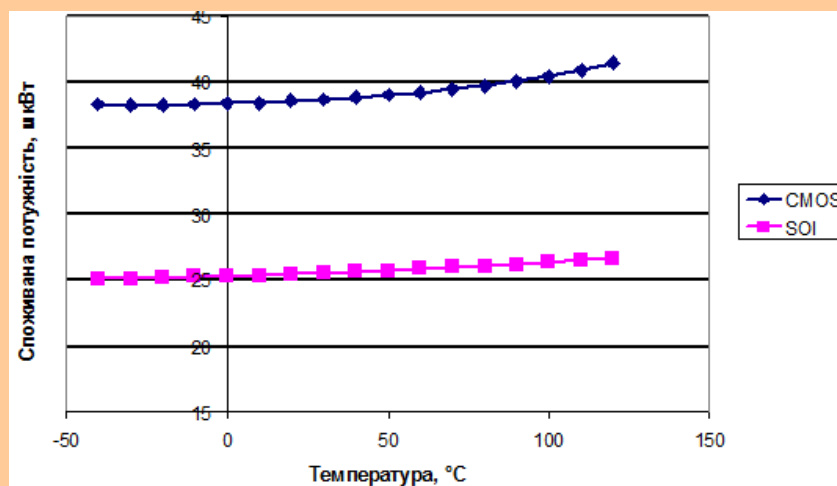


результатів моделювання видно що затримка вихідного сигналу на рівні 0,5 амплітуди по передньому фронту JK-тригера, спроектованого на основі об'ємних МОН-транзисторів складає 32 пс, а на основі КНІ МОН-транзисторів – 23 пс. Споживана потужність при цьому в першому випадку становить 38,66 мкВт, а в другому 25,56 мкВт.

Для розробленої топології JK-тригера було проведено також моделювання впливу температури на часові характеристики та споживану потужність в інтервалі від мінус 40°C до +125°C з кроком 10 °C (рис. 4.10).



а)



б)

Рис. 4.10. Температурна залежність затримки вихідного сигналу відносно вхідного (а) та споживаної потужності (б)

Виходячи з результатів моделювання, можна зробити наступний висновок: JK-тригерний елемент на основі КМОН КНІ-структур має кращу в 1,4 рази швидкодію, в 1,5 рази меншу споживану потужність та кращу температурну стабільність порівняно з аналогічним на основі об'ємних КМОН-структур.

#### **4.4 Розроблення і моделювання перетворювачів рівнів сигналів**

Під час розроблення елементів ІС, а особливо мікросистем-на-кристалі, в тому числі й аналітичних, що являють собою, наприклад системи для дослідження некремнієвих елементів в інтегральному виконанні та монолітно-інтегрованих безпосередньо в кристал спеціалізованої мікросхеми, часто виникає необхідність перетворення логічних сигналів з низькими рівнями, що використовуються у внутрішній частині мікросистеми в логічні сигнали з високими рівнями в периферійних формувачах сигналів зовнішніх пристроїв з подальшим їх опрацюванням та аналізом [123, 124].

З цією метою було розглянуто особливості схемотехнічного і топологічного проектування перетворювачів рівнів сигналу з низького на високий для КМОН ІС та АМнК. Розроблено топологію перетворювачів рівнів на основі бібліотечних комірок АМнК та спеціалізовану топологію, а також показано результати комп'ютерного схемотехнічного моделювання електричної схеми перетворювача рівнів та моделювання безпосередньо із топології з врахуванням особливостей їх топологічної реалізації та інтегральної структури.

Функція перетворювача рівнів сигналів полягає в перетворенні логічних сигналів з низькою напругою в логічні сигнали з високою напругою, що контролює буферний пристрій. Також вони можуть виконувати й зворотну функцію. На рис. 4.11 зображено досліджувану електричну схему перетворювача рівнів сигналів з низького на високий без врахування паразитних ефектів та особливостей топології [125]. В цьому

випадку для схемотехнічного моделювання враховуються тільки топологічні параметри КМОН транзисторів, а саме, довжина  $L$  і ширина  $W$  каналів, які подані на схемі перетворювача рівнів. Електрична схема перетворювача рівнів складається з вхідного інвертора (транзистори – р-канальний P1, n-канальний N1), перетворювача рівнів (на транзисторах р-канальні P2, P3 та n-канальні N2, N3) і буферного формувача (на транзисторах – р-канальний P4, n-канальний N4). Перетворювач рівнів сигналів має дві напруги живлення: низьку  $V_{dd}$ , що становить 2 В для вхідного інвертора і високу  $V_{ddHV}$ , що становить 5 В для іншої частини схеми. Ширини каналів для всіх р-канальних транзисторів становлять 20 мкм, n-канальних транзисторів – 10 мкм, довжини каналів всіх транзисторів є однаковими і становлять 2 мкм. Такі розміри каналів транзисторів вибрані із врахуванням особливостей комірки БМК та рухливостей носіїв зарядів в каналах р- і n-канальних МОН-транзисторах.

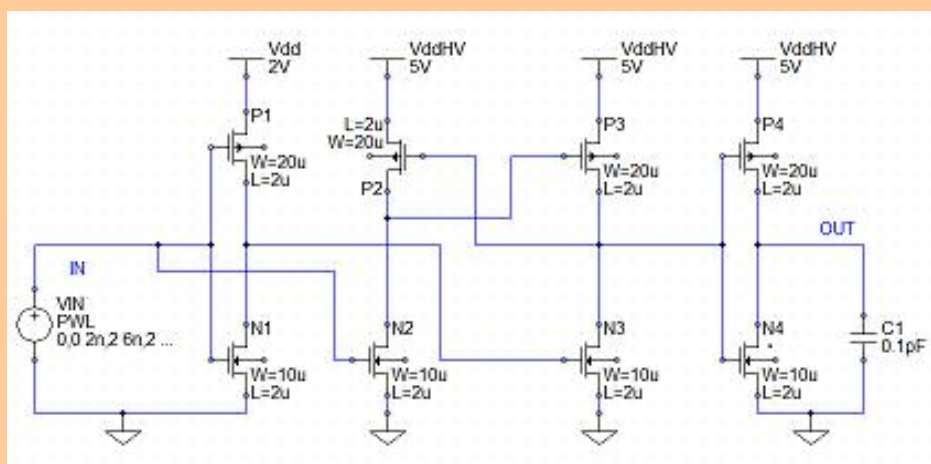


Рис. 4.11. Електрична схема перетворювача рівнів сигналу

Для проектування топології схеми перетворювача рівнів було використано базову матричну комірку з попарним розташуванням послідовно з'єднаних 3-х р- і 3-х n-канальних транзисторів та 1-го р- і 1-го n-канального транзисторів і введенням повної діелектричної ізоляції таких КНІ МОН-транзисторних структур між собою. Перевагою такої комірки є і те, що

стік – витоків області діелектрично та електрично ізолюваних між собою транзисторів можуть бути використані одночасно і як елементи комутації.

Топологію перетворювача рівнів сигналів зі структурою КНІ на основі базових матричних комірок, реалізовану з використанням програмованих шарів металізації та контактів, зображено на рис. 4.12.

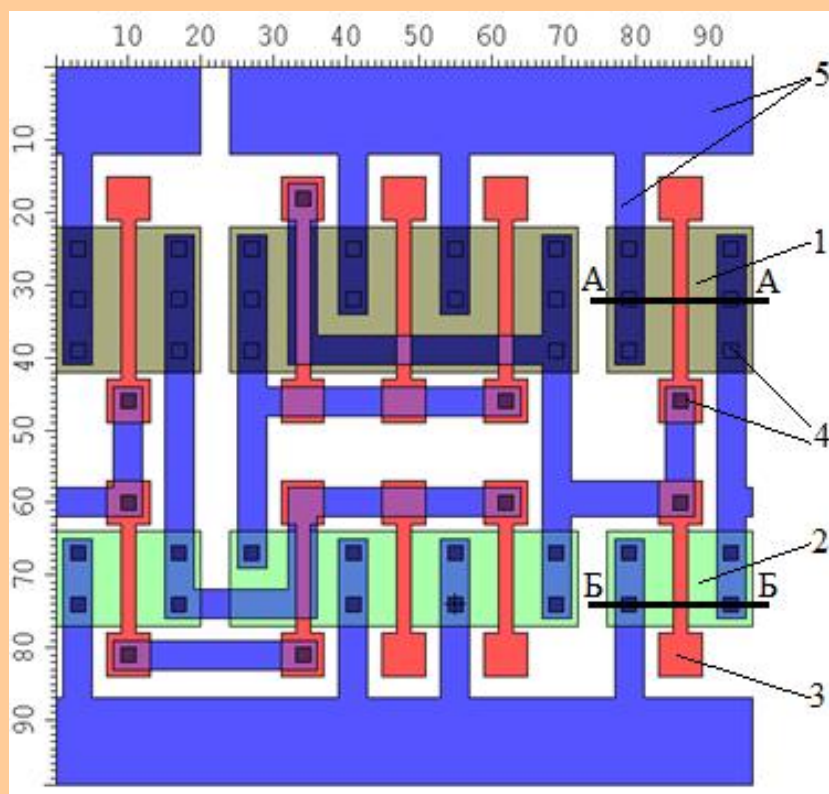


Рис. 4.12. Топологія перетворювача рівнів сигналів на основі оптимізованої базової матричної комірки зі структурою КНІ

Поперечні перерізи р- і n-канальних КНІ МОН транзисторів відповідно по лініях А-А і В-В (рис. 4.12) зображено на рис. 4.13.

На представлений топології (рис. 4.12) і поперечних перерізах активних структур р- і n-канальних КНІ МОН-транзисторів (рис. 4.13) цифрами позначено: 1 – стік-витоків області р-канальних КНІ МОН-транзисторів; 2 – стік-витоків області n-канальних КНІ МОН-транзисторів; 3 – полікремнієві затвори р- і n-канальних МОН-транзисторів; 4 – контакти; 5 – комутаційні з'єднання в шарі металізації.

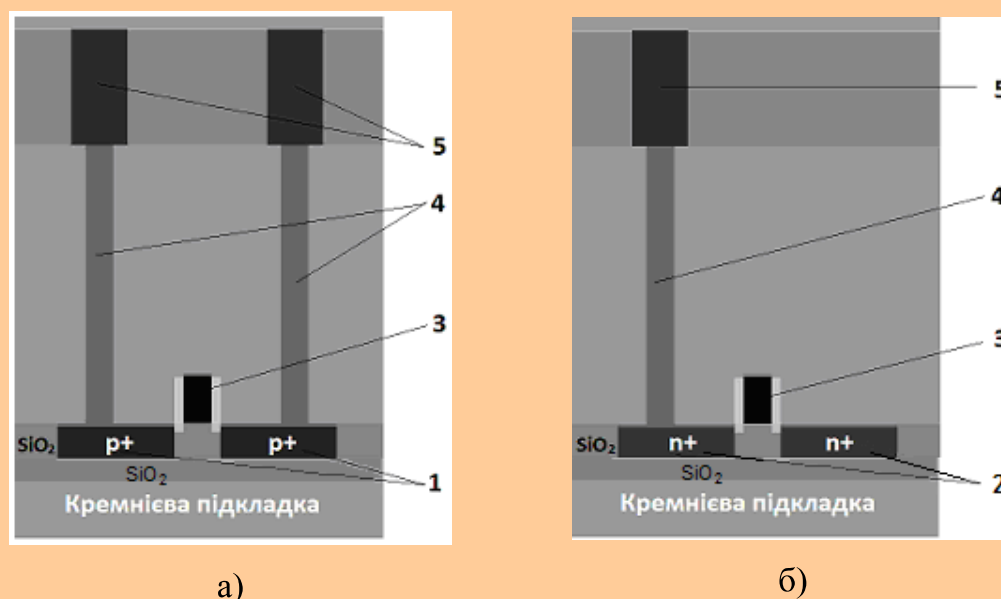


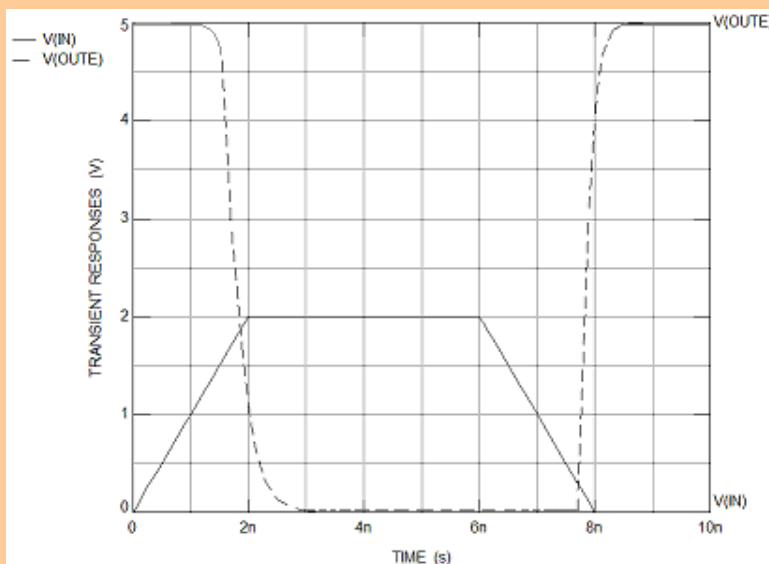
Рис. 4.13. Поперечні перерізи р- і n-канальних КНІ МОН-транзисторів по лініях відповідно: а – лінія А-А; б – лінія В-В згідно із рис. 4.12

Результати моделювання схеми електричної перетворювача рівнів відповідно до схеми рис. 4.11 з врахуванням вказаних розмірів транзисторів в САПР TopSpice зображено на рис. 4.14, а.

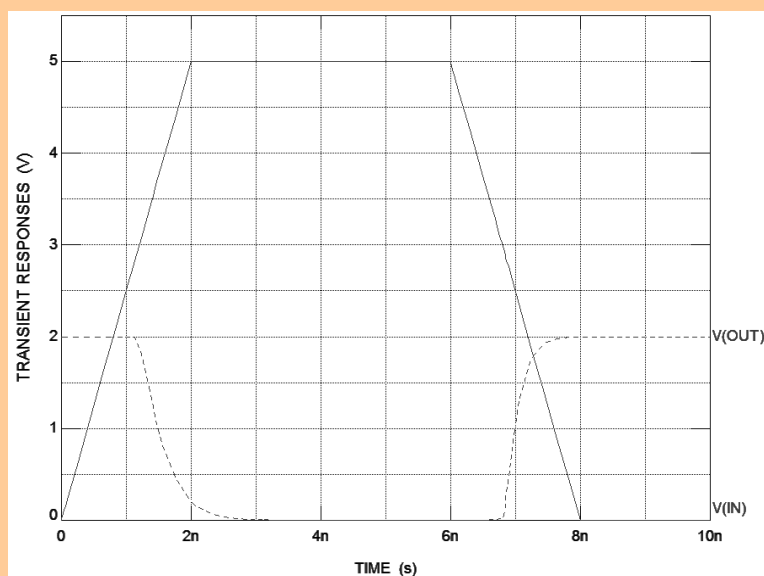
На рис. 4.14, а суцільною лінією зображено вхідний сигнал з рівнем напруги 2 В, а штрих-пунктирною – вихідний сигнал з рівнем перетвореної напруги – 5 В, показано також часові параметри імпульсів. Такий перетворювач рівнів забезпечує перетворення рівнів сигналів, а затримка вихідного сигналу відносно вхідного на рівні 0,5 амплітуди по передньому фронту становить не більше 0,8 нс для  $L=2$  мкм топологічних довжин каналів транзисторів.

Аналогічним чином було промодельовано перетворювач рівнів сигналів з високого до низького. Такі перетворювачі необхідні для зменшення амплітуди вхідних сигналів від зовнішніх вхідних інтерфейсних схем і їх наступної передачі у внутрішні елементи АМнК, які функціонують при малих напругах живлення. Результати схеми технічного моделювання такого перетворювача зображено на рис. 4.14, б. Суцільною лінією

зображено вхідний сигнал з амплітудою 5 В, а штрих-пунктирною — перетворений вихідний сигнал з амплітудою 2 В.



а)



б)

Рис. 4.14. Часова діаграма вхідного (суцільна лінія) та вихідного (пунктирна) сигналів перетворювачів рівнів з низького на високий (а) та з високого на низький

В ІС з високим рівнем інтеграції і які мають декілька напруг живлення на одному кристалі існує необхідність перетворення сигналів з менш нижчих

рівнів, наприклад із 1,2 В до 2,5 В. і подальшого використання таких перетворювачів в одній ІС або мікросистемі-на-кристалі. Для цього також було спроектовано і досліджено шляхом моделювання топологію даного перетворювача рівнів сигналу відповідно до електричної схеми рис. 4.11, але не на базовій матричній комірці, як у попередньому випадку, а на спеціалізованій топології і з меншими 180 нм проектними нормами та двома рівнями металізації для перетворення сигналів з вхідною амплітудою 1,2 В і вихідною 2,5 В. Топологію цього перетворювача зображено на рис. 4.15. Позначення р- і n-канальних транзисторів відповідають електричній схемі рис. 4.11 і є аналогічними топології рис. 4.12.

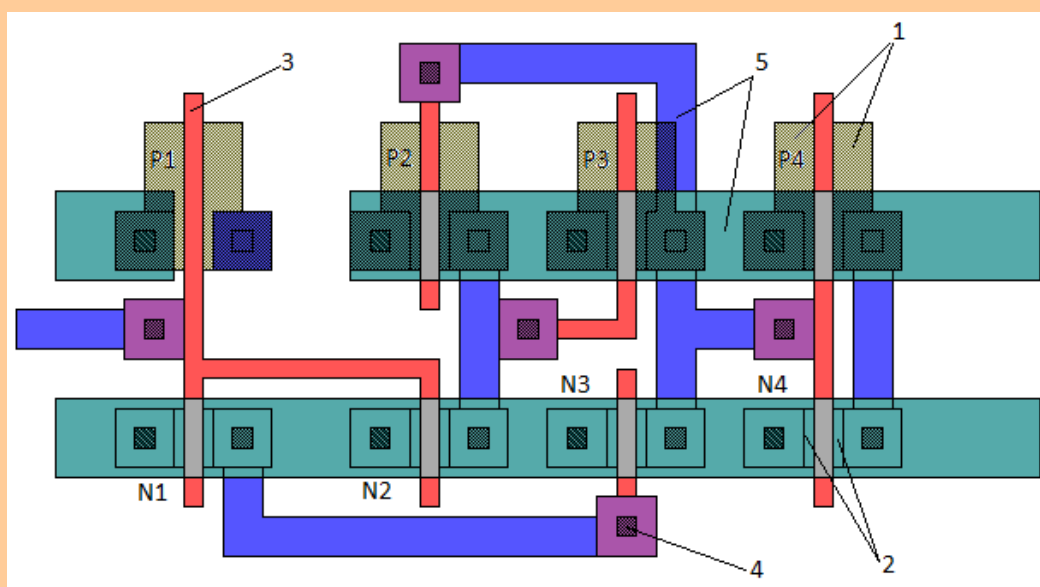


Рис. 4.15. Спеціалізована топологія перетворювача рівнів сигналів

Результати схематопологічного моделювання схеми перетворювача рівнів сигналів відповідно до схеми рис. 4.11 безпосередньо із топології з врахуванням розмірів транзисторів, впливу паразитних зв'язків та особливостей структури в САПР MicroWind3 зображено на рис. 4.16.

На рис. 4.16 суцільною лінією зображено вхідний сигнал низького рівня з амплітудою 1,2 В, а вихідний сигнал з рівнем перетвореної напруги амплітудою 2,5 В – штрих-пунктирною.



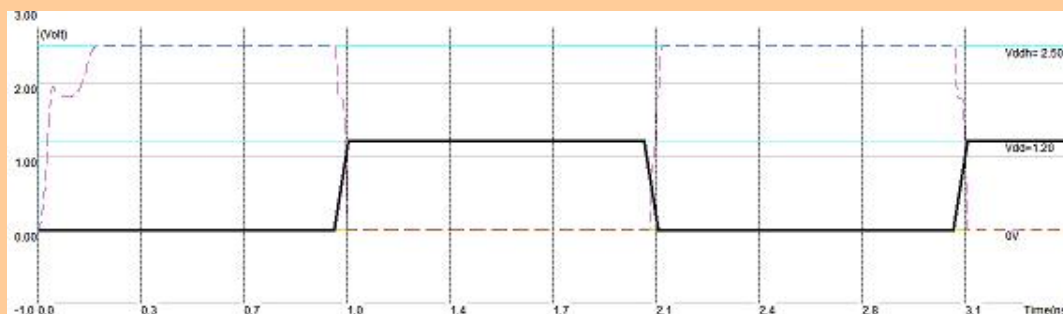


Рис. 4.16. Часова діаграма вхідного (суцільна лінія) та вихідного (пунктирна) сигналів

Такий перетворювач рівнів забезпечує добрі перетворення рівнів сигналів, а затримка вихідного сигналу відносно вхідного на рівні 0,5 амплітуди по передньому фронту становить не більше 20 пс.

Для розробленої топології було проведено моделювання впливу температури на часові затримки вихідного сигналу відносно вхідного по передньому фронту на стандартизованих рівнях 0,5 амплітуди в інтервалі температур від мінус 40 °С до +125 °С з кроком 10 °С. Результати моделювання зображено на рис. 4.17.

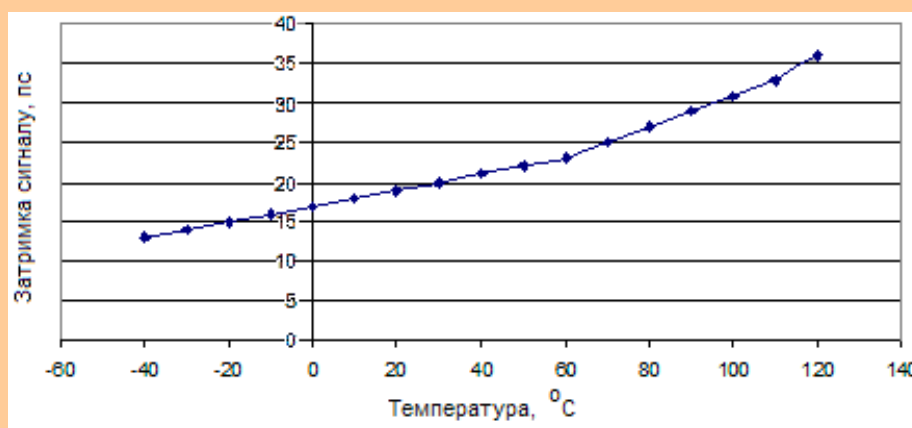


Рис. 4.17. Температурна залежність затримки вихідного сигналу відносно вхідного за переднім фронтом

Отже, результати моделювання показують, що перетворювачі рівнів на КНІ-структурах мають покращені часові та температурні характеристики, а

отримані дані можуть бути використані при проектування ІС та мікросистем-на-кристалі, зокрема аналітичних.

#### 4.5 Моделювання базових елементів операційних підсилювачів для аналітичних мікросистем-на-кристалі на основі матричних комірок

Для первинної аналогової обробки сигналів одним із базових елементів є інтегральний операційний підсилювач (ОП), який використовується для виділення та підсилення корисних сигналів, які можуть бути співрозмірними із шумовими сигналами [117]. Такий елемент являє собою схему порівняння двох сигналів та підсилення різниці їх напруг. При цьому коефіцієнт послаблення синфазних сигналів є досить великим. Схема електрична принципова базового елемента ОП в інтегральному виконанні зображена на рис. 4.18.

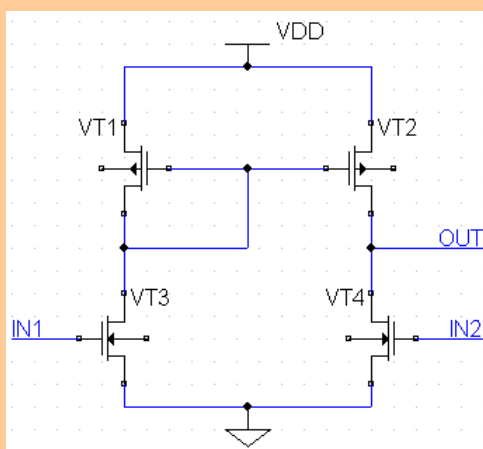


Рис. 4.18 Електрична схема інтегрального операційного підсилювача

У цій схемі р-канальні транзистори VT1 і VT2 утворюють дзеркало струму для реалізації активного навантаження ОП, а n-канальні транзистори VT3 та VT4 утворюють диференційну пару, і спроектовані за узгодженими конструктивно-технологічними параметрами. При подачі синфазного сигналу на входи IN1 та IN2, в одному з транзисторів відбувається

збільшення струму, а в іншому – зменшення на однакову величину, що приводить до відсутності сигналу на виході [126].

Спроекована топологія базового елемента диференційного підсилювача на основі фрагмента базової матричної комірки згідно схеми рис. 4.18, зображено на рис. 4.19. Було розроблено і досліджено два варіанти топологій: з використанням стандартної КМОН-технології на основі об'ємного кремнію; на основі КНІ КМОН-технології.

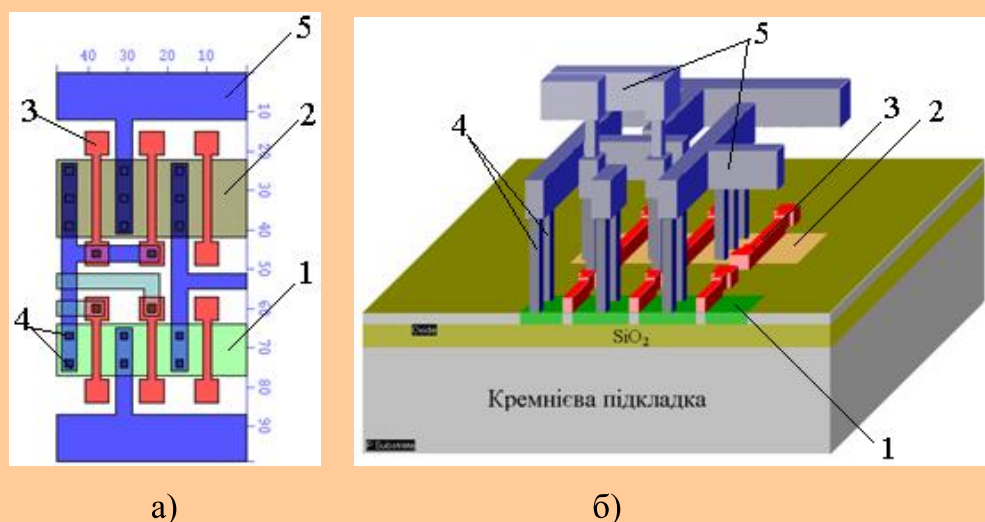


Рис. 4.19. Топологія а) та об'ємне зображення б) інтегрального ОП на основі фрагмента базової матричної комірки зі структурою «кремній-на-ізоляторі»: 1 – стік-витоківі області n-канальних транзисторів; 2 – стік-витоківі області р-канальних транзисторів; 3 – полікремнієві затвори; 4 – контактні вікна; 5 – шари металізації

Порівняльні результати схематопологічного моделювання базового елемента ОП безпосередньо із топологій, спроектованих на основі структур за стандартною об'ємною КМОН-технологією та на основі КМОН КНІ-структур, наведено на рис. 4.20. Моделювання проводили при напрузі живлення 1,5 В, вхідний сигнал IN1 являв собою змінний сигнал частотою 0,167 МГц, часом наростання та спадання 1 нс, тривалістю імпульсу 2 нс та амплітудою 0,04 В а IN2 – постійний сигнал з амплітудою 0,7 В.

Для оптимізації площі та покращення електричних і фізичних характеристик операційних підсилювачів для матричних застосувань в АМнК було проведено оцінку можливостей їх створення на основі тривимірних транзисторних КНІ-структур по аналогії їх побудови, як для тривимірних логічних елементів.

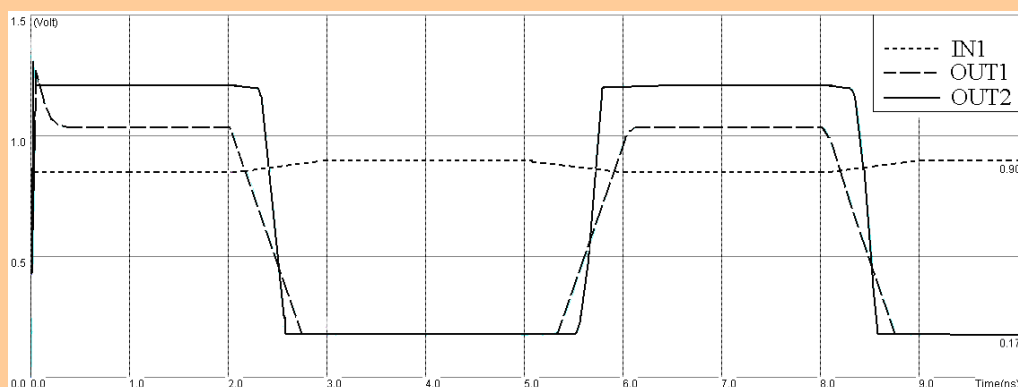


Рис. 4.20. Результати схемо-топологічного моделювання ОП: 1 – вхідний сигнал IN1; OUT1 – вихідний сигнал ОП, спроектованого за об’ємною КМОН технологією; OUT2 – вихідний сигнал ОП зі структурою КНІ

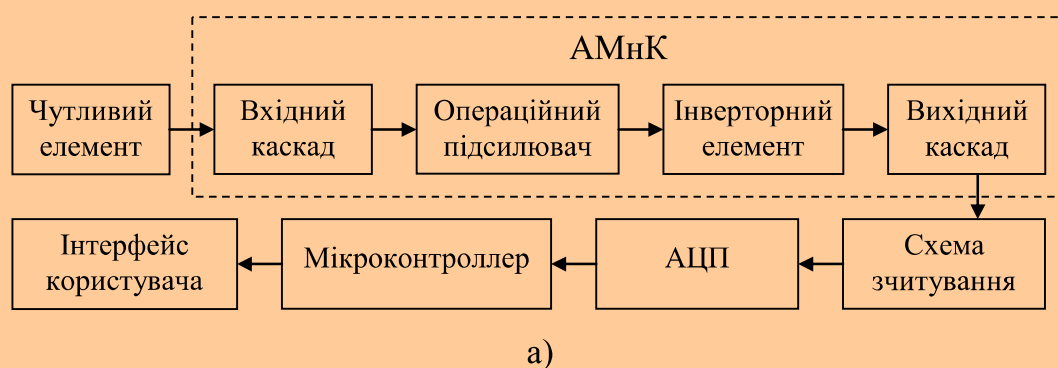
Результати схематопологічного моделювання базового елемента ОП показують, що вихідні сигнали для схеми зі структурами КНІ порівняно з об’ємними КМОН мають суттєво кращу в середньому на 30% крутизну фронтів та більший коефіцієнт підсилення, завдяки чому вихідний сигнал має рівень амплітуди на 20% вищий. Такі параметри дозволять значно зменшити споживану потужність під час перехідних процесів (менша тривалість фронтів імпульсів), і як наслідок, підвищити ступінь інтеграції елементів в АМнК. Окрім цього, реалізація ОП на основі КНІ-структур дозволить розширити температурний діапазон їх використання.

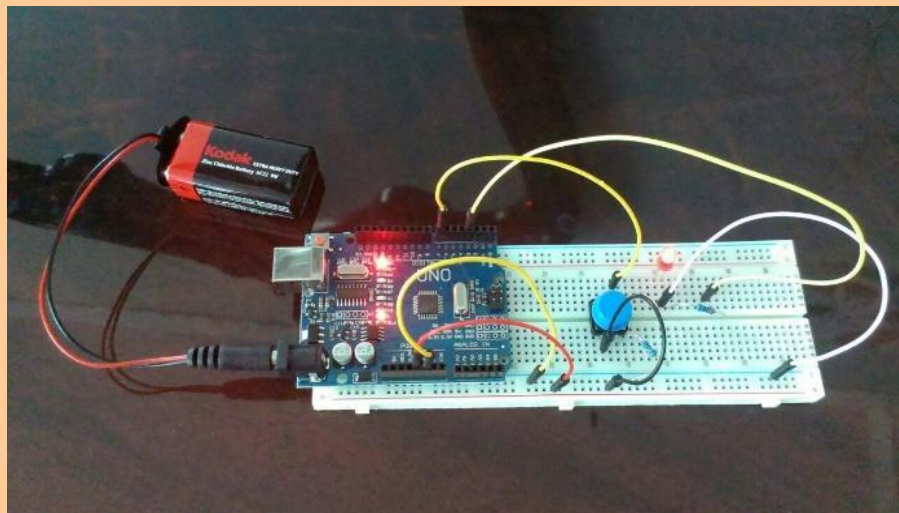
Результати проектування топології основних логічних елементів на основі базової матричної комірки зі структурою КНІ для аналітичних мікросистем-на-кристалі наведено в додатку Е.

#### 4.6. Перспективи використання аналітичної мікросистеми-на-кристалі для створення спеціалізованих сенсорних пристроїв

Важливими первинними чутливими елементами, наприклад для неінвазивних пристроїв контролю рівня глюкози в крові людини є фотодіоди і фотоприймачі, які функціонують на довжині хвилі  $\lambda=940$  нм [127]. Для зменшення похибки такого виду приладів і підвищення їх чутливості в даній роботі запропоновано використання елементів АМнК зі структурами КНІ, а саме як підсилювачі – послідовно з'єднані інвертори на КМОН КНІ-транзисторах в комбінації з розробленими операційними підсилювачами. Проведено моделювання електричних та часових характеристик розробленої схеми. Сигнал, отриманий від оптичних сенсорів – випромінюючого світлодіода та чутливого фотоелемента є імпульсним, тому важливим є також зменшення тривалості фронтів імпульсів, перед подачею їх на аналоговий вхід мікроконтроллера.

Для проектування систем неінвазивного контролю рівня глюкози в крові було розроблено відкриту програмовану апаратну платформу на основі мікроконтроллера ATmega328p, а реалізацію схем первинного опрацювання сигналів від сенсорів – на основі елементів АМнК (рис. 4.21, а). Така платформа може бути використана для роботи з різними фізичними об'єктами. Окрім цього, таку платформу було використано для проектування джерела широтно-імпульсного модульованого (ШІМ) сигналу (рис 4.21, б), що є складовою частиною для систем неінвазивного контролю рівня глюкози в крові.





б)

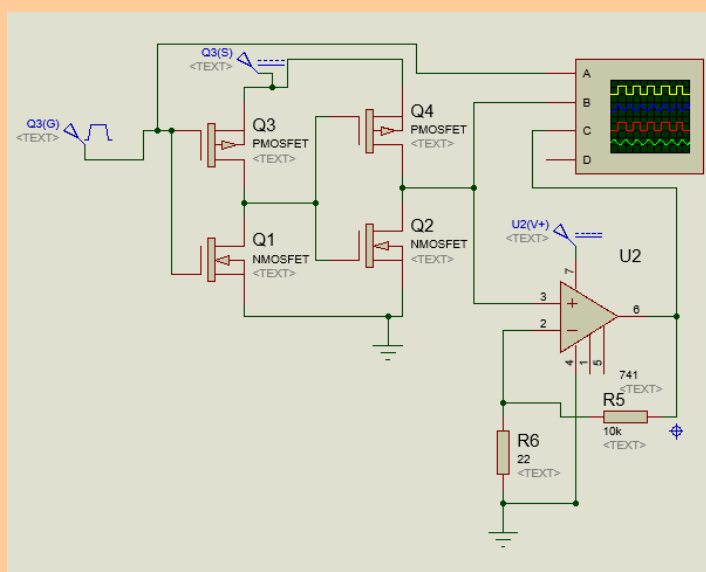
Рис. 4.21. Функціональна схема опрацювання інформації з використанням АМК та практична реалізація джерела ШІМ сигналу на Arduino UNO (б)

Висока точність є основним критерієм для роботи пристроїв вимірювання рівня глюкози в крові, особливо, при використанні неінвазивних методів. Неінвазивний метод вимірювання рівня глюкози в крові реалізується з використанням оптичних сенсорів з довжиною хвилі  $\lambda=940$  нм. Для підвищення чутливості від оптичних сенсорів приладів неінвазивного вимірювання рівня глюкози в крові запропоновано використання каскадів інверторів на КМОН КНІ-транзисторах.

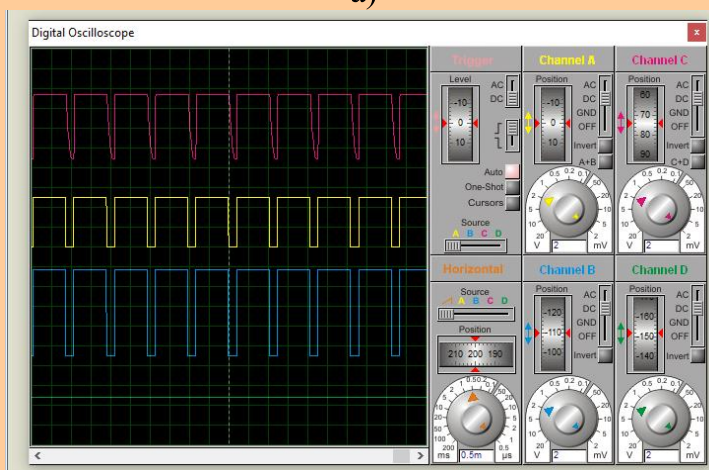
Підсилювачі сигналів на основі інверторних каскадів з КМОН КНІ-транзисторів мають високий вхідний опір, забезпечують високу крутизну фронтів, мають незначну затримку вихідного сигналу відносно вхідного, що в цілому забезпечує високий відгук оптичних сенсорів на зміни у вхідному сигналі, і відповідно, підвищення чутливості системи в цілому. Послідовне з'єднання інверторів на КМОН КНІ-транзисторах дозволяє також підвищити навантажувальну здатність. Досліджувана електрична схема на дискретних компонентах зображена на рис. 4.22, а. Результати моделювання елемента підвищення чутливості оптичних сенсорів неінвазивних приладів вимірювання рівня глюкози в крові зображено на рис. 4.22, б.



Проведено експериментальні роботи з реалізації тракту обробки і проходження сигналу на основі АМнК, що реалізована на основі матричних комірок за принципом побудови АМнК на основі КМОН КНІ-транзисторів зі структурами КНІ. Інтегральне виконання забезпечить високі чутливість, енергетичні показники та інші параметри. Запропонована схема на основі послідовно з'єднаних КМОН КНІ-інверторів, перетворювача рівнів сигналів тригерного типу, операційних підсилювачів дозволяє суттєво підвищити чутливість опрацювання сигналів, отриманих від оптичних сенсорів, що є критично важливим, при вимірюванні рівня глюкози в крові.



а)



б)

Рис. 4.22. Моделювання елемента підвищення чутливості оптичних сенсорів неінвазивних приладів вимірювання рівня глюкози в крові на основі елементів АМнК



Розроблена і промодельована схема на дискретних елементах показує також можливість її реалізації в повному інтегральному виконанні, зокрема на основі АМнК зі структурами КНІ.

#### **4.7. Висновки до четвертого розділу**

1. Розроблено структуру та спроектовано топологію аналітичної мікросистеми-на-кристалі зі структурами КНІ в центральній частині якої міститься «технологічна площадка», призначена для розміщення на ній чутливих елементів та для дослідження характеристик інтегральних некремнієвих елементів і запропоновано можливі варіанти її використання. Проведення досліджень безпосередньо за допомогою мікросистеми дозволить отримати більш достовірні результати, оскільки усуваються різноманітні паразитні ефекти, такі як опір провідників, їх індуктивності, ємності та ін.

2. Спроектовано аналогічні між собою топології вхідних каскадів аналітичної мікросистеми-на-кристалі як на основі об'ємної КМОН-структури, так і на основі КНІ-структур. Проведено їх схематопологічне моделювання. Показано, що вихідні каскади на КНІ-структурах мають меншу затримку вихідного сигналу відносно вхідного (4 пс та 7 пс відповідно) та меншу споживану потужність (6,89 мВт та 8,88 мВт відповідно) порівняно з об'ємною КМОН-технологією.

3. Розглянуто особливості схемотехнічного і топологічного проектування JK-тригера як базового цифрового елемента АМнК на основі матричної комірки та проведено моделювання його електричних, часових та температурних характеристик. Встановлено, що JK-тригерний елемент на основі КМОН КНІ-структур має кращу в 1,4 рази швидкодію та в 1,5 рази меншу споживану потужність порівняно з аналогічним на основі об'ємних КМОН структур.

4. Спроектовано і досліджено схемотопологічним моделюванням безпосередньо з топології та врахуванням паразитних впливів перетворювачі рівнів сигналів на транзисторах з КНІ-структурою та на об'ємних МОН-транзисторах. Показано, що перетворювачі рівнів на КНІ-структурах мають кращу швидкодію та нижчу споживану потужність. Проведено моделювання впливу температури на часові затримки вихідного сигналу відносно вхідного по передньому фронту на стандартизованих рівнях 0,5 амплітуди і інтервалі від мінус 40 °С до + 125 °С та показано, що затримка сигналу перетворювачів рівнів на КНІ-структурах є стабільною при значних коливаннях температури.

5. Спроектовано топології базового елемента операційного підсилювача на основі об'ємних КМОН-структур та на основі оптимізованої базової матричної комірки зі структурою КНІ та проведено їх моделювання безпосередньо із топології. Такі елементи складають основу для побудови аналогових схем опрацювання інформації в АМнК. Показано, що вихідні сигнали для схеми зі структурами КНІ порівняно з об'ємними КМОН мають суттєво кращу, в середньому на 30% крутизну фронтів та більший коефіцієнт підсилення, завдяки чому вихідний сигнал має рівень амплітуди на 20% вищий, а проектування їх на основі розробленої матричної комірки дозволяє зменшити займану площу на кристалі.

6. Показано можливість реалізації на основі АМнК зі структурами КНІ спеціалізованих сенсорних пристроїв, зокрема їх використання для систем неінвазивного контролю рівня глюкози в крові людини.

**КОГУТ І.Т.**

## **ДОСЛІДЖЕННЯ І ПРОЕКТУВАННЯ ЕЛЕМЕНТНОЇ БАЗИ ІС.КОМП'ЮТЕРНЕ МОДЕЛЮВАННЯ**

### **ЛЕКЦІЯ 8. Схемотопологічне проектування і моделювання елементної бази ІС в середовищі MicroWind 3.**

#### **План лекції:**

- 1.Проектування і схематопологічні дослідження кільцевих генераторів зі структурами КНІ для оцінки параметрів елементів.**
- 2. Моделювання електричних та часових параметрів елементів схем захисту та входних каскадів для аналітичних мікросистем-на-кристалі на основі елементної бази БМК**
- 3. Розроблення і моделювання електричних, часових температурних та енергетичних характеристик КНІ КМОН JK-тригерного елементу в середовищі Microwind.**
- 4. Розроблення і моделювання перетворювачів рівнів сигналів на основі базових матричних комірок**
- 5. Моделювання базових елементів операційних підсилювачів для основі матричних комірок**

#### **1.Проектування і схематопологічні дослідження кільцевих генераторів зі структурами КНІ для оцінки параметрів елементів.**

В якості джерела тактового сигналу для інтегральних схем і мікросистем-на-кристалі, в тому числі аналітичних,(АМнК) використовуються генератори імпульсів, зокрема кільцевий генератор, що являє собою простий коливальний контур, робота якого ґрунтується на основі затримки перемикачання між входом і виходом інвертора. Окрім цього, кільцеві генератори є добрим об'єктом для оцінки параметрів елементної бази з новими і малодослідженими технологіями. Тому були розроблені електрична схема, топологія та проведено схематопологічне моделювання кільцевих генератора, що складаються з непарної кількості інверторів. Такі генератори не потребують зовнішніх часозадаючих схем, частота їх коливань залежить від кількості каскадів і їх часу затримки та прикладеної напруги живлення.

Структурна та електрична схеми кільцевого генератора, що складається з п'ятих з'єднаних між собою інверторів зображено на рис. 3.21.

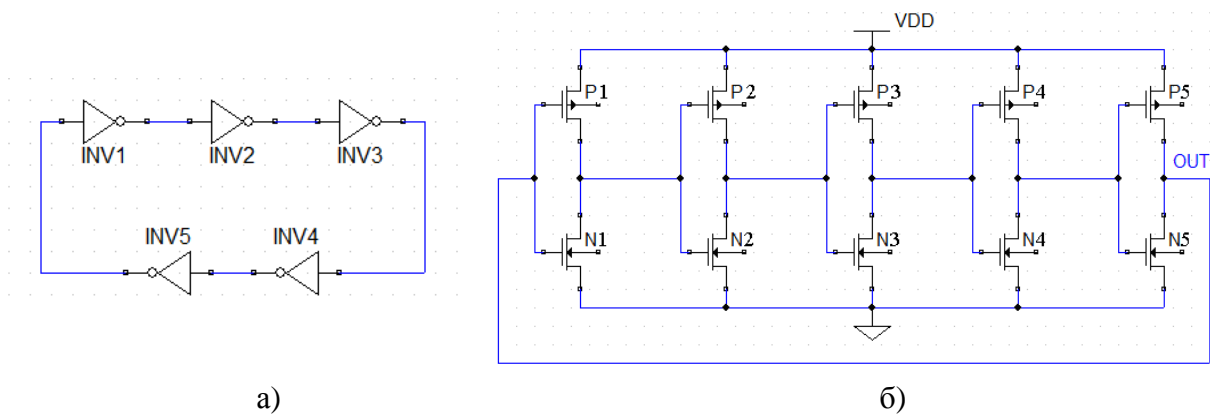


Рис. 3.21. Структурна (а) та електрична (б) схеми кільцевого генератора що складається з п'ятих інверторів

Для дослідження характеристик кільцевого генератора безпосередньо із топології, було розроблено спеціалізовану топологію з використанням об'ємних КМОН транзисторів, та топологію на основі розробленої базової матричної комірки зі структурою КНІ. Ширини каналів для п-канальних транзисторів становлять 10 мкм, для р-канальних – 20 мкм, довжини каналів для обох типів транзисторів – 2 мкм.

Спеціалізовану топологію кільцевого генератора, розроблену на основі об'ємної технології КМОН, зображено на рис. 3.22.

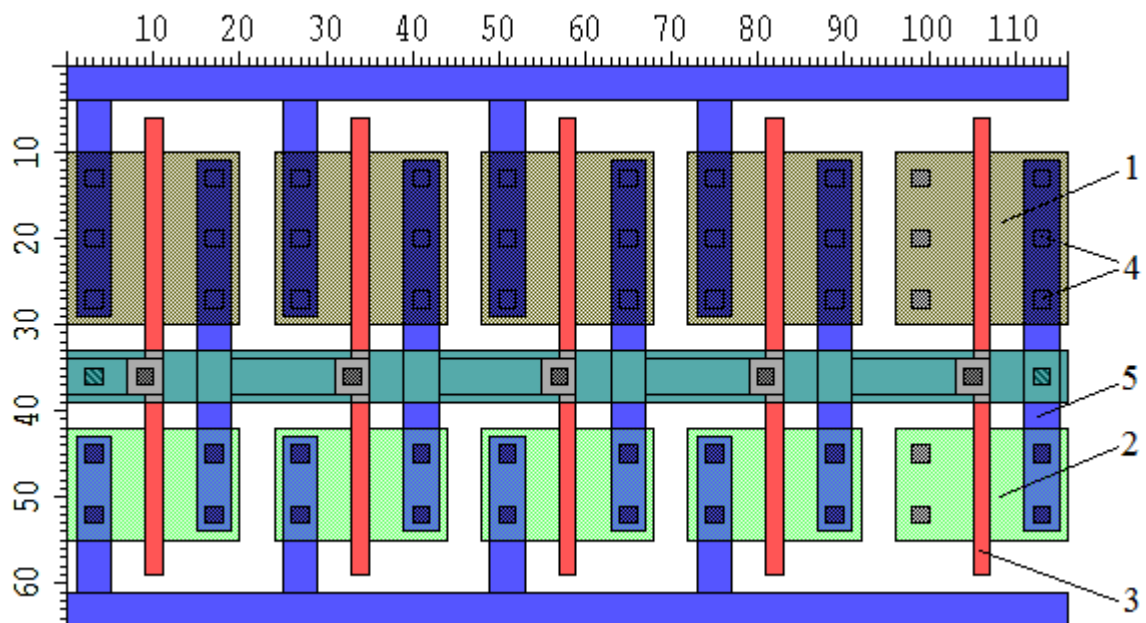


Рис. 3.22. Спеціалізована топологія кільцевого генератора: 1 – стік-витоківі області р-канальних МОН-транзисторів; 2 – стік-витоківі області п-канальних МОН транзисторів; 3 – полікремнієві затвори р- і п-канальних МОН-транзисторів; 4 – контакти; 5 – комутаційні з'єднання в шарі металізації

Результати схематопологічного моделювання кільцевого генератора відповідно до топології рис. 3.22 при напрузі живлення 2,5 В зображено на рис. 3.23.

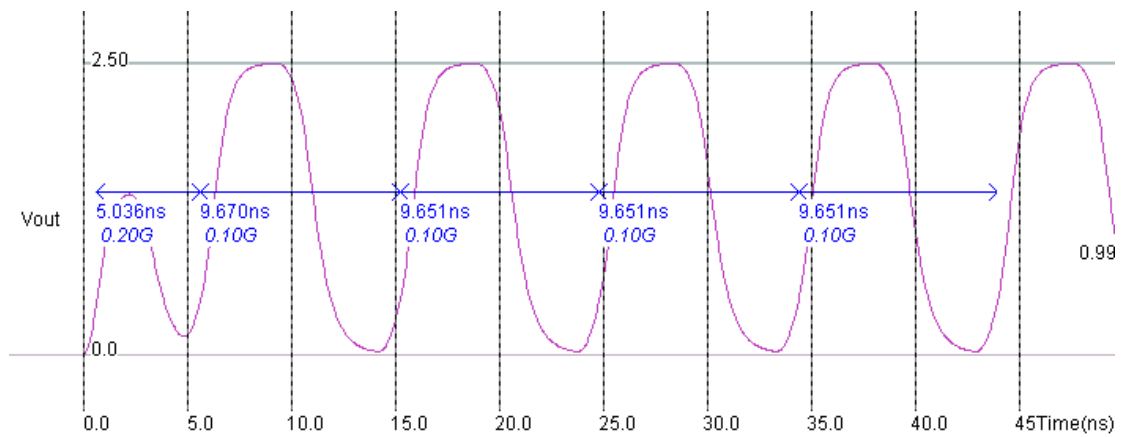
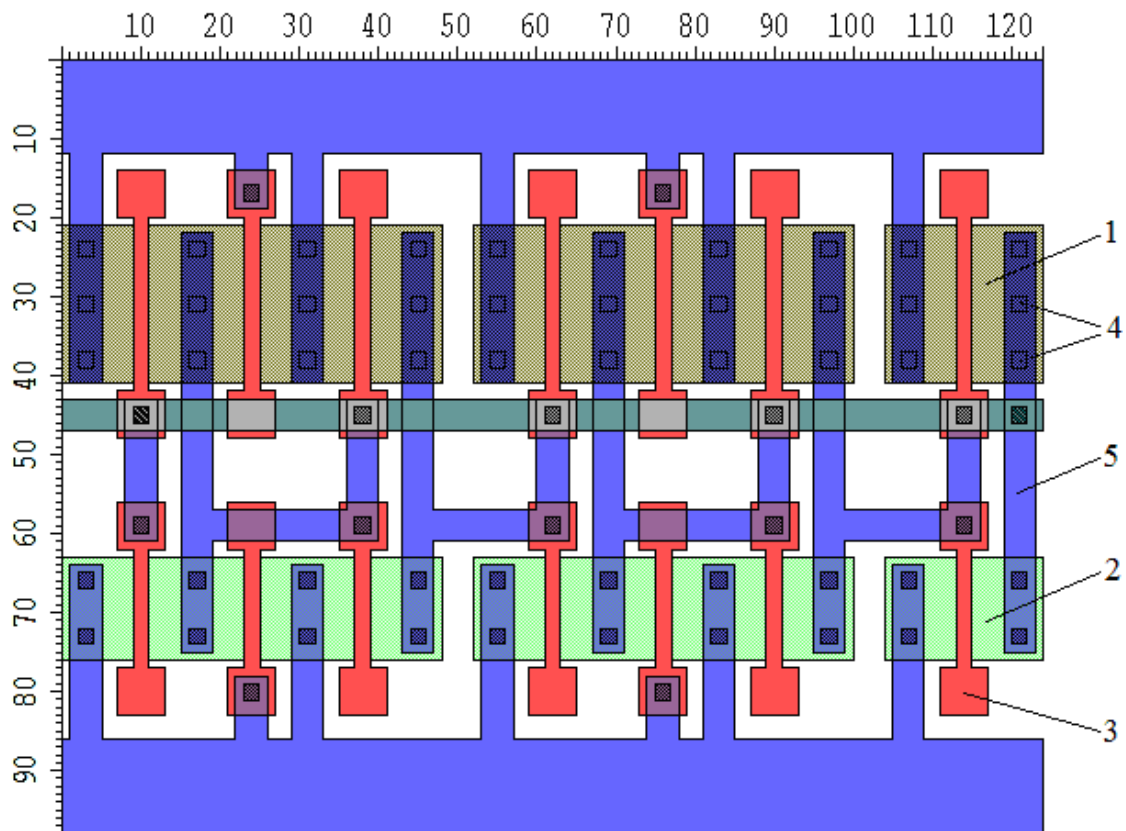
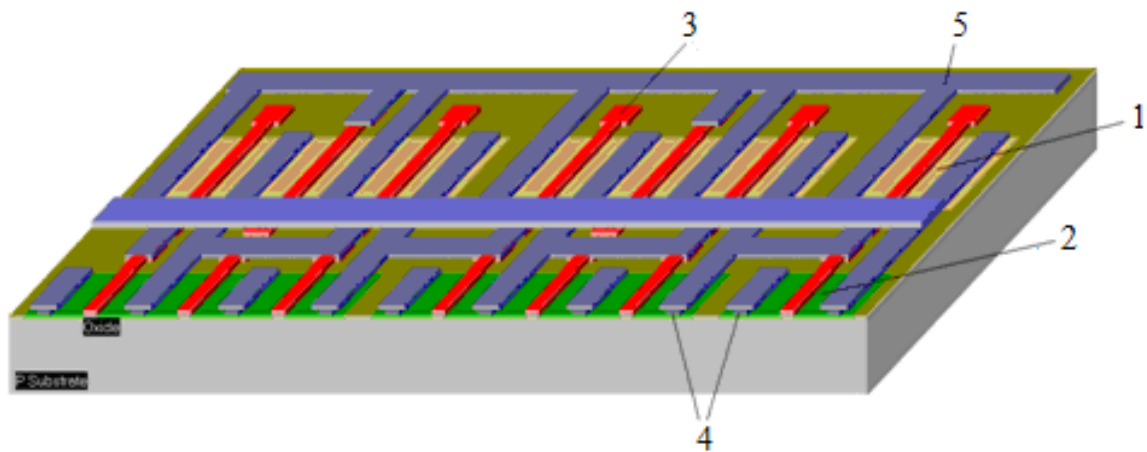


Рис 3.23. Результати схематопологічного моделювання кільцевого генератора на основі об'ємної КМОН технології

Робоча частота досліджуваного генератора становить близько 100 МГц, а його споживана потужність – 3,773 мВт. Топологію кільцевого генератора зі структурою КНІ на основі розробленої матричної комірки та його тривимірне представлення зображено на рис. 3.24.



a)



б)

Рис. 3.24. Кільцевий генератор на основі розробленої матричної комірки зі структурою КНІ: а – топологія; б – тривимірне зображення

Позначення на даній топології аналогічні топології рис. 3.22. Результати схематопологічного моделювання цієї структури при напрузі живлення 2,5 В зображено на рис. 3.25.

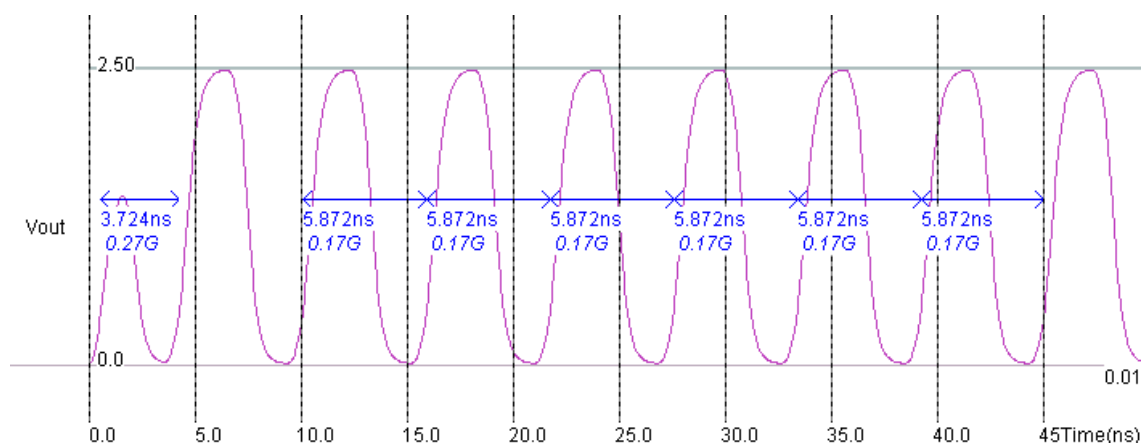


Рис. 3.25. Результати схематопологічного моделювання кільцевого генератора на основі матричної комірки зі структурою КНІ

Частота генерації у цьому випадку становить 170 МГц. Збільшення частоти при одній і тій же напрузі живлення для кільцевого генератора в другому випадку відбувається через зменшену паразитну ємність в КНІ КМОН елементах. Шляхом зміни напруги живлення було встановлено, що частота 100 МГц, що властива для кільцевого генератора, спроектованого на об'ємній КМОН технології у випадку використання КНІ-структур досягається при напрузі живлення 1,25 В. Споживана потужність при цьому складає 0,413 мВт, що в 7,5 раз менше порівняно з об'ємними КМОН структурами.

Також було досліджено вплив товщини оксиду під затвором на частотні характеристики кільцевих генераторів. Залежність частоти п'ятикаскадного кільцевого генератора відповідно до схеми рис. 3.21, б зі структурою КНІ зображено на рис. 3.26.

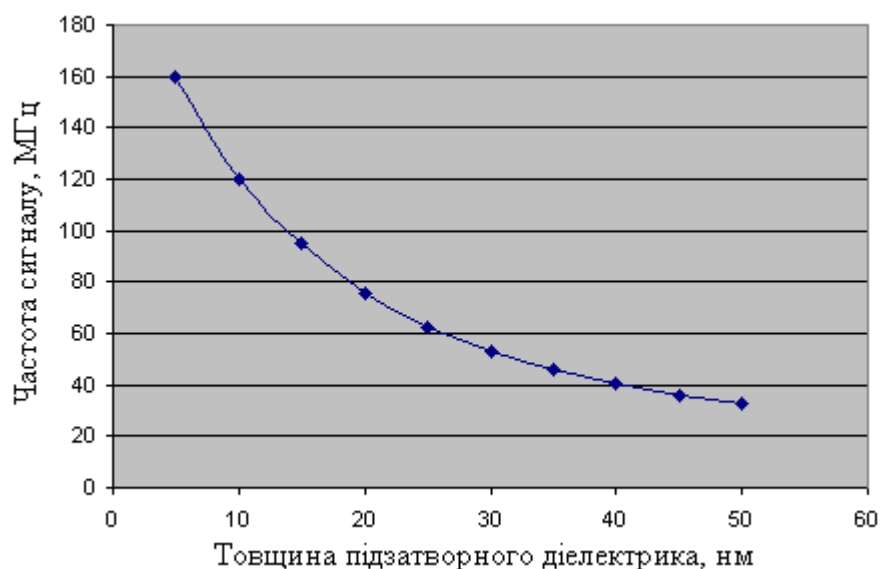


Рис. 3.26 Залежність частоти кільцевого генератора від товщини підзатворного діелектрика

З результатів моделювання видно, що при збільшенні товщини оксиду під затвором від 5 нм до 50 нм, часто генерації кільцевого генератора зменшується від 160 МГц до 32,7 МГц.

Для оцінки впливу кількості каскадів на робочу частоту було також досліджено кільцеві генератори від трьох до п'ятнадцяти послідовно з'єднаних інверторів [117]. Результати моделювань кільцевих генераторів подано в табл. 3.2.

Таблиця 3.2

Результати моделювань кільцевих генераторів з різною кількістю послідовно-з'єднаних каскадів

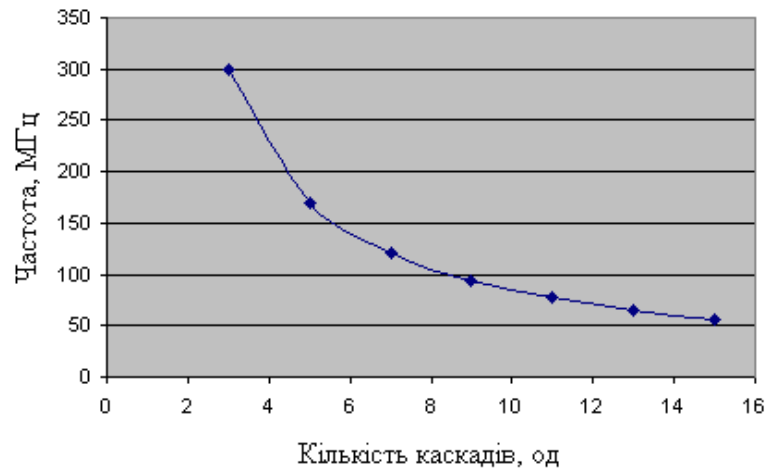
Кількість каскадів	Частота, МГц	Споживана потужність, мВт
3	300,00	3,025
5	170,00	3,149
7	120,00	3,229
9	94,05	3,350
11	76,88	3,483
13	65,02	3,644
15	56,30	3,790

Залежність частоти генерованих сигналів та споживаної потужності від кількості каскадів зображено на рис. 3.27.

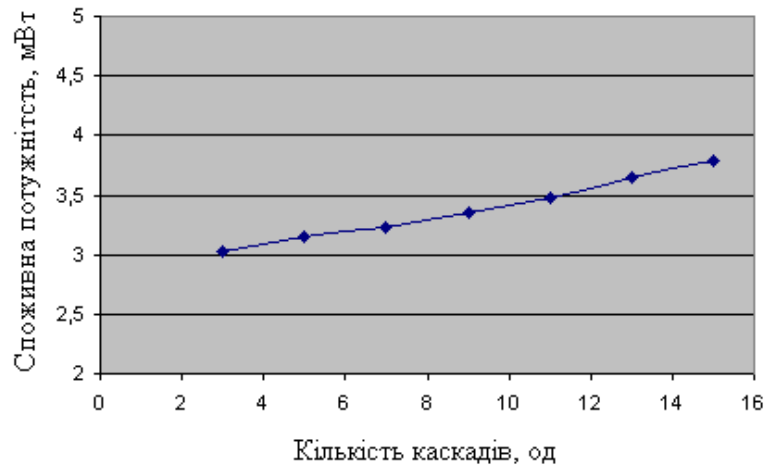
З таблиці 3.2 та залежностей (рис. 3.27) видно що при збільшенні кількості каскадів, частота генерованого сигналу зменшується. Це пов'язано з сумуванням затримок окремих каскадів.



Окрім цього, при збільшенні кількості каскадів, генерований сигнал змінює свою форму з синусоїдального до прямокутних імпульсів.



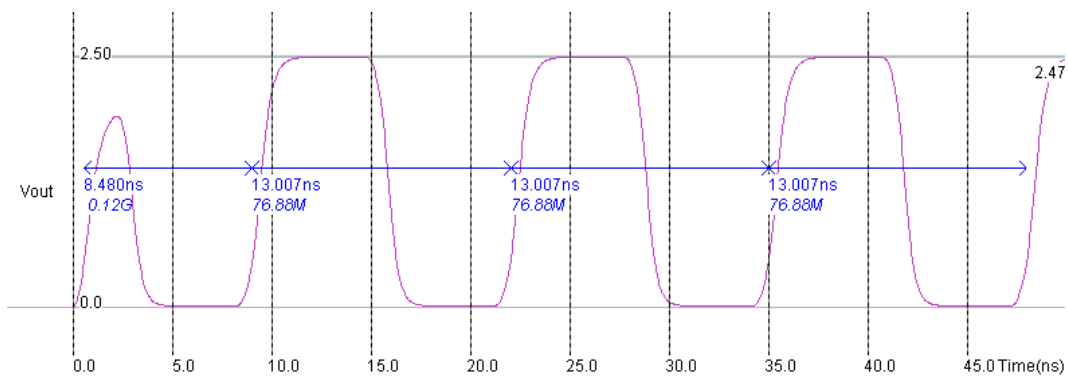
а)



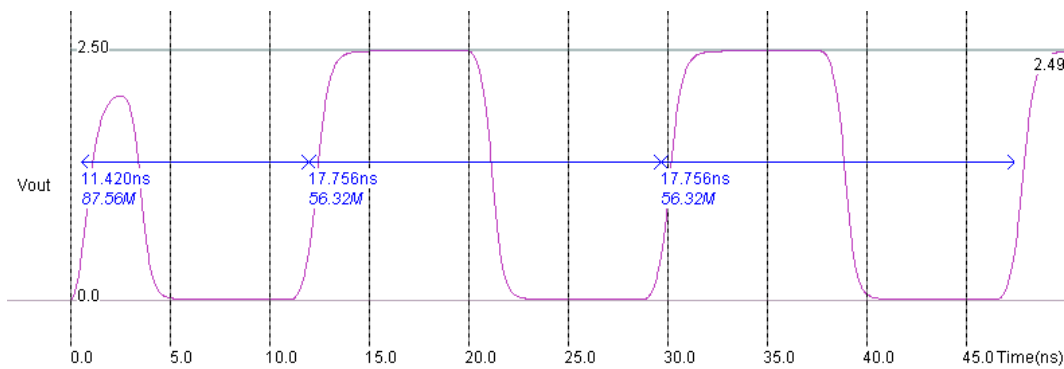
б)

Рис. 3.27. Залежність частоти (а) та споживаної потужності від кількості каскадів кільцевого генератора

Результати схематологічного моделювання кільцевого генератора, що складається з одинадцяти і п'ятнадцяти послідовно з'єднаних інверторів зображено на рис. 3.28.



а)



б)

Рис. 3.28. Результати схематопологічного моделювання кільцевого генераторів, що складаються з одинадцяти (а) і п'ятнадцяти каскадів (б)

Схеми з топологічними розмірами для n-канальних транзисторів  $W=10$  мкм,  $L=2$  мкм та р-канальних  $W=20$  мкм,  $L=2$  мкм мають обмеження по частоті сигналів і придатні для мегагерцового діапазону та напруги живлення не менше 2,5 В.

Дослідженням частотних параметрів показано, що зменшення топологічних розмірів з однаковим співвідношенням  $W/L$  n-канальних та р-канальних транзисторів до  $L=0,8$  мкм дозволяють проектувати схеми, що працюють в гігагерцовому діапазоні, зменшити напругу живлення та підвищити ступінь інтеграції. Залежність частоти кільцевого генератора від довжини каналу показано на рис. 3.29.

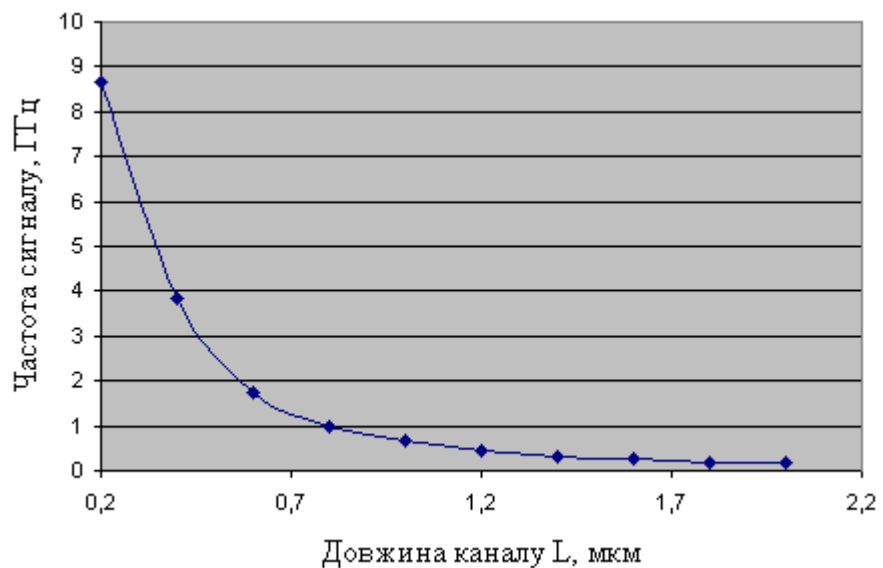
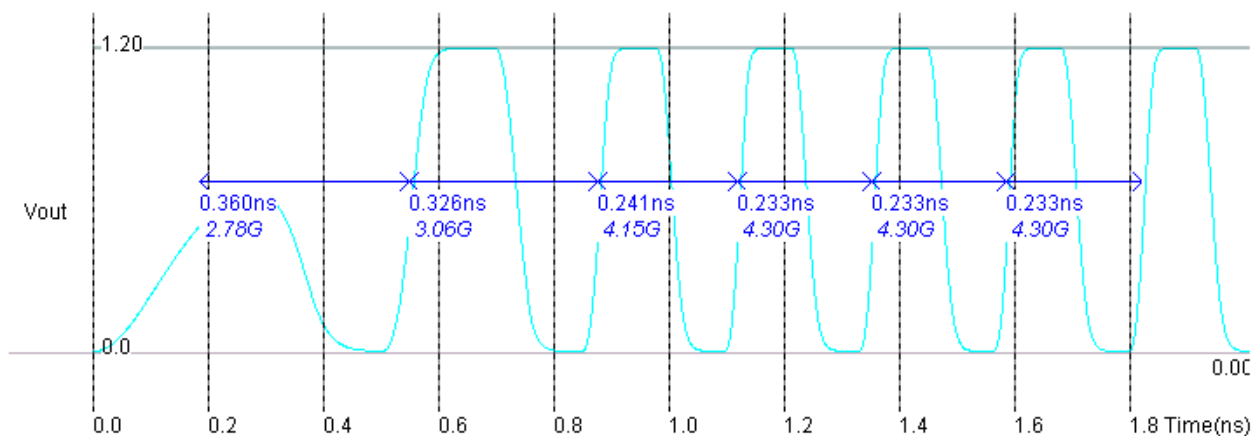


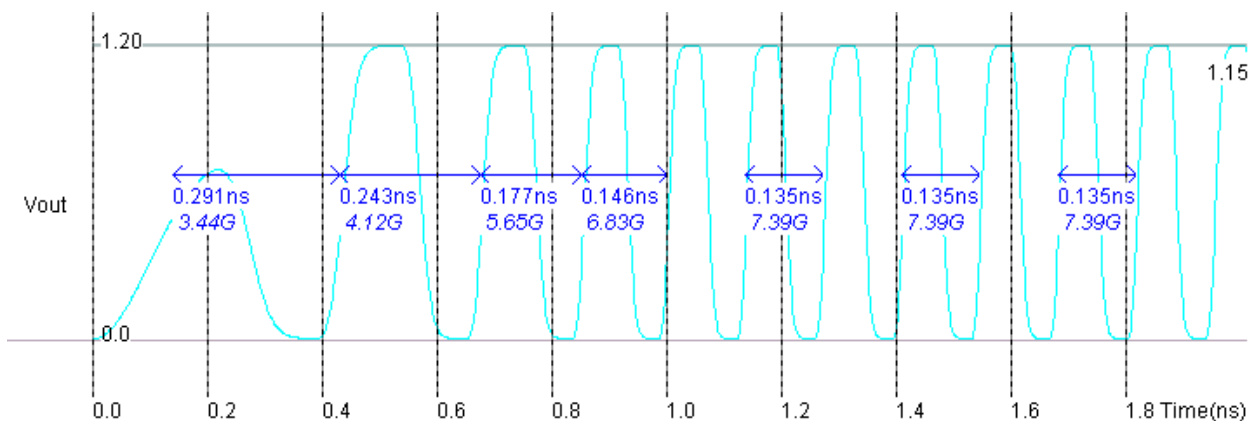
Рис. 3.29. Залежність частоти сигналу кільцевого генератора від довжини каналу

Результати моделювання кільцевих генераторів зі структурами КМОН КНІ та КМОН на основі об'ємного кремнію з топологічними розмірами  $W=1$  мкм,  $L=0,2$  мкм для n-канальних,  $W=2$  мкм,  $L=0,2$  мкм для р-канальних та зменшеній напрузі живлення до 1,2 В показано на рис. 3.30.

Для кільцевого генератора на основі об'ємних КМОН структур частота генерації становить 4,3 ГГц, а на основі КМОН КНІ-структур – близько 7,39 ГГц.



a)



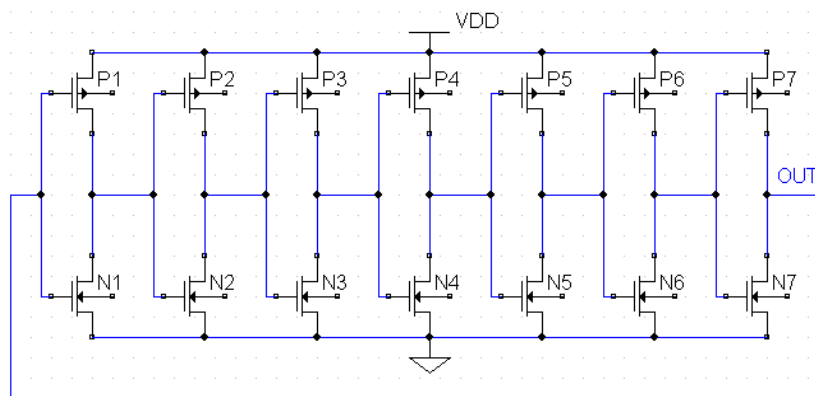
б)

Рис. 3.30. Результати схематопологічного моделювання кільцевого генератора на основі матричної комірки для об'ємної КМОН-технології (а) та КМОН КНІ-технології (б)

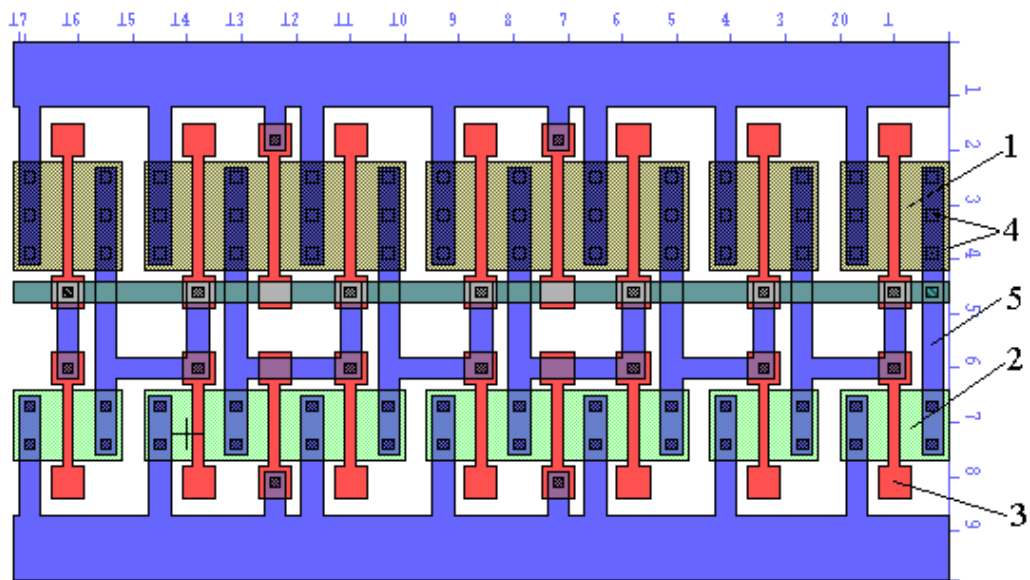
Шляхом зміни напруги живлення було встановлено, що частота 4,3 ГГц, що властива для кільцевого генератора, спроектованого на об'ємній КМОН технології у випадку використання КНІ-структур досягається при напрузі живлення 0,83 В.

Для оцінки впливу кількості каскадів на робочу частоту було також досліджено кільцевий генератор, що складається з семи послідовно з'єднаних інверторів (рис. 3.31).

Позначення на даній топології аналогічні топології рис. 3.22.



a)

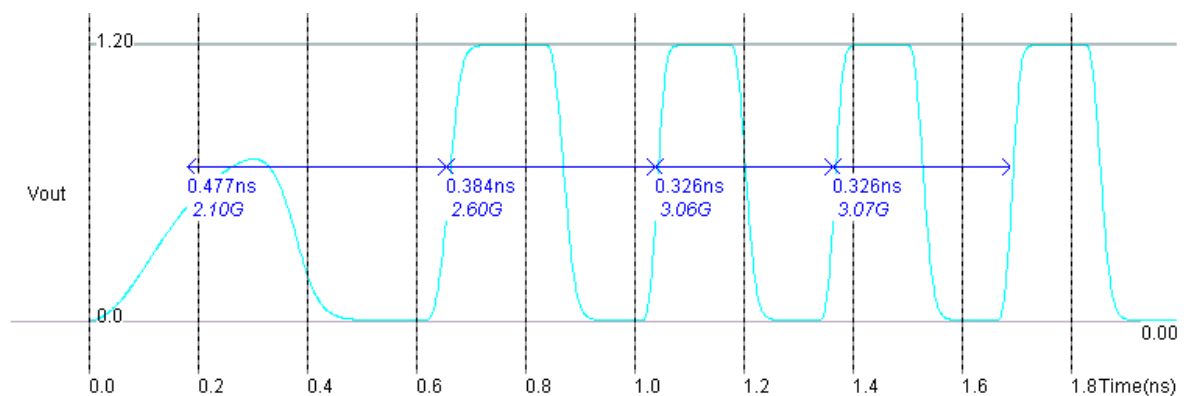


б)

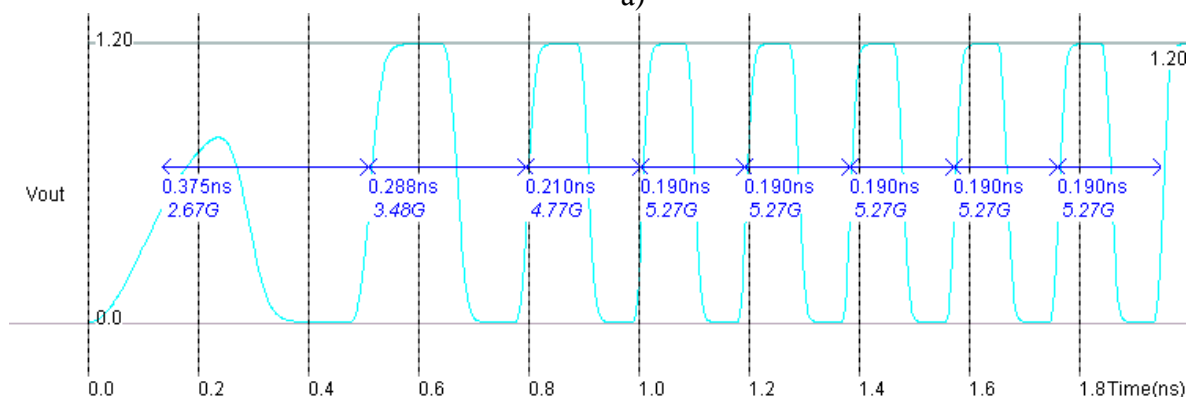
Рис. 3.31. Електрична схема (а) та топологія (б) кільцевого генератора що складається з семи інверторів

Результати схематопологічного моделювання даних приладів при напрузі живлення 1,2 В зображено на рис. 3.32.

Робоча частота досліджуваного генератора на основі об'ємної КМОН технології становить близько 3,07 ГГц, а його споживана потужність – 0,234 мВт. Частота генерації у випадку використання транзисторів зі структурами КНІ становить 5,27 ГГц. Шляхом зміни напруги живлення було встановлено, що частота 3,07 ГГц, що властива для кільцевого генератора, спроектованого на об'ємній КМОН технології у випадку використання КНІ-структур досягається при напрузі живлення 0,83 В.



а)



б)

Рис. 3.32. Результати схемотопологічного моделювання кільцевого генератора на основі матричної комірки: а – на основі об’ємної КМОН структури; б – зі структурою КНІ

Споживана потужність при цьому складає 0,089 мВт, що майже в 3 рази менше порівняно з об’ємними КМОН структурами. Порівняльні характеристики п’яти- і семикаскадних кільцевих генераторів з меншими геометричними розмірами та напругою живлення 1,2 В наведено в табл. 3.3.

Таблиця 3.3

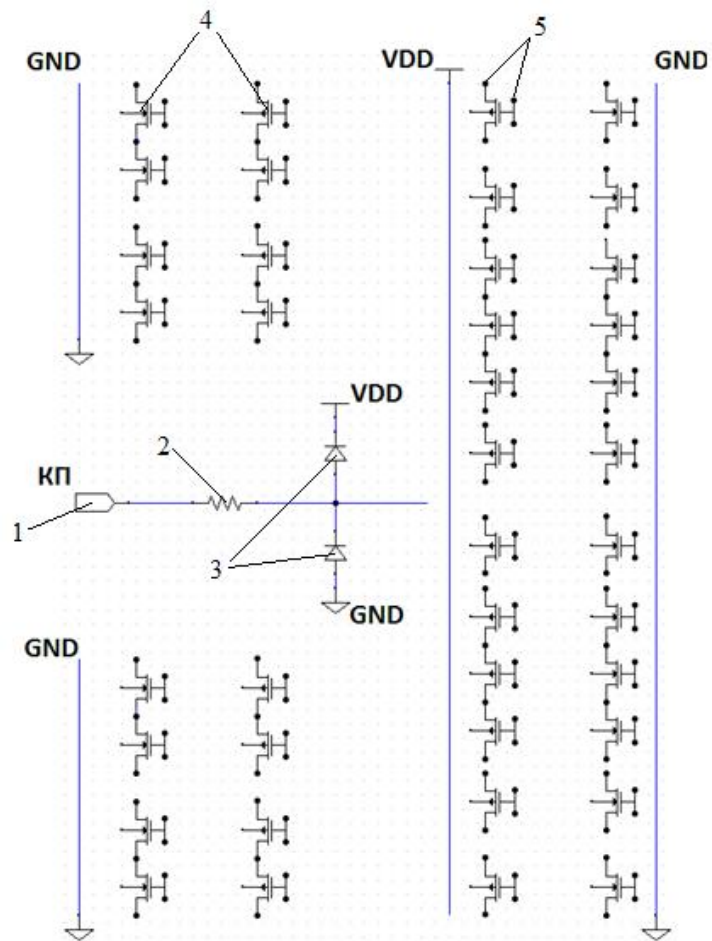
Порівняльні характеристики 5- і 7-каскадних кільцевих генераторів

Кількість каскадів	5		7	
Технологія	Об’ємна	КНІ	Об’ємна	КНІ
Робоча частота, ГГц	4,3	7,39	3,07	5,27

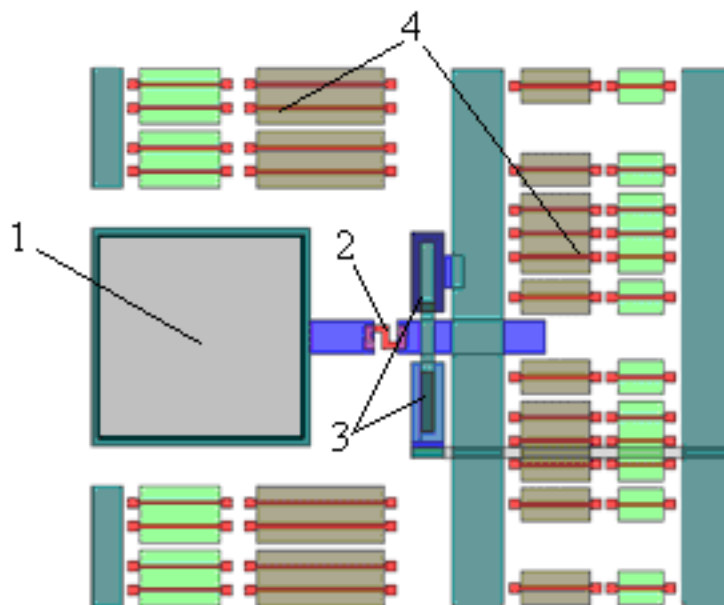
## 2. Моделювання електричних та часових параметрів елементів схем захисту та вхідних каскадів для аналітичних мікросистем-на-кристалі на основі елементної бази БМК

Для захисту КМОН КНІ транзисторних елементів вхідних каскадів від перепадів зовнішніх напруг та статичної електрики використовуються схеми захисту, що складаються з полікремнієвого резистора та двох діодів, один з яких обмежує негативну напругу, інший позитивну [116].

Розроблено схему електричну та топологію матричної комірки для проектування зовнішніх вхідних/вихідних каскадів АМК. Ця комірка містить контактну площадку, р- і n-канальні КМОН КНІ-транзистори і схеми захисту вхідних каскадів від перепадів зовнішніх напруг і статичної електрики (рис. 4.4).



а)



б)

Рис. 4.4. Електрична схема (а) і топологія (б) зовнішньої матричної комірки АМНК:  
 1 - контактна площа; 2 – полікремнієвий резистор;  
 3 – захисні діоди; 4 – елементи матричних комірок; 5 – комутаційні зв'язки для програмованих шарів 2-х рівнів металізації і 2-х рівнів контактних вікон

Для дослідження часових характеристик проходження сигналу, що подається на контактну площадку, через схеми захисту, було спроектовано аналогічні між собою схеми на основі об'ємної КМОН структури та на структурі КНІ. Моделювання проводилось безпосередньо із топології з врахуванням розмірів елементів і паразитних зв'язків.

На вхід контактної площадки подавався синусоїдальний сигнал частотою 1 ГГц та амплітудою 10 В. Напруга живлення 5 В. Моделюванням встановлено, що у випадку використання об'ємної КМОН технології затримка по передньому фронту сигналу між входом і виходом становить 7 пс. Максимальний струм при цьому 1,19 мА, споживана потужність діодів – 8,88 мВт (рис. 4.5).

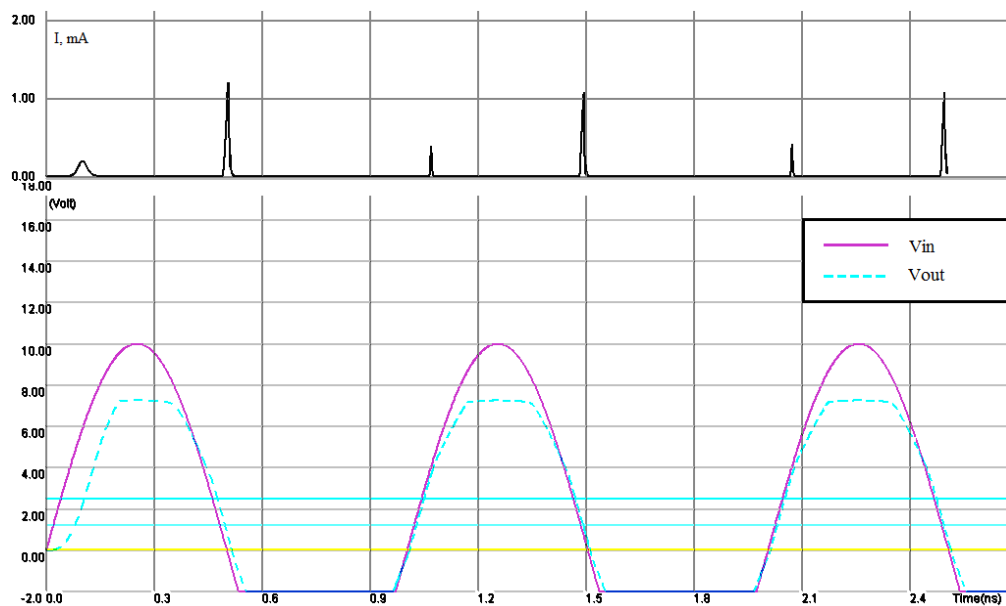


Рис. 4.5. Результати моделювання проходження сигналу через контактну площадку та схеми захисту, спроектованих на основі об'ємних МОН-транзисторів

При використанні КНІ-структур, час затримки сигналу становить 4 пс, максимальний струм 0,54 мА, споживана потужність – 6,89 мВт (рис. 4.6).



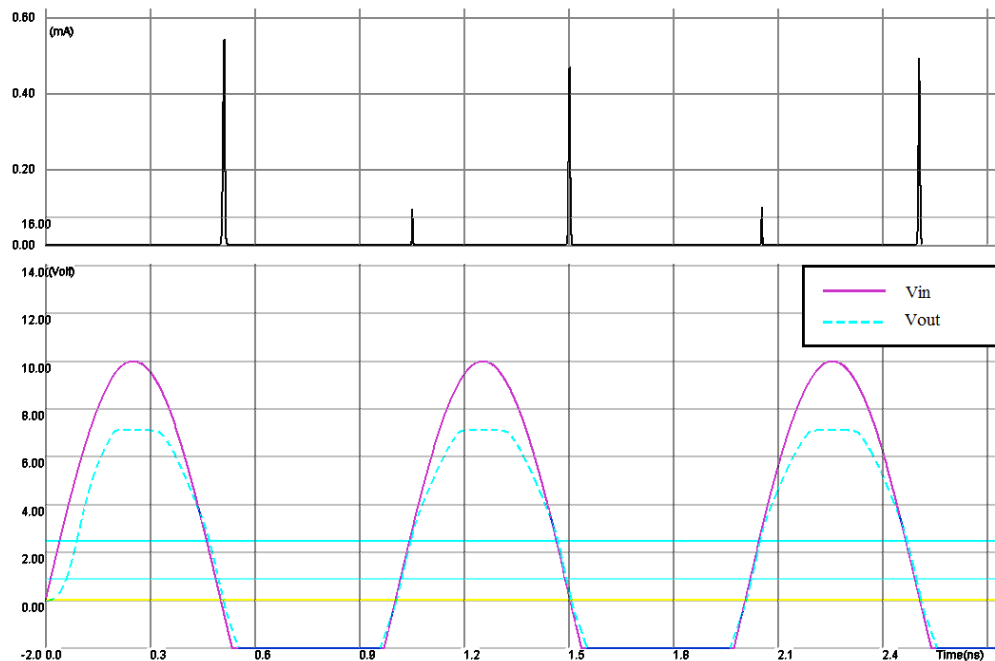


Рис. 4.6. Результати моделювання проходження сигналу через контактну площадку та схеми захисту, спроектованих на основі КНІ-структур

Результати моделювання проходження сигналу через контактні площадки та схеми захисту показують, що вихідні каскади на КНІ-структурах мають майже в 2 рази меншу затримку вихідного сигналу відносно вхідного та меншу на 20% споживану потужність порівняно з об'ємною КМОН-технологією.

### 3. Розроблення і моделювання електричних, часових температурних та енергетичних характеристик КНІ КМОН JK-тригерного елементу в середовищі Microwind.

Для оцінки роботи цифрових елементів, як складових аналітичних мікросистем-на-кристалі зі структурою КНІ, було розглянуто особливості схемотехнічного і топологічного проектування JK-тригера на основі матричної комірки та проведено моделювання його електричних, часових, температурних та енергетичних характеристик. Цей тип тригера було обрано тому, що він належить до розряду універсальних тригерів, і на його основі можна отримати тригери RS-, D- і T-типу та інші, а також будувати більш складні схеми цифрової обробки

Електрична схема досліджуваного JK-тригера на основі логічних елементів I-NE зображено на рис. 4.7.

Для дослідження характеристик JK-тригера з врахуванням паразитних зв'язків і особливостей топології відповідно до схеми рис. 4.6 були розроблені спеціалізована топологія з використанням об'ємних КМОН транзисторів, та топологія на основі базової комірки зі структурою КНІ. Топологію JK-тригера на основі базової комірки зображено на рис. 4.8. Ширини каналів для всіх р-канальних транзисторів становлять 20 мкм, n-канальних транзисторів – 10 мкм, довжини каналів всіх транзисторів є однаковими і становлять 2 мкм. Топологічна реалізація JK-тригера здійснена змінними програмованими шарами 2-х рівнів металізації та 2-х рівнів контактних вікон.

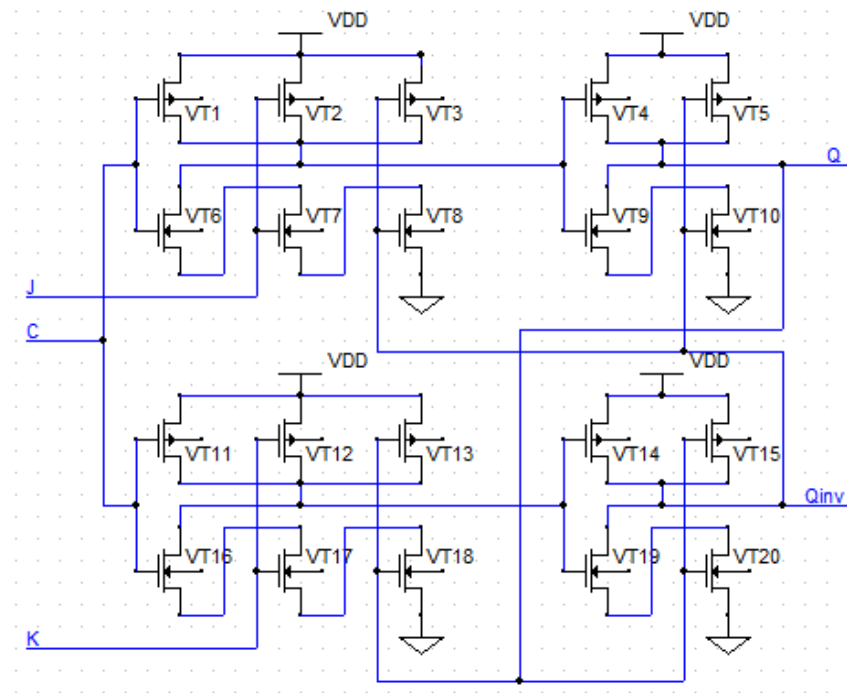


Рис. 4.7. Електрична схема JK-тригера на основі логічних елементів I-HE

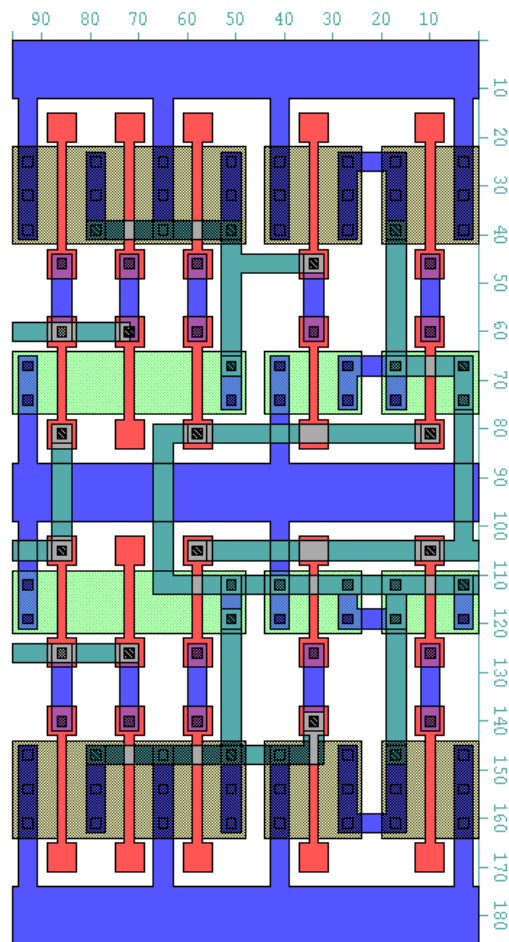


Рис. 4.8. Топологія JK-тригера на основі базових матричних комірок. Результати моделювання JK-тригера безпосередньо з топології (рис. 4.8) зображено на рис. 4.9.

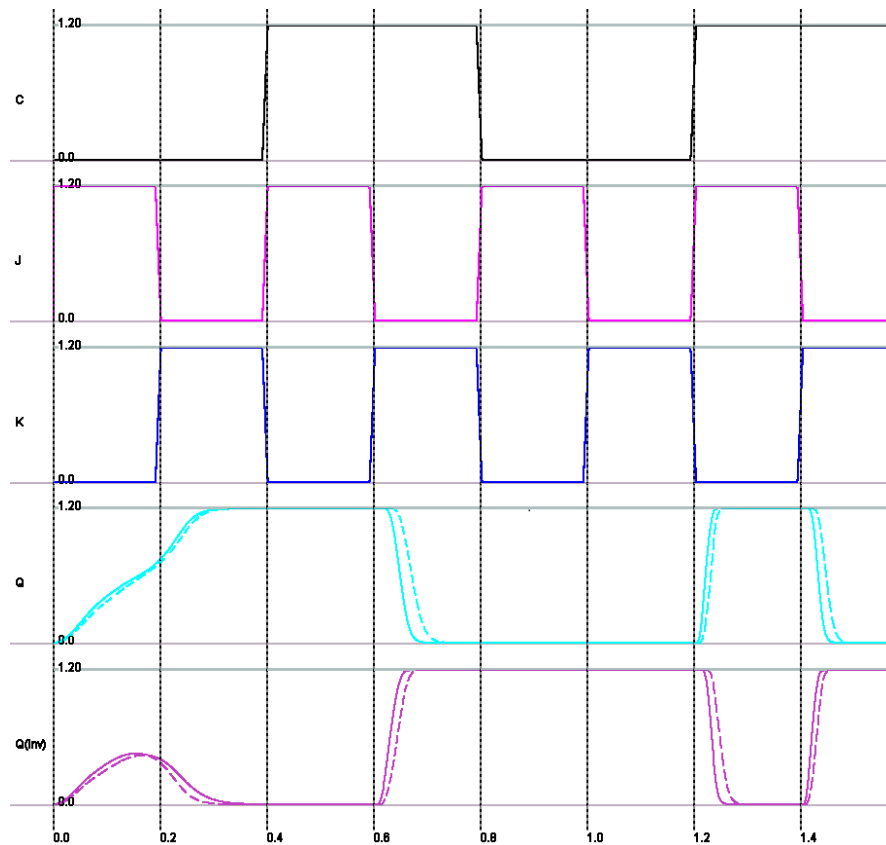
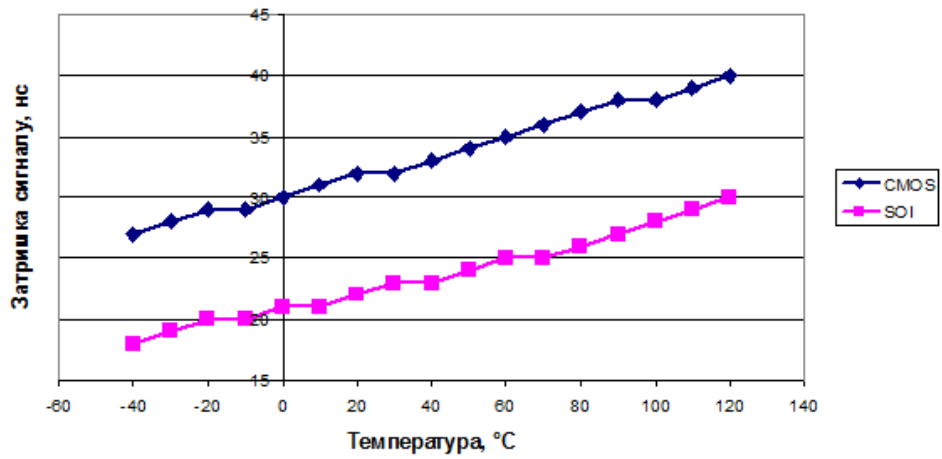


Рис. 4.9. Результати моделювання JK-тригера

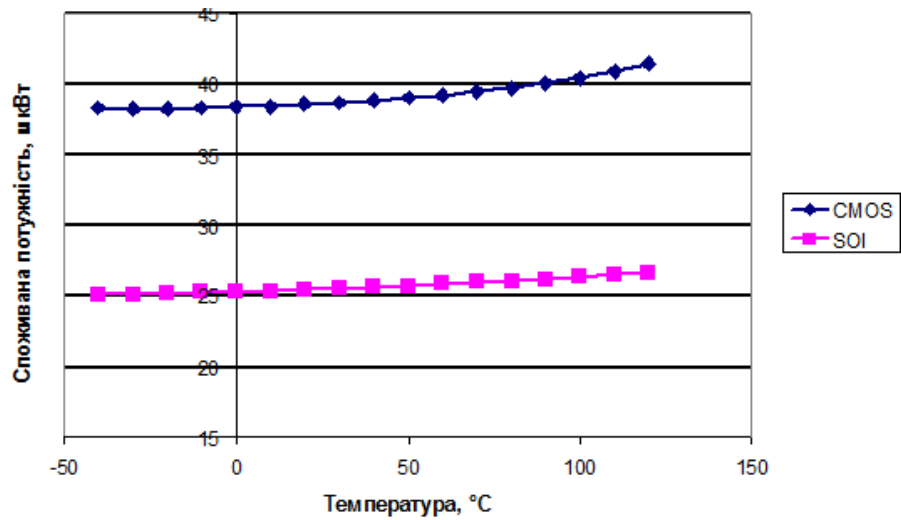
На вхід J даної схеми подавався сигнал з амплітудою 1,2 В, часом наростання і спадання фронтів імпульсів 0,01 нс, тривалістю імпульсу 0,19 нс та частотою 2,5 ГГц. На вхід К тригера – інвертований сигнал з аналогічними параметрами. На синхронізуючий вхід тригера С – синхросигнал з амплітудою 1,2 В, часом наростання і спадання фронтів імпульсів 0,01 нс, тривалістю 0,39 нс та частотою 1,25 ГГц.

На рис. 4.9 суцільною лінією зображено вихідні сигнали JK-тригера, спроектованого з використанням об'ємних МОН-транзисторів, а штрих пунктирної – з використанням МОН-транзисторів зі структурою КНІ. З результатів моделювання видно що затримка вихідного сигналу на рівні 0,5 амплітуди по передньому фронту JK-тригера, спроектованого на основі об'ємних МОН-транзисторів складає 32 пс, а на основі КНІ МОН-транзисторів – 23 пс. Споживана потужність при цьому в першому випадку становить 38,66 мкВт, а в другому 25,56 мкВт.

Для розробленої топології JK-тригера було проведено також моделювання впливу температури на часові характеристики та споживану потужність в інтервалі від мінус 40°C до +125°C з кроком 10 °C (рис. 4.10).



а)



б)

Рис. 4.10. Температурна залежність затримки вихідного сигналу відносно вхідного (а) та споживаної потужності (б)

Виходячи з результатів моделювання, можна зробити наступний висновок: JK-тригерний елемент на основі КМОН КНІ-структур має кращу в 1,4 рази швидкодію, в 1,5 рази меншу споживану потужність та кращу температурну стабільність порівняно з аналогічним на основі об'ємних КМОН-структур.

#### 4. Розроблення і моделювання перетворювачів рівнів сигналів на основі базових матричних комірок

Під час розроблення елементів ІС, а особливо мікросистем-на-кристалі, в тому числі й аналітичних, що являють собою, наприклад системи для дослідження некремнієвих елементів в інтегральному виконанні та монолітно-інтегрованих безпосередньо в кристал спеціалізованої мікросхеми, часто виникає необхідність перетворення логічних сигналів з низькими рівнями, що використовуються у внутрішній частині мікросистеми в логічні сигнали з високими рівнями в перифе-

рійних формувачах сигналів зовнішніх пристроїв з подальшим їх опрацюванням та аналізом [123, 124].

З цією метою було розглянуто особливості схемотехнічного і топологічного проектування перетворювачів рівнів сигналу з низького на високий для КМОН ІС та АМнК. Розроблено топологію перетворювачів рівнів на основі бібліотечних комірок АМнК та спеціалізовану топологію, а також показано результати комп'ютерного схемотехнічного моделювання електричної схеми перетворювача рівнів та моделювання безпосередньо із топології з врахуванням особливостей їх топологічної реалізації та інтегральної структури.

Функція перетворювача рівнів сигналів полягає в перетворенні логічних сигналів з низькою напругою в логічні сигнали з високою напругою, що контролює буферний пристрій. Також вони можуть виконувати й зворотну функцію. На рис. 4.11 зображено досліджувану електричну схему перетворювача рівнів сигналів з низького на високий без врахування паразитних ефектів та особливостей топології [125]. В цьому випадку для схемотехнічного моделювання враховуються тільки топологічні параметри КМОН транзисторів, а саме, довжина  $L$  і ширина  $W$  каналів, які подані на схемі перетворювача рівнів. Електрична схема перетворювача рівнів складається з вхідного інвертора (транзистори – р-канальний P1, n-канальний N1), перетворювача рівнів (на транзисторах р-канальні P2, P3 та n-канальні N2, N3) і буферного формувача (на транзисторах – р-канальний P4, n-канальний N4). Перетворювач рівнів сигналів має дві напруги живлення: низьку  $V_{dd}$ , що становить 2 В для вхідного інвертора і високу  $V_{ddHV}$ , що становить 5 В для іншої частини схеми. Ширини каналів для всіх р-канальних транзисторів становлять 20 мкм, n-канальних транзисторів – 10 мкм, довжини каналів всіх транзисторів є однаковими і становлять 2 мкм. Такі розміри каналів транзисторів вибрані із врахуванням особливостей комірки БМК та рухливостей носіїв зарядів в каналах р- і n-канальних МОН-транзисторах.

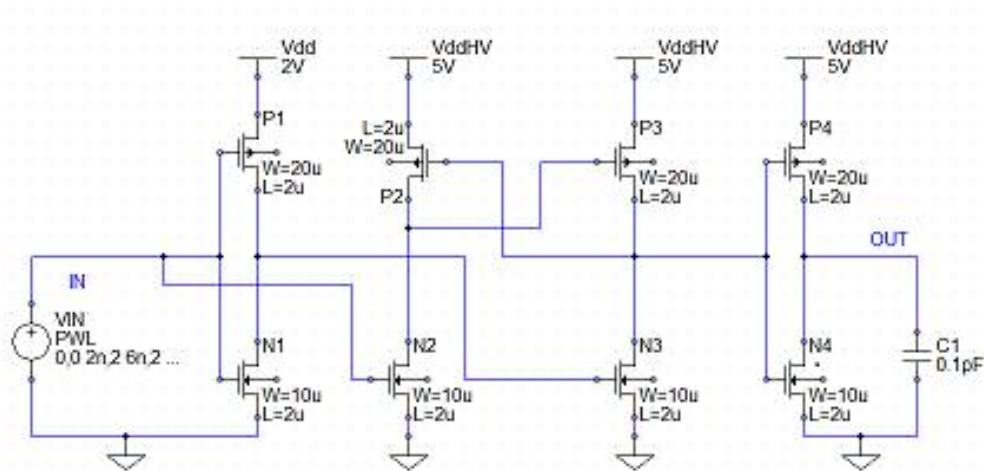


Рис. 4.11. Електрична схема перетворювача рівнів сигналу

Для проектування топології схеми перетворювача рівнів було використано базову матричну комірку з попарним розташуванням послідовно з'єднаних 3-х р- і 3-х n-канальних транзисторів та

1-го р- і 1-го n-канального транзисторів і введенням повної діелектричної ізоляції таких КНІ МОН-транзисторних структур між собою. Перевагою такої комірки є і те, що стік – витоків області діелектрично та електрично ізольованих між собою транзисторів можуть бути використані одночасно і як елементи комутації.

Топологію перетворювача рівнів сигналів зі структурою КНІ на основі базових матричних комірок, реалізовану з використанням програмованих шарів металізації та контактів, зображено на рис. 4.12.

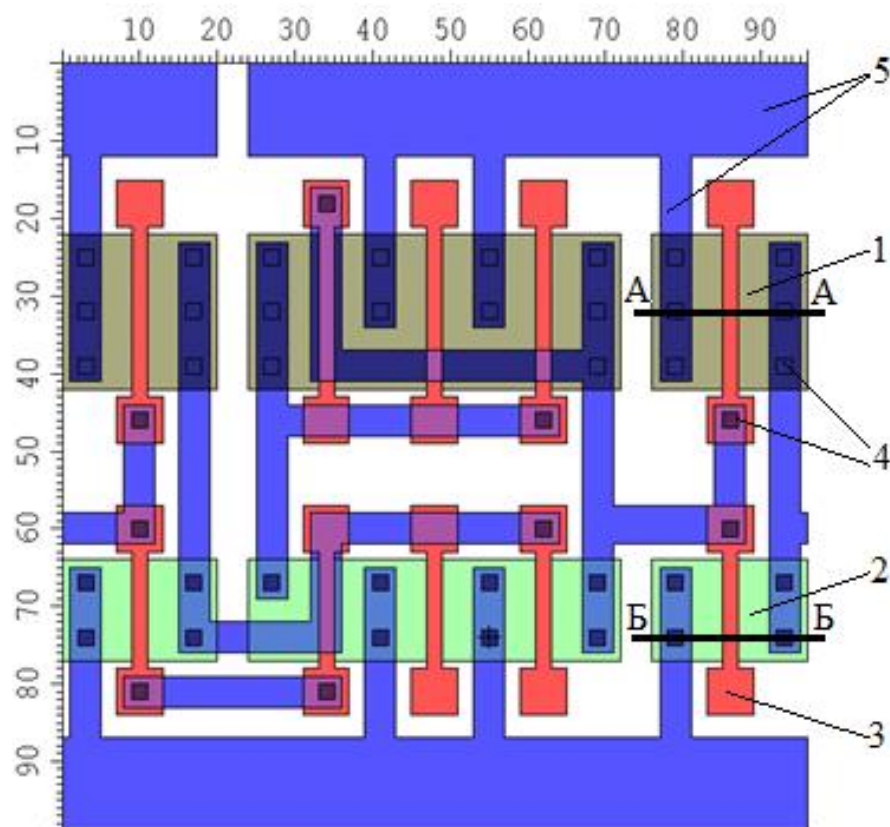


Рис. 4.12. Топологія перетворювача рівнів сигналів на основі оптимізованої базової матричної комірки зі структурою КНІ

Поперечні перерізи р- і n-канальних КНІ МОН транзисторів відповідно по лініях А-А і В-В (рис. 4.12) зображено на рис. 4.13.

На представленій топології (рис. 4.12) і поперечних перерізах активних структур р- і n-канальних КНІ МОН-транзисторів (рис. 4.13) цифрами позначено: 1 – стік-витоків області р-канальних КНІ МОН-транзисторів; 2 – стік-витоків області n-канальних КНІ МОН-транзисторів; 3 – полікремнієві затвори р- і n-канальних МОН-транзисторів; 4 – контакти; 5 – комутаційні з'єднання в шарі металізації.

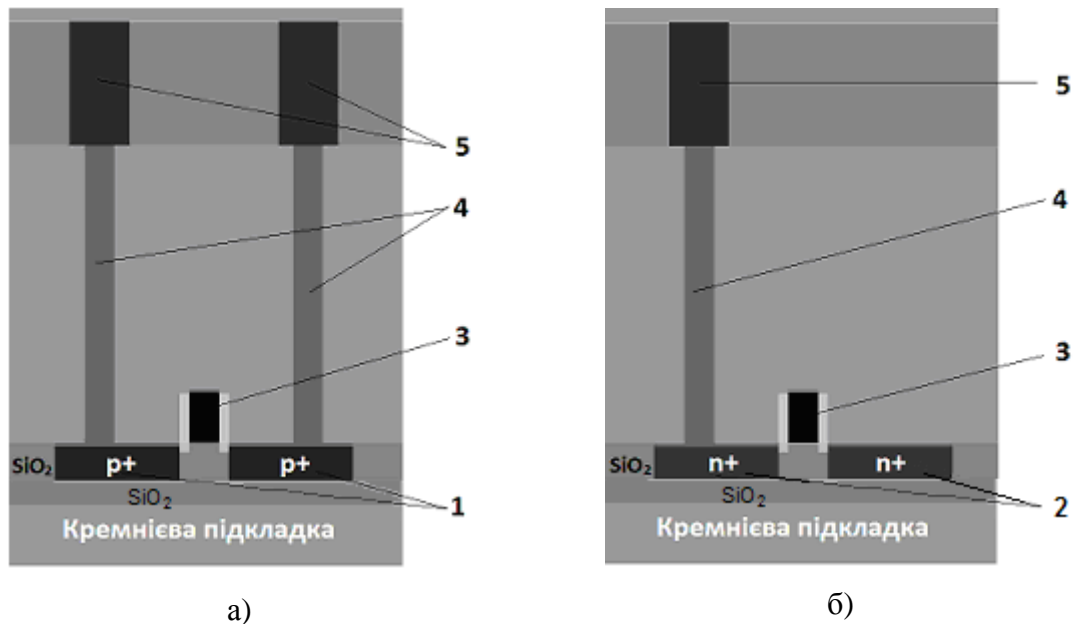


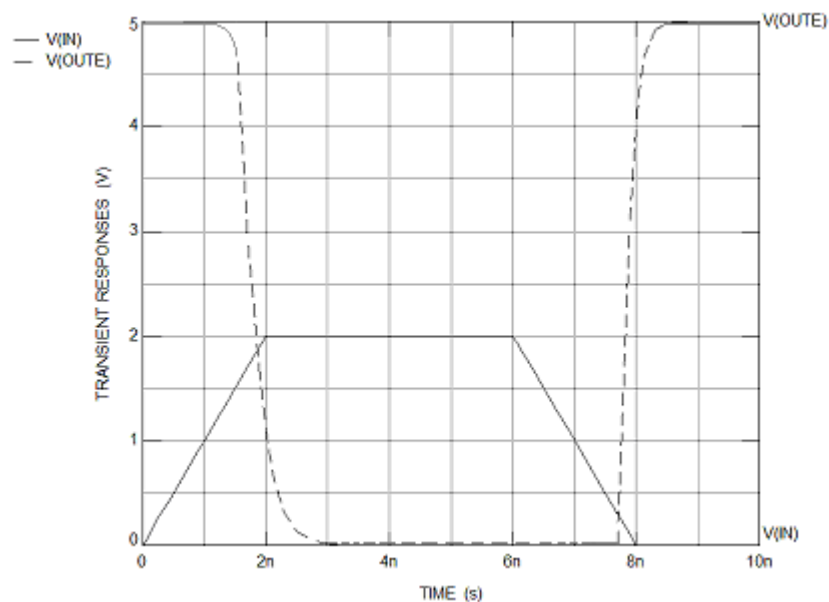
Рис. 4.13. Поперечні перерізи р- і n-канальних КНІ МОН-транзисторів по лініях відповідно: а – лінія А-А; б – лінія В-В згідно із рис. 4.12

Результати моделювання схеми електричної перетворювача рівнів відповідно до схеми рис. 4.11 з врахуванням вказаних розмірів транзисторів в САПР TopSpice зображено на рис. 4.14, а.

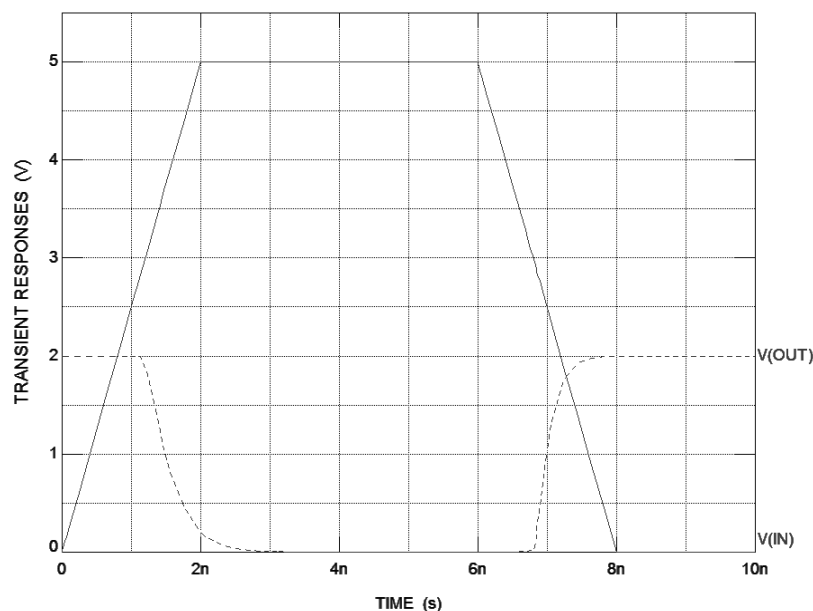
На рис. 4.14, а суцільною лінією зображено вхідний сигнал з рівнем напруги 2 В, а штрихпунктирною – вихідний сигнал з рівнем перетвореної напруги – 5 В, показано також часові параметри імпульсів. Такий перетворювач рівнів забезпечує перетворення рівнів сигналів, а затримка вихідного сигналу відносно вхідного на рівні 0,5 амплітуди по передньому фронту становить не більше 0,8 нс для  $L=2$  мкм топологічних довжин каналів транзисторів.

Аналогічним чином було промодельовано перетворювач рівнів сигналів з високого до низького. Такі перетворювачі необхідні для зменшення амплітуди вхідних сигналів від зовнішніх вхідних інтерфейсних схем і їх наступної передачі у внутрішні елементи АМнК, які функціонують при малих напругах живлення. Результати схеми технічного моделювання такого перетворювача зображено на рис. 4.14, б. Суцільною лінією зображено вхідний сигнал з амплітудою 5 В, а штрихпунктирною – перетворений вихідний сигнал з амплітудою 2 В.





а)



б)

Рис. 4.14. Часова діаграма вхідного (суцільна лінія) та вихідного (пунктирна) сигналів перетворювачів рівнів з низького на високий (а) та з високого на низький

В ІС з високим рівнем інтеграції і які мають декілька напруг живлення на одному кристалі існує необхідність перетворення сигналів з менш нижчих рівнів, наприклад із 1,2 В до 2,5 В. і подальшого використання таких перетворювачів в одній ІС або мікросистемі-на-кристалі. Для цього також було спроектовано і досліджено шляхом моделювання топологію даного перетворювача рівнів сигналу відповідно до електричної схеми рис. 4.11, але не на базовій матричній комірці, як у попередньому випадку, а на спеціалізованій топології і з меншими 180 нм проектними нормами та двома рівнями металізації для перетворення сигналів з вхідною амплітудою 1,2 В і вихідною 2,5 В. Топологію цього перетворювача зображено на рис. 4.15. Позначення р- і n-канальних транзисторів відповідають електричній схемі рис. 4.11 і є аналогічними топології рис. 4.12.



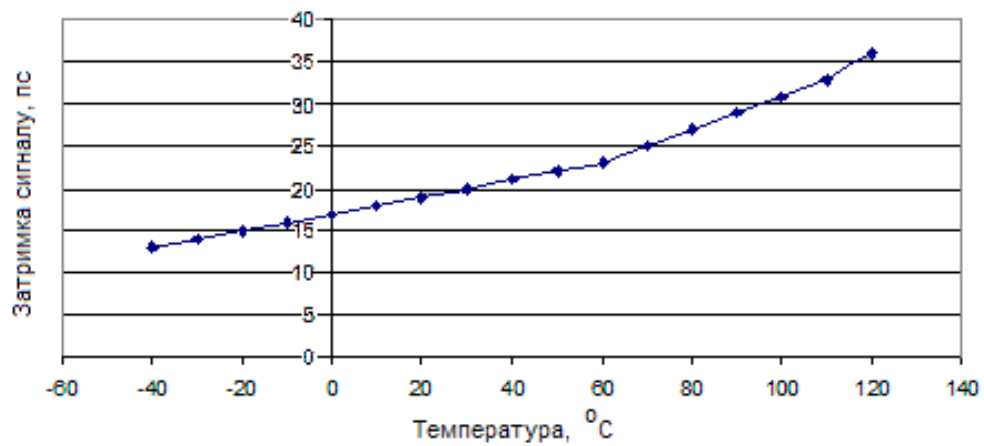


Рис. 4.17. Температурна залежність затримки вихідного сигналу відносно вхідного за перенесеним фронтом

Отже, результати моделювання показують, що перетворювачі рівні на КНІ-структурах мають покращені часові та температурні характеристики, а отримані дані можуть бути використані при проектуванні ІС та мікросистем-на-кристалі, зокрема аналітичних.

## 5. Моделювання базових елементів операційних підсилювачів для основних матричних комірок

Для первинної аналогової обробки сигналів одним із базових елементів є інтегральний операційний підсилювач (ОП), який використовується для виділення та підсилення корисних сигналів, які можуть бути співрозмірними із шумовими сигналами [117]. Такий елемент являє собою схему порівняння двох сигналів та підсилення різниці їх напруг. При цьому коефіцієнт послаблення синфазних сигналів є досить великим. Схема електрична принципова базового елемента ОП в інтегральному виконанні зображена на рис. 4.18.

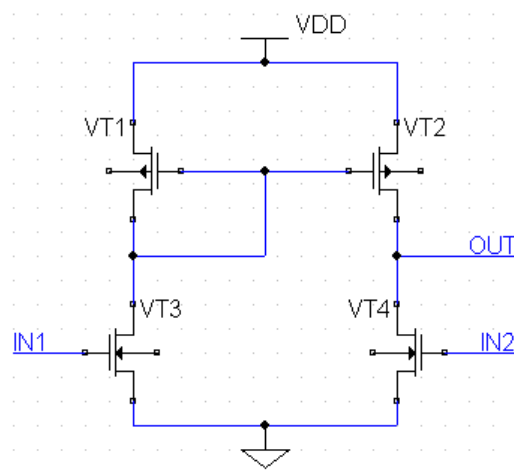


Рис. 4.18 Електрична схема інтегрального операційного підсилювача

У цій схемі р-канальні транзистори VT1 і VT2 утворюють дзеркало струму для реалізації активного навантаження ОП, а n-канальні транзистори VT3 та VT4 утворюють диференційну па-

ру, і спроектовані за узгодженими конструктивно-технологічними параметрами. При подачі синфазного сигналу на входи IN1 та IN2, в одному з транзисторів відбувається збільшення струму, а в іншому – зменшення на однакову величину, що приводить до відсутності сигналу на виході [126].

Спроекована топологія базового елемента диференційного підсилювача на основі фрагмента базової матричної комірки згідно схеми рис. 4.18, зображено на рис. 4.19. Було розроблено і досліджено два варіанти топологій: з використанням стандартної КМОН-технології на основі об'ємного кремнію; на основі КНІ КМОН-технології.

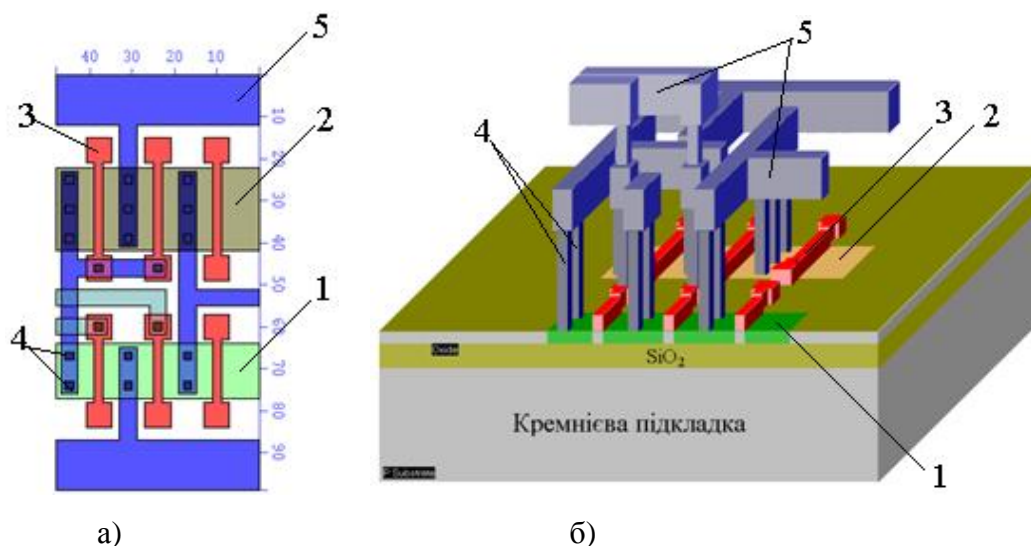


Рис. 4.19. Топологія а) та об'ємне зображення б) інтегрального ОП на основі фрагмента базової матричної комірки зі структурою «кремній-на-ізоляторі»: 1 – стік-витоків області n-канальних транзисторів; 2 – стік-витоків області р-канальних транзисторів; 3 – полікремнієві затвори;

4 – контактні вікна; 5 – шари металізації

Порівняльні результати схематопологічного моделювання базового елемента ОП безпосередньо із топологій, спроектованих на основі структур за стандартною об'ємною КМОН-технологією та на основі КМОН КНІ-структур, наведено на рис. 4.20 Моделювання проводили при напрузі живлення 1,5 В, вхідний сигнал IN1 являв собою змінний сигнал частотою 0,167 МГц, часом наростання та спадання 1 нс, тривалістю імпульсу 2 нс та амплітудою 0,04 В а IN2 – постійний сигнал з амплітудою 0,7 В.

Для оптимізації площі та покращення електричних і фізичних характеристик операційних підсилювачів для матричних застосувань в АМнК було проведено оцінку можливостей їх створення на основі тривимірних транзисторних КНІ-структур по аналогії їх побудови, як для тривимірних логічних елементів.

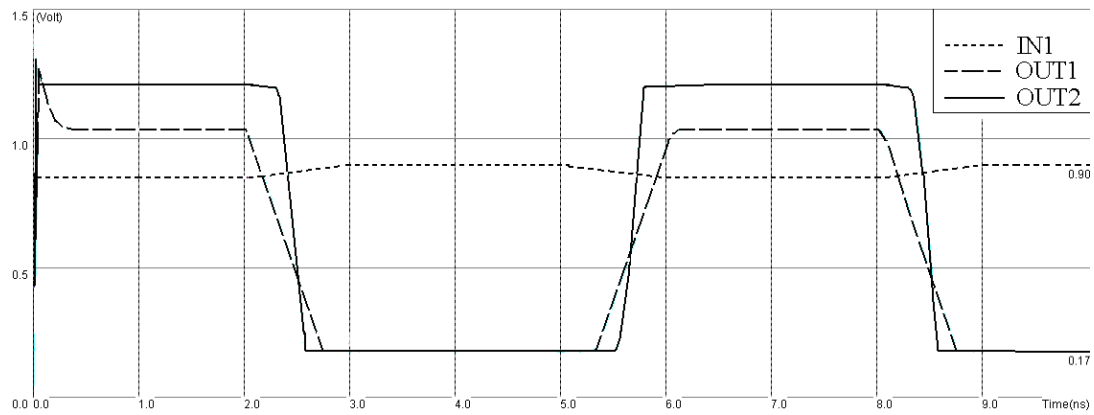


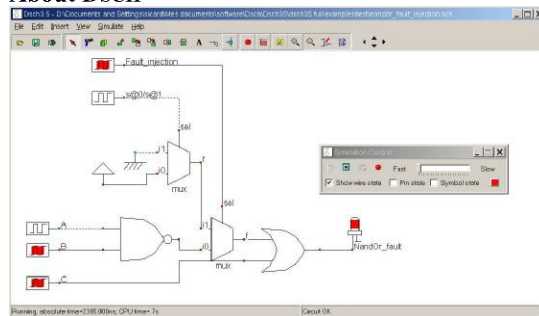
Рис. 4.20. Результати схемо-топологічного моделювання ОП: 1 – вхідний сигнал IN1; OUT1 – вихідний сигнал ОП, спроектованого за об’ємною КМОН технологією; OUT2 – вихідний сигнал ОП зі структурою КНІ

Результати схемотопологічного моделювання базового елемента ОП показують, що вихідні сигнали для схеми зі структурами КНІ порівняно з об’ємними КМОН мають суттєво кращу в середньому на 30% крутизну фронтів та більший коефіцієнт підсилення, завдяки чому вихідний сигнал має рівень амплітуди на 20% вищий. Такі параметри дозволять значно зменшити споживану потужність під час перехідних процесів (менша тривалість фронтів імпульсів), і як наслідок, підвищити ступінь інтеграції елементів в АМнК. Окрім цього, реалізація ОП на основі КНІ-структур дозволить розширити температурний діапазон їх використання.

# Introduction

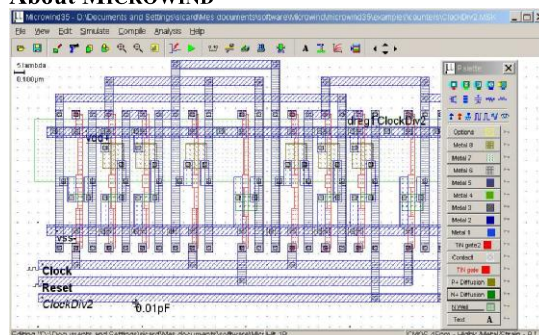
The present document introduces the design and simulation of CMOS integrated circuits, in an attractive way thanks to user-friendly PC tools DSCH and MICROWIND. The *lite* version of these tools only includes a subset of available commands. The *lite* version is freeware, available on the web site [www.microwind.net](http://www.microwind.net). The complete version of the tools is available through *ni2designs* India ([www.ni2designs.com](http://www.ni2designs.com)).

## About DSCH



The DSCH program is a logic editor and simulator. DSCH is used to validate the architecture of the logic circuit before the microelectronics design is started. DSCH provides a user-friendly environment for hierarchical logic design, and fast simulation with delay analysis, which allows the design and validation of complex logic structures. DSCH also features the symbols, models and assembly support for 8051 and 18f64 microcontrollers. DSCH also includes an interface to WinSPICE.

## About MICROWIND



The MICROWIND program allows the student to design and simulate an integrated circuit at physical description level. The package contains a library of common logic and analog ICs to view and simulate. MICROWIND includes all the commands for a mask editor as well as original tools never gathered before in a single module (2D and 3D process view, Verilog compiler, tutorial on MOS devices). You can gain access to *Circuit Simulation* by pressing one single key. The electric extraction of your circuit is automatically performed and the analog simulator produces voltage and current curves immediately.

The chapters of this manual have been summarized below. Chapter 2 is dedicated to the presentation of the single MOS device, with details on the device modeling, simulation at logic and layout levels.

Chapter 3 presents the CMOS Inverter, the 2D and 3D views, the comparative design in micron and deep-submicron technologies. Chapter 4 concerns the basic logic gates (AND, OR, XOR, complex gates), Chapter 5 the arithmetic functions (Adder, comparator, multiplier, ALU). The latches and memories are detailed in Chapter 6.

As for Chapter 7, analog cells are presented, including voltage references, current mirrors, operational amplifiers and phase lock loops. Chapter 8 concerns analog-to-digital, digital to analog converter principles. Radio-frequency circuits are introduced in Chapter 9. The input/output interfacing principles are illustrated in Chapter 10.

The detailed explanation of the design rules is in Chapter 11. The program operation and the details of all commands are given at the end of this document.

## INSTALLATION

Connect to the web page [www.microwind.net](http://www.microwind.net) for the latest information about how to download the lite version of the software. Once installed, two directories are created, one for MICROWIND35, one for DSCH35, as illustrated below.

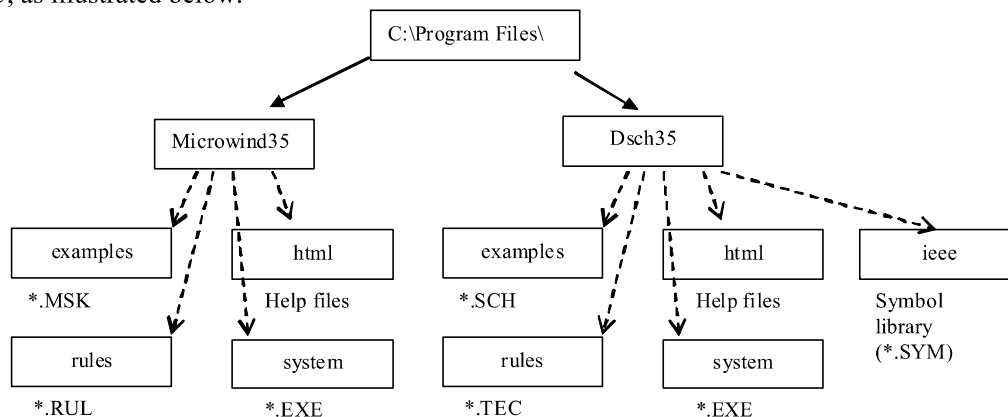


Figure 0-1: The architecture of Microwind and Dsch

Once installed, two directories are created, one for MICROWIND35, one for DSCH35. In each directory, a sub-directory called `html` contains help files. In MICROWIND35, other sub-directories include example files (\*.MSK), design rules (\*.RUL) and system files (mainly microwind35.exe). In DSCH35, other sub-directories include example files (\*.SCH and \*.SYM), design rules (\*.TEC) and system files (mainly dsch35.exe).



# 1 Technology Scale Down

## The Moore's Law

Recognizing a trend in integrated circuit complexity, Intel co-founder Gordon Moore extrapolated the tendency and predicted an exponential growth in the available memory and calculation speed of microprocessors which, he said in 1965, would double every year [Moore]. With a slight correction (i.e. doubling every 18 months, see figure 1-1 ), *Moore's Law* has held up to the Itanium® 2 processor which has around 400 million transistors.

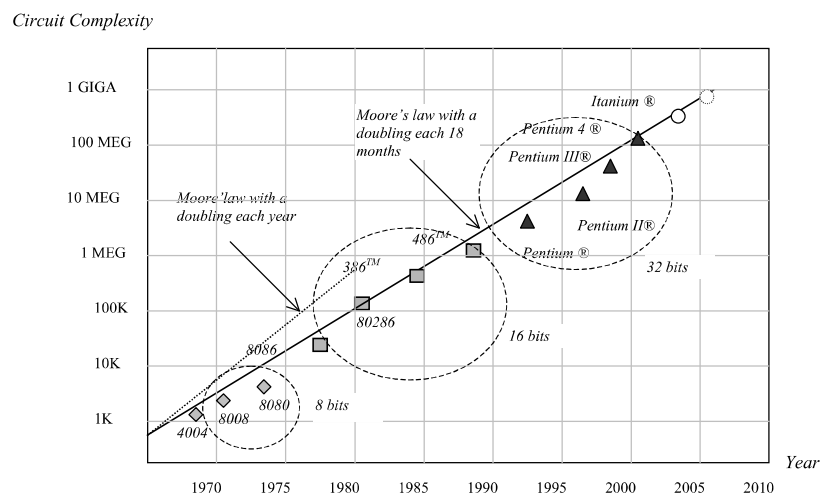


Figure 1-1 : Moore's law compared to Intel processor complexity from 1970 to 2010.

## Scaling Benefits

The trend of CMOS technology improvement continues to be driven by the need to integrate more functions within a given silicon area. Table 1 gives an overview of the key parameters for technological nodes from 180 nm, introduced in 1999, down to 22 nm, which is supposed to be in production around 2011.

Technology node	130 nm	90 nm	65 nm	45 nm	32 nm	22 nm
First production	2001	2003	2005	2007	2009	2011
Effective gate length	70 nm	50 nm	35 nm	25 nm	17 nm	12 nm
Gate material	Poly	Poly	Poly	Metal	Metal	Metal
Gate dielectric	SiO <sub>2</sub>	SiO <sub>2</sub>	SiON	High K	High K	High K
K <sub>gates</sub> /mm <sup>2</sup>	240	480	900	1500	2800	4500
Memory point (μ <sup>2</sup> )	2.4	1.3	0.6	0.3	0.15	0.08

Table 1: Technological evolution and forecast up to 2011

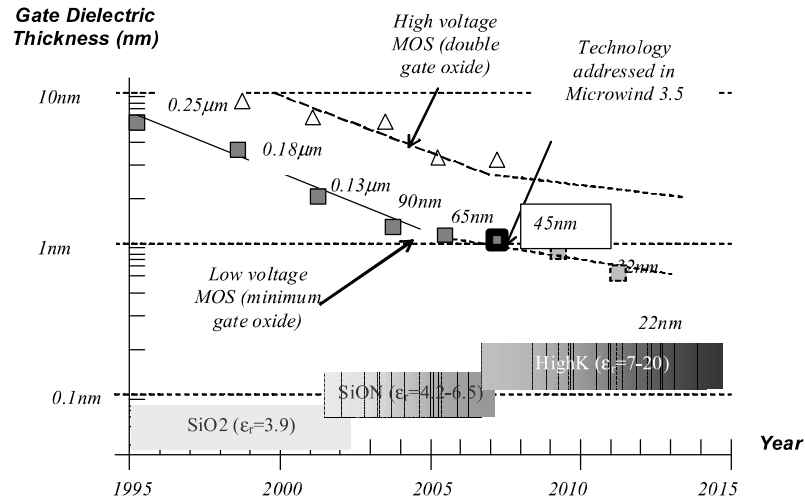


Figure 1-2 : The technology scale down towards nano-scale devices

At each lithography scaling, the linear dimensions are approximately reduced by a factor of 0.7, and the areas are reduced by factor of 2. Smaller cell sizes lead to higher integration density which has risen to nearly 1.5 million gates per mm<sup>2</sup> in 45 nm technology (table 1).

## Gate Material and Oxide

For 40 years, the SiO<sub>2</sub> gate oxide combined with polysilicon have been serving as the key enabling materials for scaling MOS devices down to the 90nm technology node (Fig. 1). One of the struggles the IC manufacturers went through was being able to scale the gate dielectric thickness to match continuous requirements for improved switching performance. The thinner the gate oxide, the higher the transistor current and consequently the switching speed. However, thinner gate oxide also means more leakage current. Starting with the 90nm technology, SiO<sub>2</sub> has been replaced by SiON dielectric, which features a higher permittivity and consequently improves the device performances while keeping the parasitic leakage current within reasonable limits. Starting with the 45-nm technology, leakage reduction has been achieved through the use of various high-K dielectrics such as Hafnium Oxide HfO<sub>2</sub> (ε<sub>r</sub>=12), Zirconium Oxide ZrO<sub>2</sub> (ε<sub>r</sub>=20), Tantalum Oxide Ta<sub>2</sub>O<sub>5</sub> (ε<sub>r</sub>=25) or Titanium Oxide TiO<sub>2</sub> (ε<sub>r</sub>=40). This provides much higher device performance as if the device was fabricated in a technology using conventional SiO<sub>2</sub> with much reduced “equivalent SiO<sub>2</sub> thickness”.

For the first time in 40 years of CMOS manufacturing, the poly gate has been abandoned. Nickel-Silicide (NiSi), Titanium-Nitride (TiN) etc. are the types of gate materials that provide acceptable threshold voltage and alleviate the mobility degradation problem (Fig. 3). In combination with Hafnium Oxide (HfO<sub>2</sub>, ε<sub>r</sub>=12), the metal/high-k transistors feature outstanding current switching capabilities together with low leakage. Increased *on* current, decreased *off* current and significantly decreased gate leakage are obtained with this novel combination. The sheet resistance is around 5Ω/square for the metal gate.

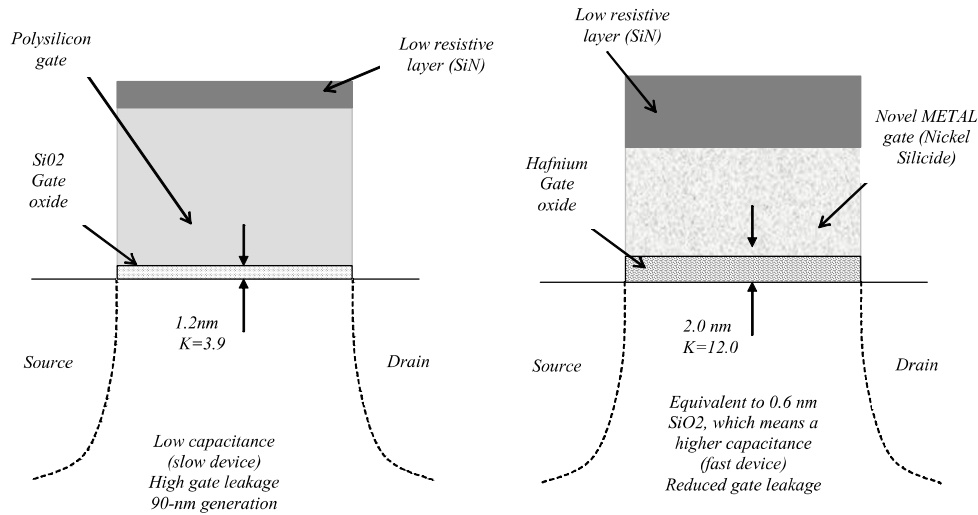


Figure 1-3 : The metal gate combined with High-K oxide material enhance the MOS device performance in terms of switching speed and significantly reduce the leakage

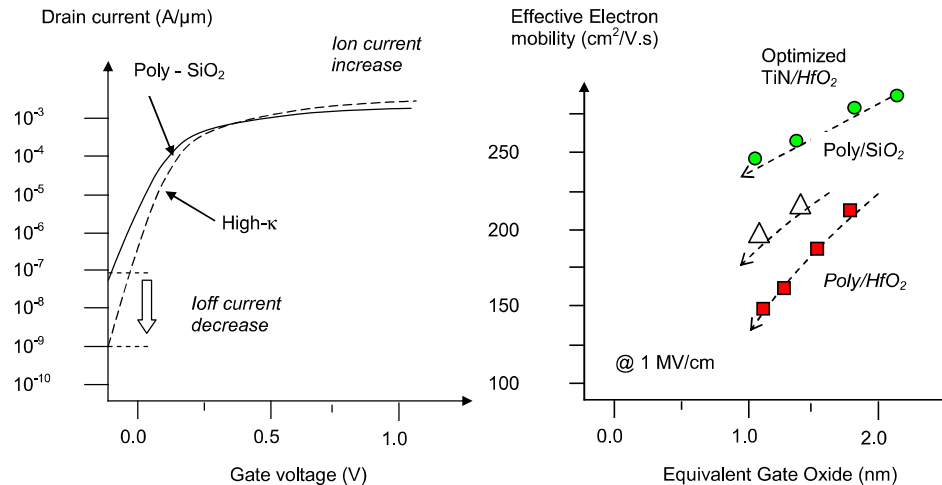


Figure 1-4 : The metal gate combined with High-K oxide material enhances the Ion current and drastically reduces the Ioff current (left). Electron mobility vs. Equivalent gate oxide thickness for various materials (right).

The effective electron mobility is significantly reduced with a decrease of the equivalent gate oxide thickness, as seen in Fig. 1-4, which compiles information from [Chau2004] [Lee2005][Song2006]. It can be seen that the highest mobility is obtained with optimized TiN/HfO<sub>2</sub>, while Poly/ HfO<sub>2</sub> do not lead to suitable performances.

## Strained Silicon

Strained silicon has been introduced starting with the 90-nm technology [Sicard2005b], [Sicard2006b] to speed-up the carrier mobility, which boosts both the n-channel and p-channel transistor performances. PMOS transistor channel strain has been enhanced by increasing the Germanium (Ge) content in the compressive SiGe (silicium-germanium) film. Both transistors employ ultra shallow source-drains to further increase the drive currents.

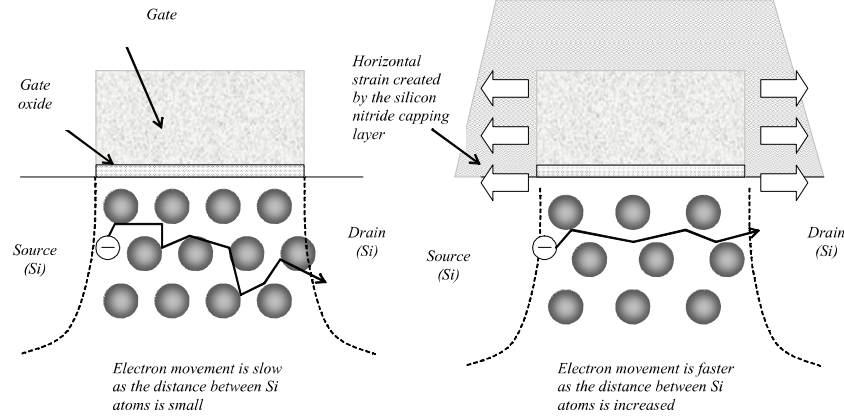


Figure 1-5 : Tensile strain generated by a silicon-nitride capping layer which increases the distance between atoms underneath the gate, which speeds up the electron mobility of n-channel MOS devices

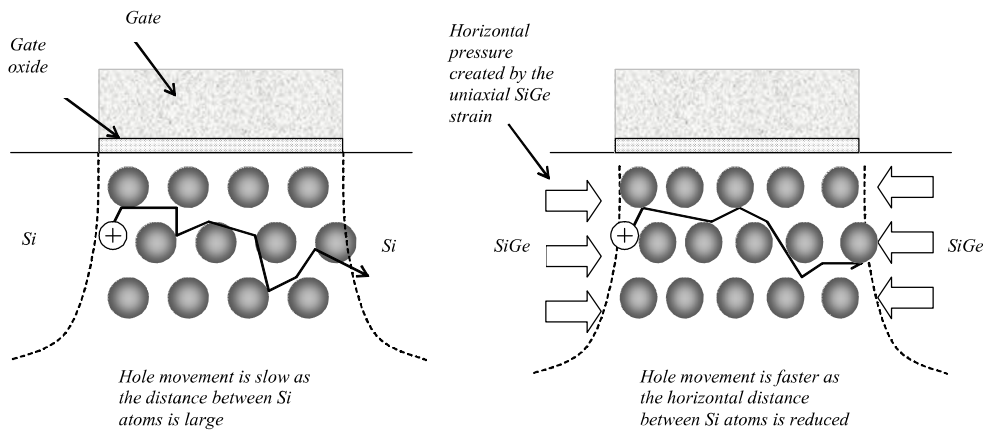


Figure 1-6 : Compressive strain to reduce the distance between atoms underneath the gate, which speeds up the hole mobility of p-channel MOS devices

Let us assume that the silicon atoms form a regular lattice structure, inside which the carriers participating to the device current have to flow. In the case of electron carriers, stretching the lattice (by applying tensile strain) allows the electrons to flow faster from the source to the drain, as depicted in Fig. 1-5. The mobility improvement exhibits a linear dependence on the tensile film thickness. In a similar way, compressing the lattice slightly speeds up the p-type transistor, for which current carriers consist of holes (Fig. 1-6). The combination of reduced channel length, decreased oxide thickness and strained silicon achieves a substantial gain in drive current for both nMOS and pMOS devices.

## Market

The integrated circuit market has been growing steadily since many years, due to ever-increasing demand for electronic devices. The production of integrated circuits for various technologies over the years is illustrated in Fig. 1-7. It can be seen that a new technology has appeared regularly every two years, with a ramp up close to three years. The production peak is constantly increased, and similar trends should be observed for novel technologies such as 45nm (forecast peak in 2010).

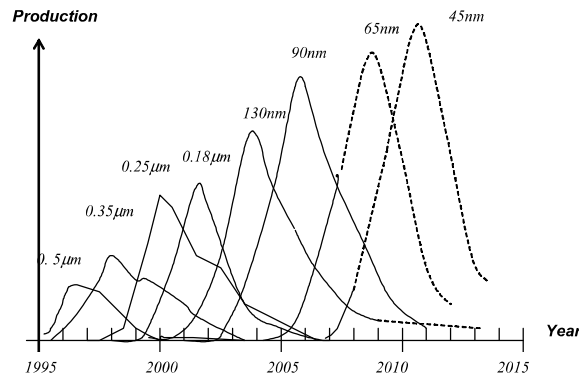


Figure 1-7 : Technology ramping every two years introducing the 45 nm technology

Prototype 45-nm processes have been introduced by TSMC in 2004 [Tsmc2004] and Fujitsu in 2005 [Fujitsu2005]. In 2007, Intel announced its 45-nm CMOS industrial process and revealed some key features about metal gates. The “Common Platform” [Common2007] including IBM, Chartered Semiconductor, The transistor channels range from 25 nm to 40 nm in size (25 to 40 billionths of a meter). Some of the key features of the 45 nm technologies from various providers are given in Table 2.

Parameter	Value
$V_{DD}$ (V)	0.85-1.2 V
Effective gate length (nm)	25-40
Ion N ( $\mu A/\mu m$ ) at 1V	750-1000
Ion P ( $\mu A/\mu m$ ) at 1V	350-530
Ioff N (nA/ $\mu m$ )	5-100
Ioff P (nA/ $\mu m$ )	5-100
Gate dielectric	SiON, HfO <sub>2</sub> , ZrO <sub>2</sub> , Ta <sub>2</sub> O <sub>5</sub> , TiO <sub>2</sub>
Equivalent oxide thickness (nm)	1.1-1.5
# of metal layers	6-10
Interconnect layer permittivity K	2.2-2.6

Table 2: Key features of the 45 nm technology

Compared to 65-nm technology, most 45-nm technologies offer:

- 30 % increase in switching performance
- 30 % less power consumption
- 2 times higher density
- X 2 reduction of the leakage between source and drain and through the gate oxide

## 45-nm process variants

There may exist several variants of the 45-nm process technology. One corresponds to the highest possible speed, at the price of a very high leakage current. This technology is called “High speed” as it is dedicated to applications for which the highest speed is the primary objective: fast microprocessors, fast DSP, etc.

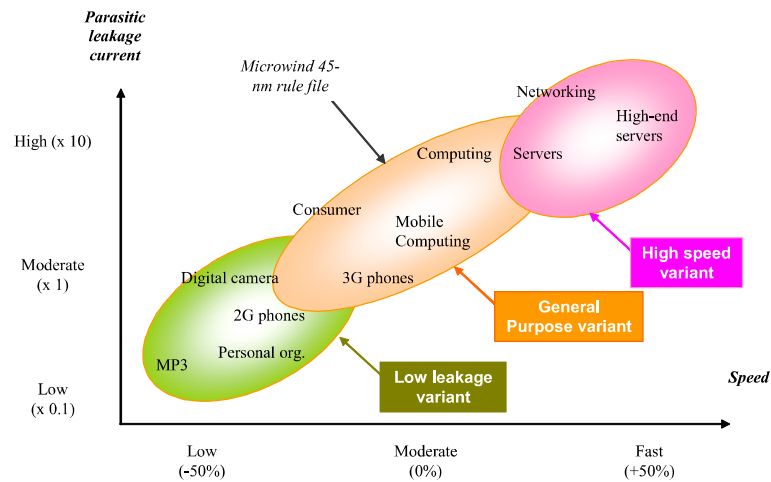


Figure 1-8 : Introducing three variants of the 45-nm technology

This technology has not been addressed in Microwind's 45nm rule file. The second technological option called "General Purpose" (Fig. 1-8) is targeted to standard products where the speed factor is not critical. The leakage current is one order of magnitude lower than for the high-speed variant, with gate switching decreased by 50%. Only this technology has been implemented in Microwind.





There may also exist a third variant called low leakage (bottom left of Fig. 1-8). This variant concerns integrated circuits for which the leakage current must remain as low as possible, a criterion that ranks first in applications such as embedded devices, mobile phones or personal organizers. The operational voltage is usually from 0.8 V to 1.2 V, depending on the technology variant. In Microwind, we decided to fix VDD at 1.0 V in the cmos45nm.RUL rule file, which represents a compromise between all possible technology variations available for this 45-nm node.

## 2 The MOS device

This chapter presents the CMOS transistor, its layout, static characteristics and dynamic characteristics. The vertical aspect of the device and the three dimensional sketch of the fabrication are also described.

### Logic Levels

Three logic levels 0,1 and X are defined as follows:

Logical value	Voltage	Name	Symbol in DSCH	Symbol in MICROWIND
0	0.0V	VSS	 (Green in logic simulation)	 (Green in analog simulation)
1	1.0V in cmos 65nm	VDD	 (Red in logic simulation)	 (Red in analog simulation)
X	Undefined	X	(Gray in simulation)	(Gray in simulation)

### The MOS as a switch

The MOS transistor is basically a switch. When used in logic cell design, it can be *on* or *off*. When *on*, a current can flow between drain and source. When *off*, no current flow between drain and source. The MOS is turned on or off depending on the gate voltage. In CMOS technology, both n-channel (or nMOS) and p-channel MOS (or pMOS) devices exist. The nMOS and pMOS symbols are reported below. The symbols for the ground voltage source (0 or VSS) and the supply (1 or VDD) are also reported in figure 2-1.

The n-channel MOS device requires a logic value 1 (or a supply VDD) to be on. In contrary, the p-channel MOS device requires a logic value 0 to be on. When the MOS device is on, the link between the source and drain is equivalent to a resistance. The order of range of this 'on' resistance is 100  $\Omega$ -5 K $\Omega$ . The 'off' resistance is considered infinite at first order, as its value is several Mega- $\Omega$ .

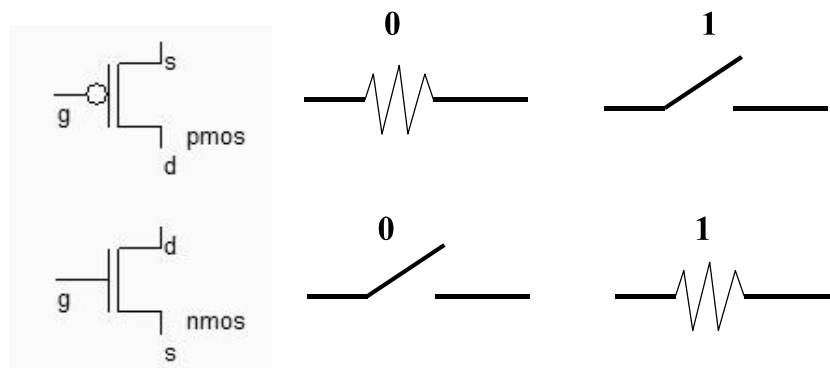


Figure 2-1 : the MOS symbol and switch



## MOS layout



We use MICROWIND to draw the MOS layout and simulate its behavior. Go to the directory in which the software has been copied (By default Microwind35 ). Double-click on the MICROWIND icon.

The MICROWIND display window includes four main windows: the main menu, the layout display window, the icon menu and the layer palette. The layout window features a grid, scaled in lambda ( $\lambda$ ) units. The lambda unit is fixed to half of the minimum available lithography of the technology. The default technology is a CMOS 8-metal layers 45 nm technology. In this technology, lambda is 0.02  $\mu\text{m}$  (40 nm).

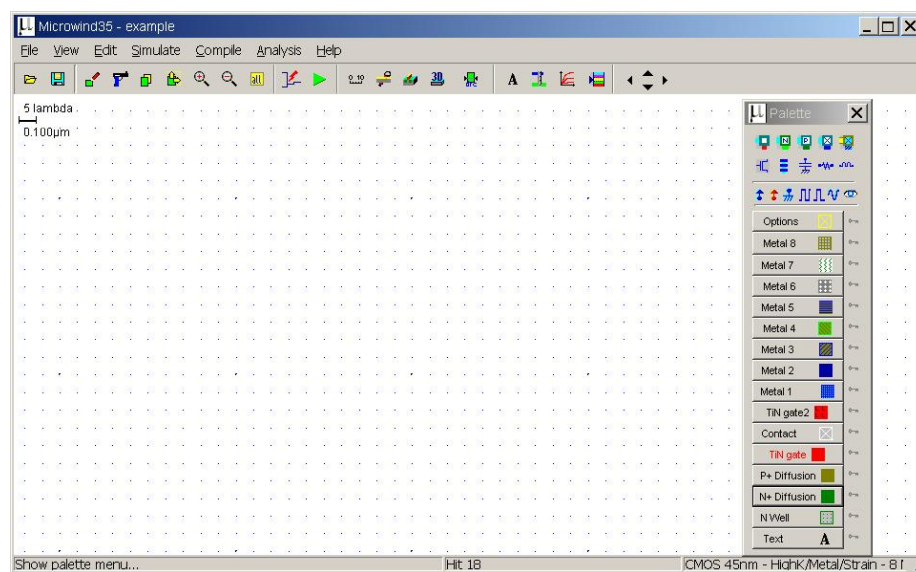


Figure 2-2 :The MICROWIND window as it appears at the initialization stage..

The palette is located in the lower right corner of the screen. A red color indicates the current layer. Initially the selected layer in the palette is polysilicon. By using the following procedure, you can create a manual design of the n-channel MOS.

- ❶ Fix the first corner of the box with the mouse. While keeping the mouse button pressed, move the mouse to the opposite corner of the box. Release the button. This creates a box in polysilicon layer as shown in Figure 2-3. The box width should not be inferior to  $2\lambda$ , which is the minimum width of the polysilicon box.
- ❷ Change the current layer into N+ diffusion by a click on the palette of the Diffusion N+ button. Make sure that the red layer is now the N+ Diffusion. Draw a n-diffusion box at the bottom of the drawing as in Figure 2-3. N-diffusion boxes are represented in green. The intersection between diffusion and polysilicon creates the channel of the nMOS device.

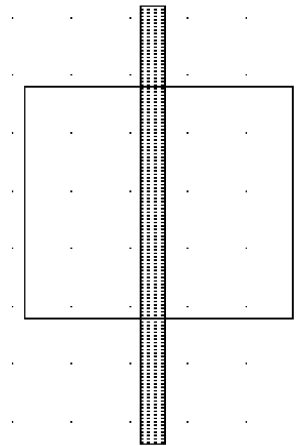


Figure 2-3 : Creating the N-channel MOS transistor

## Vertical aspect of the MOS



Click on this icon to access *process simulation* (Command **Simulate** → **Process section in 2D**). The cross-section is given by a click of the mouse at the first point and the release of the mouse at the second point. In the example of Figure 2-4, three nodes appear in the cross-section of the n-channel MOS device: the gate (red), the left diffusion called *source* (green) and the right diffusion called *drain* (green), over a substrate (gray). A thin oxide called the gate oxide isolates the gate. Various steps of oxidation have lead to stacked oxides on the top of the gate.

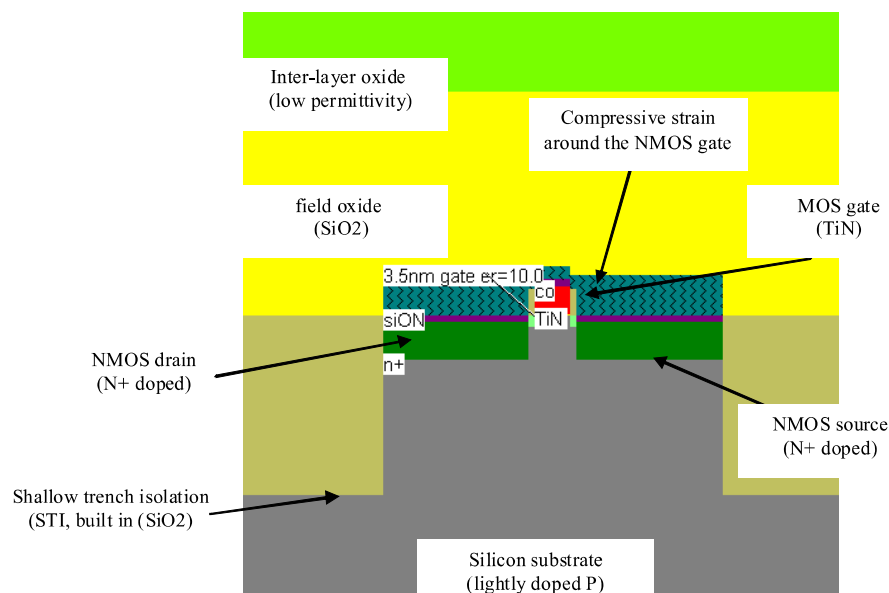


Figure 2-4 : The cross-section of the nMOS devices.

The physical properties of the source and of the drain are exactly the same. Theoretically, the source is the origin of channel impurities. In the case of this nMOS device, the channel impurities are the electrons. Therefore, the source is the diffusion area with the lowest voltage. The metal gate floats over the channel, and splits the diffusion into 2 zones, the source and the drain. The gate controls the current flow from the drain to the source, both ways. A high voltage on the gate attracts electrons below the gate, creates an electron channel and enables current to flow. A low voltage disables the channel.

## Static Mos Characteristics



Click on the *MOS characteristics* icon. The screen shown in Figure 2-5 appears. It represents the  $I_d/V_d$  static characteristics of the nMOS device. The MOS size (width and length of the channel situated at the intersection of the polysilicon gate and the diffusion) has a strong influence on the value of the current. In Figure 2-5, the MOS width is 580 nm and the length is 40 nm. A high gate voltage ( $V_g = 1.0V$ ) corresponds to the highest  $I_d/V_d$  curve. For  $V_g=0$ , almost no current flows,  $I_{ds}$  is close to 0.

You may change the voltage values of  $V_d$ ,  $V_g$ ,  $V_s$  by using the voltage cursors situated on the right side of the window.

A maximum current around 0.55 mA is obtained for  $V_g=1.0$  V,  $V_d=1.0$  V, with  $V_s=0.0$ . The MOS parameters correspond to SPICE model "BSIM4" [Liu2001].

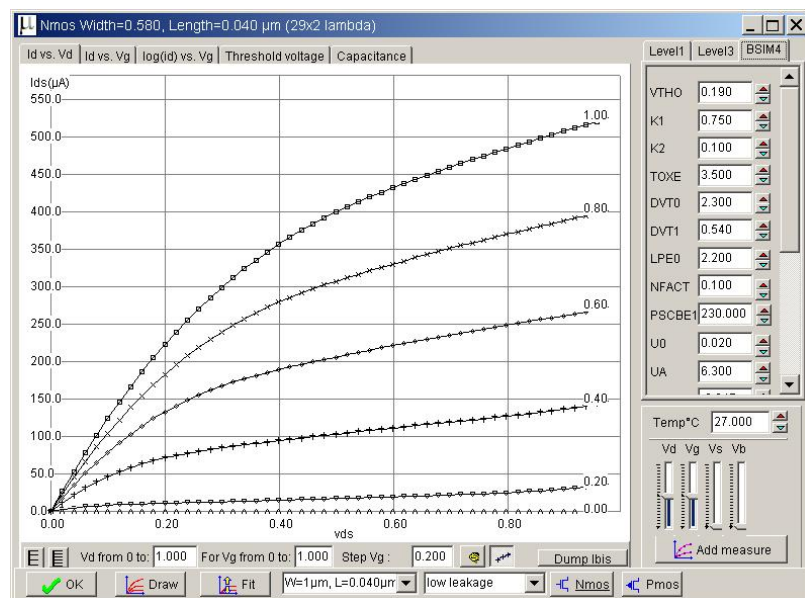
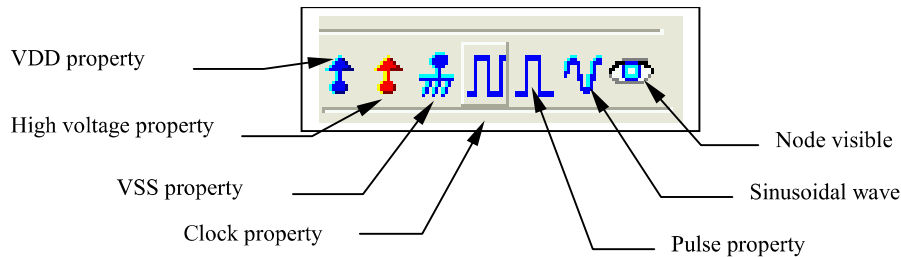


Figure 2-5 : N-Channel MOS characteristics

## Dynamic MOS behavior

This paragraph concerns the dynamic simulation of the MOS to exhibit its switching properties. The most convenient way to operate the MOS is to apply a clock to the gate, another to the source and to observe the drain. The summary of available properties that can be added to the layout is reported below.



- ❶ Apply a clock to the gate. Click on the *Clock* icon and then, click on the polysilicon gate. The clock menu appears again. Change the name into `Vgate` and click on **OK** to apply a clock with 0.1 ns period (45 ps at “0”, 5 ps rise, 45 ps at “1”, 5 ps fall).

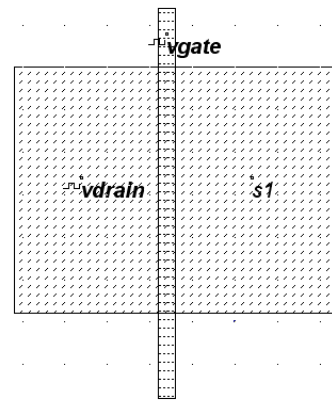
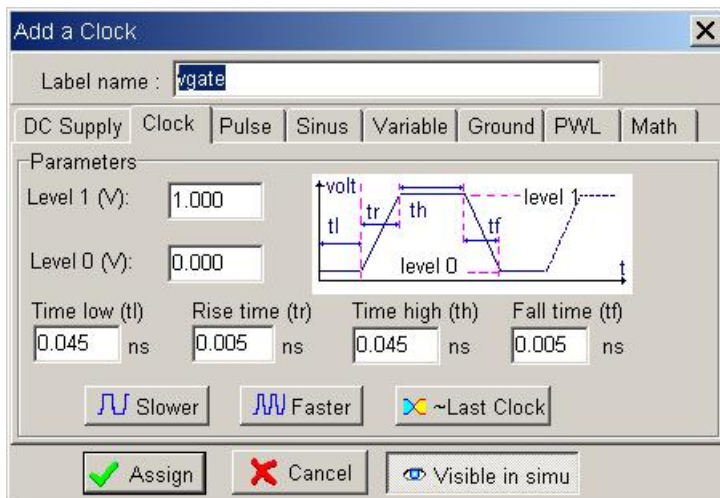


Figure 2-6 : The clock menu and the clock property insertion directly on the MOS layout

- ❷ Apply a clock to the drain. Click on the Clock icon, click on the left diffusion. The *Clock* menu appears. Change the name into `Vdrain` and click on **OK**. A default clock with 0.2 ns period is generated. The *Clock* property is sent to the node and appears at the right hand side of the desired location with the name `Vdrain`.

- ③ Watch the output: Click on the *Visible* icon and then, click on the right diffusion. Click **OK**. The Visible property is then sent to the node. The associated text *s1* is in italic, meaning that the waveform of this node will appear at the next simulation.

Always save BEFORE any simulation. The analog simulation algorithm may cause run-time errors leading to a loss of layout information. Click on **File** → **Save as**. A new window appears, into which you enter the design name. Type for example *Mosn.MSK*. Then click on **Save**. The design is saved under that filename.

## Analog Simulation

Click on **Simulate** → **Start Simulation**. The timing diagrams of the nMOS device appear, as shown in Figure 2-7. Select the appropriate time scale (500 ps) to see the chronograms of the simulation. Click “Reset” to restart simulation at any time.

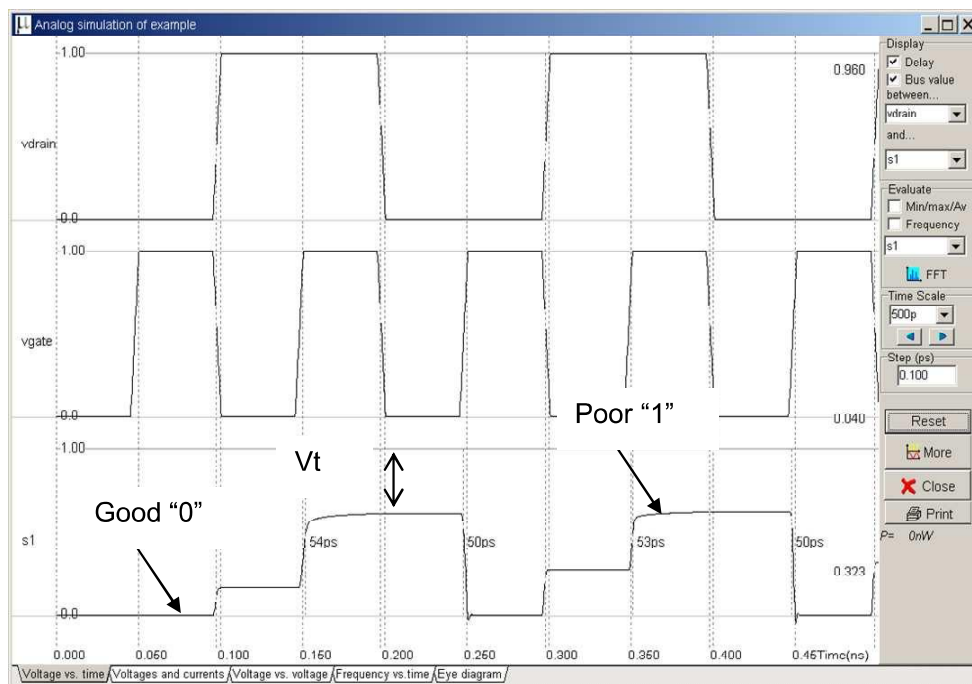


Figure 2-7 : Analog simulation of the MOS device.

When *vgate* is at zero, no channel exists so the node *vsource* is disconnected from the drain. When the gate is on (*vgate*=1.0 V), the source copies the drain. It can be observed that the nMOS device drives well at zero but poorly at the high voltage. The highest value of *vsource* is around 0.6 V, that is VDD minus the threshold voltage. This means that the n-channel MOS device do not drives well logic signal 1, as summarized in figure 2-8. Click on **More** in order to perform more simulations. Click on **Close** to return to the editor.

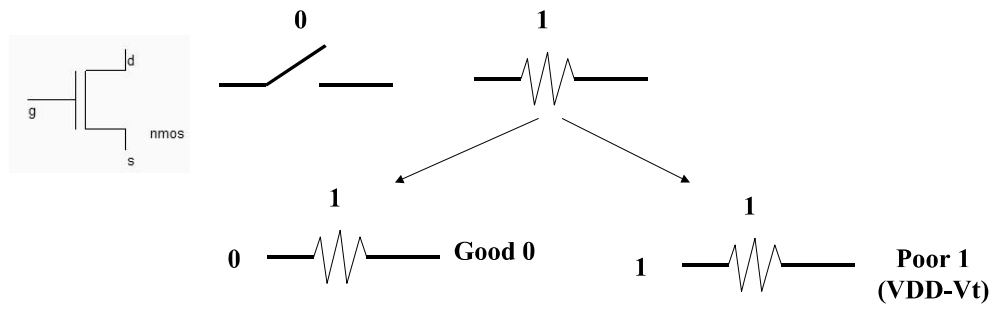


Figure 2-8 : The nMOS device behavior summary

## The MOS Models

### Mos Level 1

For the evaluation of the current  $I_{ds}$  between the drain and the source as a function of  $V_d, V_g$  and  $V_s$ , you may use the old but nevertheless simple LEVEL1 described below. The parameters listed in table 2-1 correspond to “low leakage” MOS option, which is the default MOS option in 45 nm technology. When dealing with sub-micron technology, the model LEVEL1 is more than 4 times too optimistic regarding current prediction, compared to real-case measurements.

$\epsilon_0 = 8.85 \cdot 10^{-12}$  F/m is the absolute permittivity

$\epsilon_r$  = relative permittivity, equal to 10 in the case of  $\text{HfO}_2$  (no unit)

Mode	Condition	Expression for the current $I_{ds}$
CUT-OFF	$V_{gs} < 0$	$I_{ds} = 0$
LINEAR	$V_{ds} < V_{gs} - V_t$	$I_{ds} = U_0 \frac{\epsilon_0 \epsilon_r}{\text{TOX}} \cdot \frac{W}{L} ((V_{gs} - v_t) \cdot V_{ds} - \frac{(V_{ds})^2}{2})$
SATURATED	$V_{ds} > V_{gs} - V_t$	$I_{ds} = U_0 \frac{\epsilon_0 \epsilon_r}{\text{TOX}} \cdot \frac{W}{L} (V_{gs} - v_t)^2$

Mos Level1 parameters			
Parameter	Definition	Typical Value 45nm	
		NMOS	PMOS
VTO	Threshold voltage	0.18 V	-0.15 V
U0	Carrier mobility	0.016 m <sup>2</sup> /V-s	0.012 m <sup>2</sup> /V-s
TOXE	Equivalent gate oxide thickness	3.5 nm	3.5 nm
PHI	Surface potential at strong inversion	0.15 V	0.15 V
GAMMA	Bulk threshold parameter	0.4 V <sup>0.5</sup>	0.4 V <sup>0.5</sup>
W	MOS channel width	80 nm minimum	80 nm minimum
L	MOS channel length	40 nm minimum	40 nm minimum

Table 2-1: Parameters of MOS level 1 implemented into Microwind

The High-K dielectric enabled a thinner “equivalent” oxide thickness while keeping leakage current low. The “equivalent oxide thickness” TOXE is defined by Equ. 1. For the 45-nm technology, the high-K

permittivity declared in the rule file is 10 (Parameter “GateK”), close to HfO<sub>2</sub> gate dielectric permittivity. The physical oxide thickness is 3.5 nm, and by applying equ. 1, TOXE is 1.4nm. These parameters are in close agreement with those in Song’s review on 45-nm gate stacks [Song2006].

$$TOXE = \left( \frac{\epsilon_{SiO2}}{\epsilon_{high-k}} t_{high-k} \right) \quad (\text{Equ. 1})$$

Where

$\epsilon_{SiO2}$  = dielectric permittivity of SiO<sub>2</sub> (3.9, no unit)

$\epsilon_{high-k}$  = High-K dielectric permittivity

$t_{high-k}$  = High-K oxide thickness (m)

### The MOS Level 3

For the evaluation of the current  $I_{ds}$  as a function of  $V_d, V_g$  and  $V_s$  between drain and source, we commonly use the following equations, close from the SPICE LEVEL 3 formulations [Lee]. The formulations are derived from the LEVEL1 and take into account a set of physical limitations in a semi-empirical way.

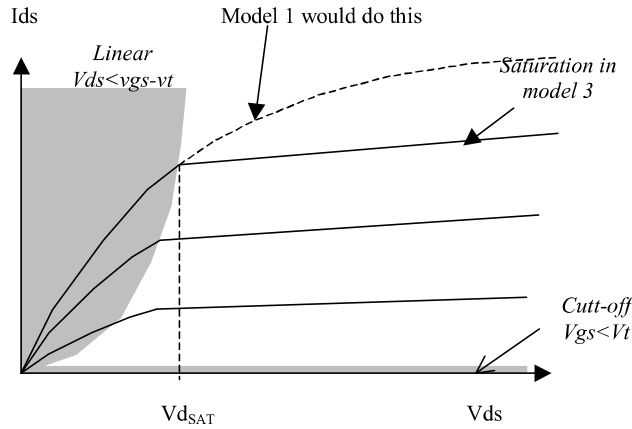


Figure 2-9 : Introduction of the saturation voltage  $V_{dSAT}$  which truncates the equations issued from model 1

One of the most important change is the introduction of  $V_{dSAT}$ , a saturation voltage from which the current saturates and do not rise as the LEVEL1 model would do (figure 2-9). This saturation effect is significant for small channel length.

### The BSIM4 MOS Model

An advanced MOS model, called BSIM4, has been introduced in 2000 [Liu]. A simplified version of this model is supported by MICROWIND in its full version and recommended for nanoscale technology simulation. BSIM4 still considers the operating regions described in MOS level 3 (linear for low  $V_{ds}$ , saturated for high  $V_{ds}$ , subthreshold for  $V_{gs} < V_t$ ), but provides a perfect continuity between these regions. BSIM4 introduces a new region where the impact ionization effect is dominant.



The number of parameters specified in the official release of BSIM4 is as high as 300. A significant portion of these parameters is unused in our implementation. We concentrate on the most significant parameters, for educational purpose. The set of parameters is reduced to around 20, shown in the right part of figure 2-10.

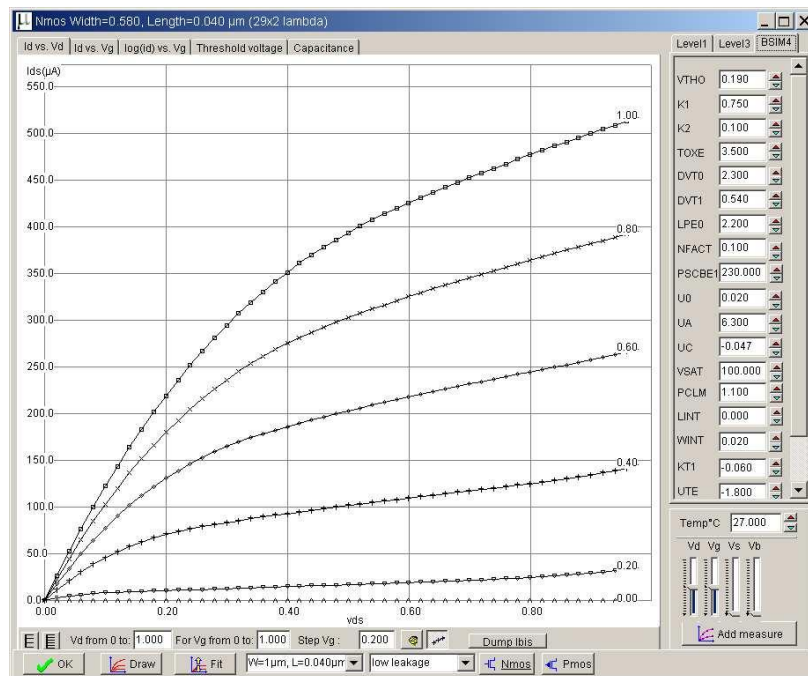


Figure 2-10 : Implementation of BSIM4 within Microwind (full version only)

## The PMOS Transistor

The p-channel transistor simulation features the same functions as the n-channel device, but with opposite voltage control of the gate. For the nMOS, the channel is created with a logic 1 on the gate. For the pMOS, the channel is created for a logic 0 on the gate. Load the file `pmos.msk` and click the icon **MOS characteristics**. The p-channel MOS simulation appears, as shown in Figure 2-11.

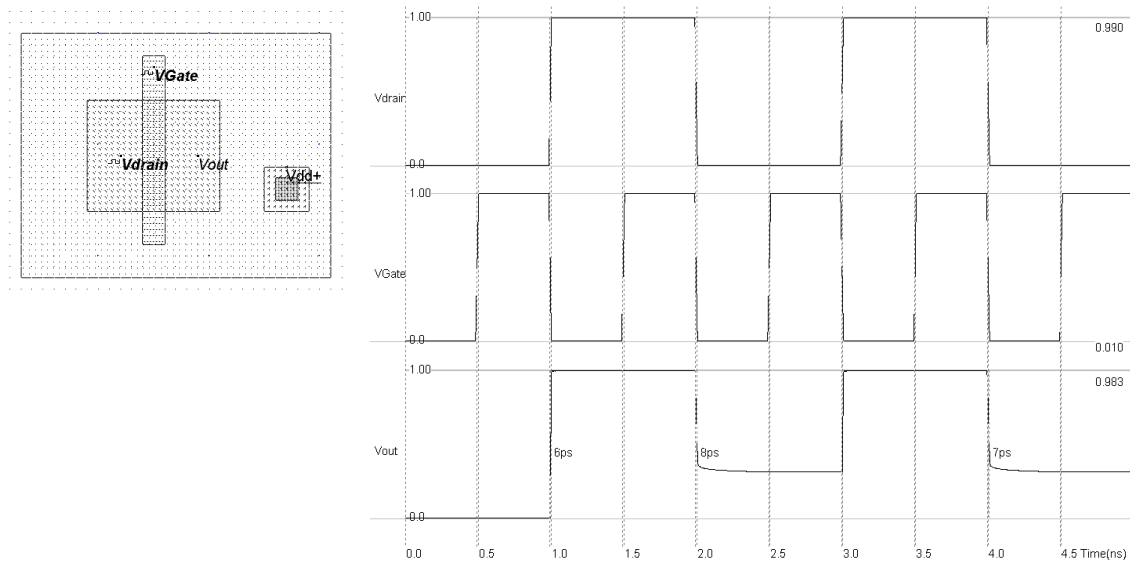


Figure 2-11 : Layout and simulation of the p-channel MOS (mypmos.MSK)

Note that the pMOS gives approximately half of the maximum current given by the nMOS with the same device size. The highest current is obtained with the lowest possible gate voltage, that is 0. From the simulation of figure 2-11, we see that the pMOS device is able to pass well the logic level 1. But the logic level 0 is transformed into a positive voltage, equal to the threshold voltage of the MOS device (0.35 V). The summary of the p-channel MOS performances is reported in figure 2-12.

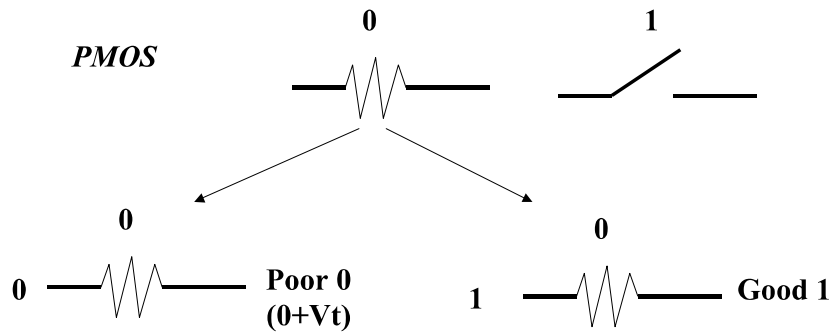


Figure 2-12 : Summary of the performances of a pMOS device

## MOS device options

The default MOS device in Microwind 3.5 is the “low leakage MOS”. There exist a possibility to use a second type of MOS device called “High-speed”. The device I/V characteristics of the low-leakage and high-speed MOS devices listed in Table 3 are obtained using the MOS model BSIM4 (See [Sicard2005a] for more information about this model). The cross-section of the low-leakage and high-speed MOS devices do not reveal any major difference (Fig. 2-13), except a reduction of the effective channel length. Concerning the low-leakage MOS, the I/V characteristics reported in Fig. 2-14 demonstrate a drive current

capability of around 0.9 mA/ $\mu$ m for W=1.0 $\mu$ m at a voltage supply of 1.0 V. For the high speed MOS, the effective channel length is slightly reduced as well as the threshold voltage, to achieve an increased drive current of around 1.2 mA/ $\mu$ m.

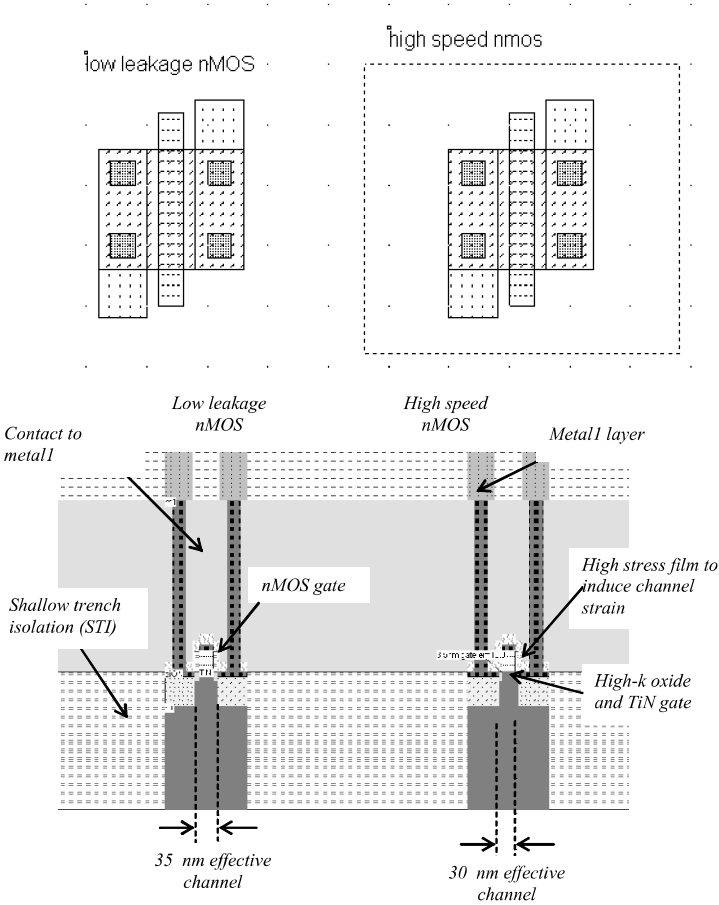
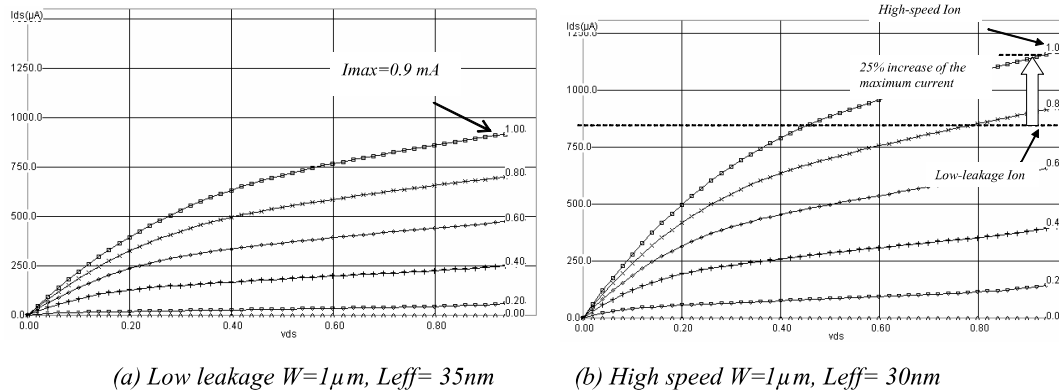
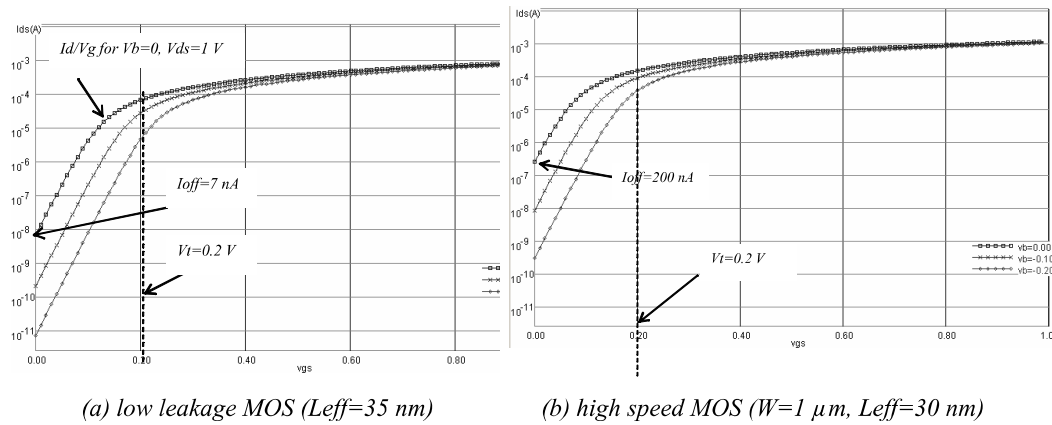


Figure 2-13 : Cross-section of the nMOS devices (allMosDevices.MSK)

Parameter	NMOS Low leakage	NMOS High speed
Drawn length (nm)	40	40
Effective length (nm)	35	30
Threshold voltage (V)	0.20	0.18
Ion (mA/ $\mu$ m) at VDD=1.0V	0.9	1.2
Ioff (nA/ $\mu$ m)	7	200

Table 3: nMOS parameters featured in the CMOS 45-nm technology provided in Microwind

Figure 2-14 :  $I_d/V_d$  characteristics of the low leakage and high speed nMOS devicesFigure 2-15 :  $I_d/V_g$  characteristics (log scale) of the low leakage and high-speed nMOS devices

The drawback of the high-speed MOS current drive is the leakage current which rises from 7 nA/ $\mu\text{m}$  (low leakage) to 200 nA/ $\mu\text{m}$  (high speed), as seen in the  $I_d/V_g$  curve at the X axis location corresponding to  $V_g=0\text{ V}$  (Fig. 2-15 b).

## High-Voltage MOS

At least three types of MOS devices exist within the 45-nm technology implemented in Microwind : the low-leakage MOS (default MOS device), the high-speed MOS (higher switching performance but higher leakage) and the high voltage MOS used for input/output interfacing. In Microwind's cmos45nm rule file, the I/O supply is 1.8 V. Most foundries also propose 2.5 V and 3.3 V interfacing.

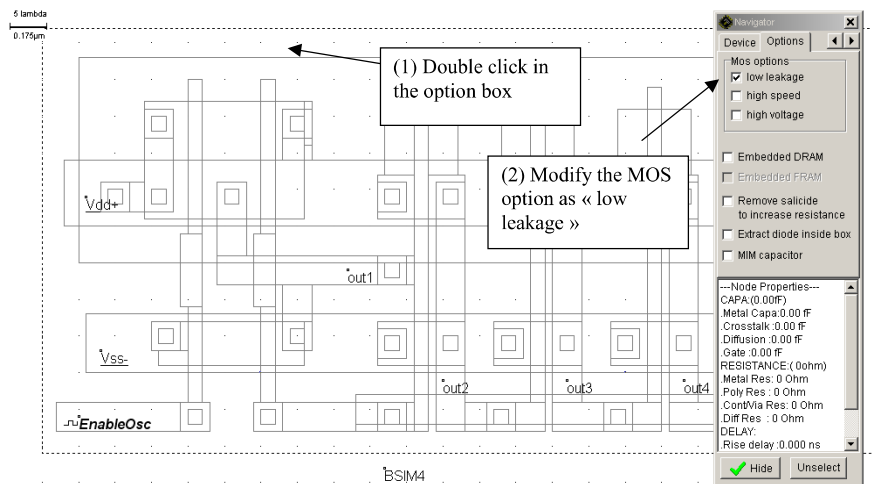


Figure 2-16 : Changing the MOS type through the option layer

The MOS type is changed using an option layer, situated at the upper part of the palette. The option layer box should completely surround the MOS device layout. Double click the option layer. The Navigator menu is set to the “Options” menu (Fig. 2-16). The default MOS type corresponds to the option “low leakage” (Fig. 2-16). Change the option to “High Speed” and launch the simulation again.

## The Transmission Gate

Both NMOS devices and PMOS devices exhibit poor performances when transmitting one particular logic information. The nMOS degrades the logic level 1, the pMOS degrades the logic level 0. Thus, a perfect pass gate can be constructed from the combination of nMOS and pMOS devices working in a complementary way, leading to improved switching performances. Such a circuit, presented in figure 2-17, is called the transmission gate. In DSCH, the symbol may be found in the **Advance** menu in the palette. The transmission gate includes one inverter, one nMOS and one pMOS.

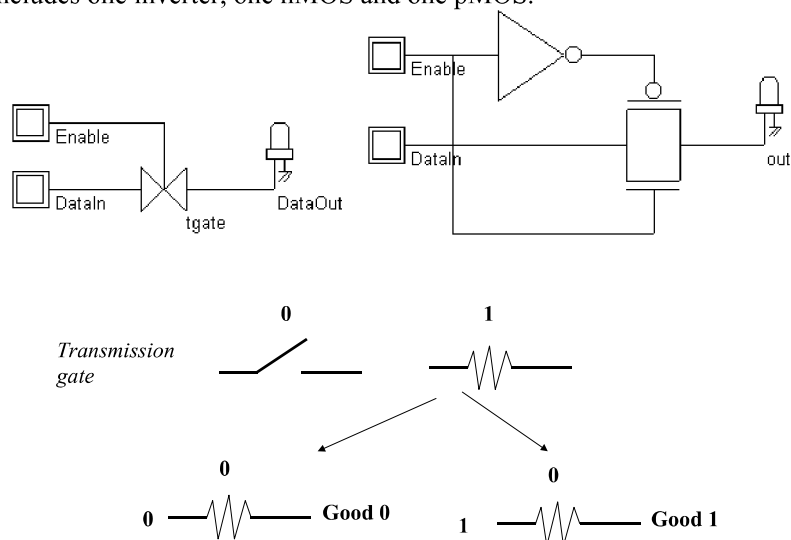


Figure 2-17 : Schematic diagram of the transmission gate (Tgate.SCH)

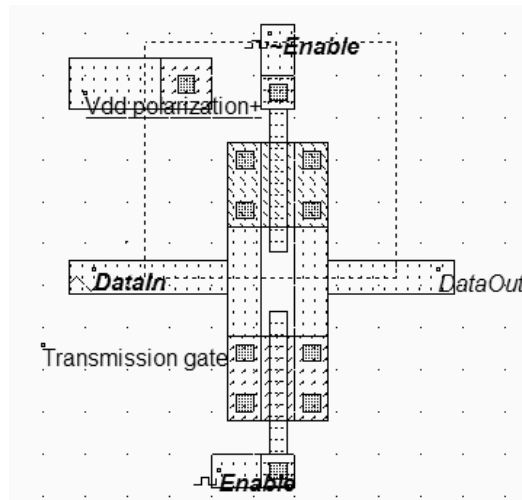


Figure 2-18 : Layout of the transmission gate (TGATE.MSK)

The layout of the transmission gate is reported in figure 2-18. The n-channel MOS is situated on the bottom the p-channel MOS on the top. Notice that the gate controls are not connected, as  $\sim Enable$  is the opposite of  $Enable$ .

## Metal Layers

As seen in the palette (Fig. 2-19), the available metal layers in 45nm technology range from *metal1* to *metal8*. The layer *metal1* is situated at the lowest altitude, close to the active device, while *metal8* is nearly  $10\mu\text{m}$  above the silicon surface. Metal layers are labeled according to the order in which they are fabricated, from the lower level (*metal1*) to the upper level (*metal8*).

In Microwind, specific macros are accessible to ease the addition of contacts in the layout. These macros can be found in the palette. As an example, you may instantiate a design-error free *metal7/metal8* contact by selecting *metal8*, followed by a click on the upper left corner icon in the palette.

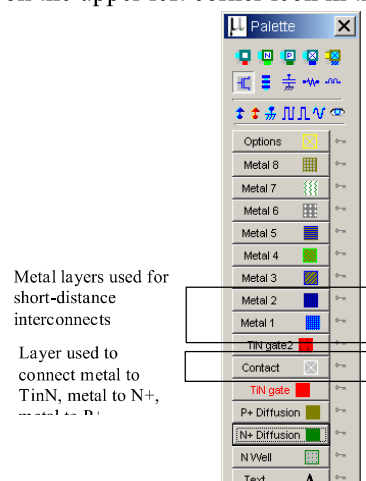


Figure 2-19 : Microwind window with the palette of layers including 8 levels of metallization

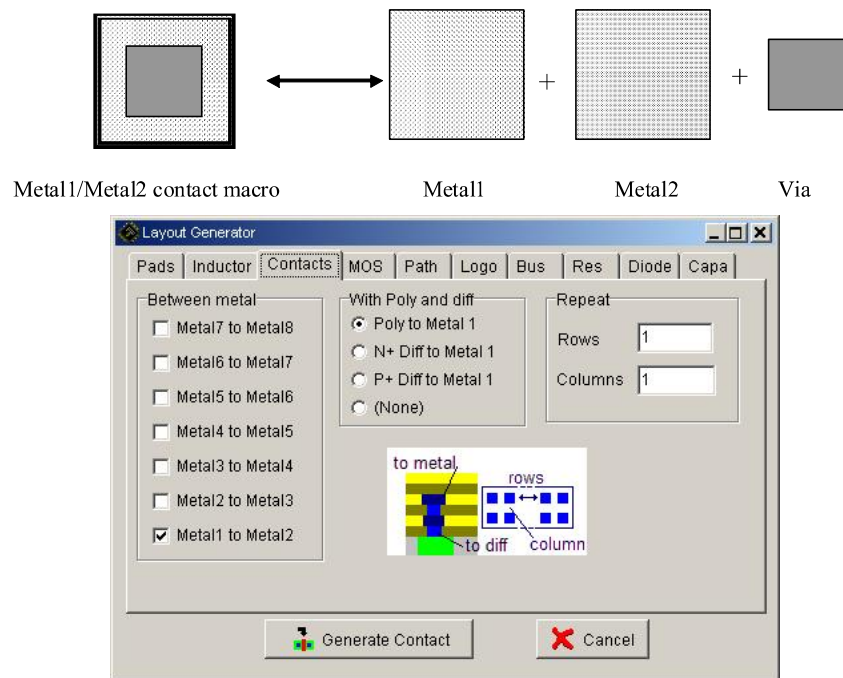


Figure 2-20 : Access to contact macros between metal layers

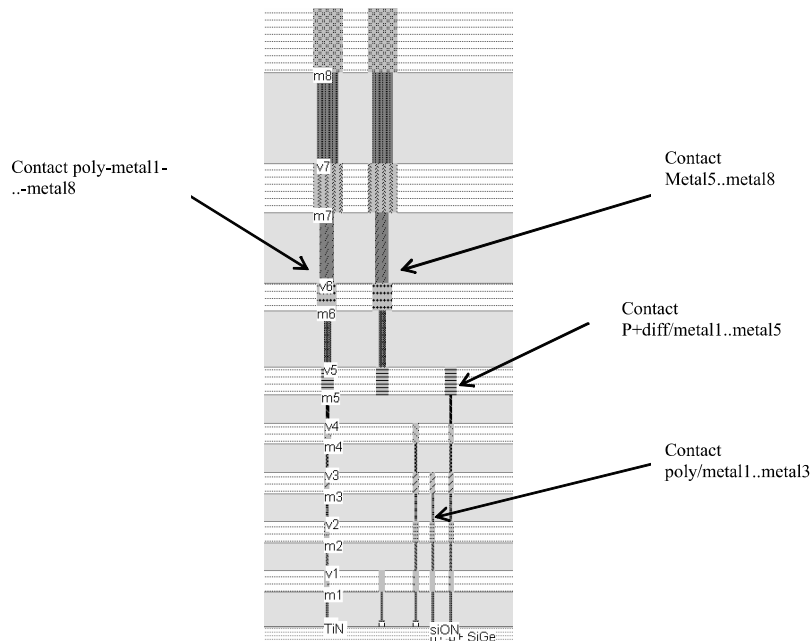


Figure 2-21: Examples of layer connection using the complex contact command from Microwind (Contacts.MSK)

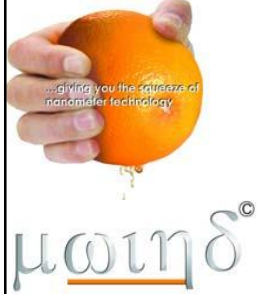
A metal7/metal8 contact is depicted in Fig. 2-20. Additionally, access to complex stacked contacts is proposed thanks to the icon "complex contacts" situated in the palette, in the second column of the second row. The screen shown in Fig. 2-20 appears when you click on this icon. By default it creates a contact from poly to metal1, and from metal1 to metal2. Tick more boxes "between metals" to build more complex stacked contacts, as illustrated in the 2D cross-section reported in Fig. 2-21.



Each layer is embedded into a low dielectric oxide (referred to as “interconnect layer permittivity K” in Table 2), which isolates the layers from each other. A cross-section of a 45-nm CMOS technology is shown in Fig. 2-21. In 45-nm technology, the layers *metal1..metal4* have almost identical characteristics. Concerning the design rules, the minimum width  $w$  of the interconnect is  $3\lambda$ . The minimum spacing is  $4\lambda$ . Layers *metal5* and *metal6* are a little thicker and wider, while layers *metal7* and *metal8* are significantly thicker and wider, to drive high currents for power supplies. The design rules for *metal8* are  $25\lambda$  ( $0.5\mu\text{m}$ ) width,  $25\lambda$  ( $0.5\mu\text{m}$ ) spacing.

### Added Features in the full version

BSIM4	The state-of-the art MOS model for accurate simulation of nano-scale technologies, including a tutorial on key parameters of the model.
High Speed Mos	New kinds of MOS device has been introduced in deep submicron technologies, starting the $0.18\mu\text{m}$ CMOS process generation. The MOS called high speed MOS (HS) is available as well as the normal one, recalled Low leakage MOS (LL).
High Voltage MOS	For I/Os operating at high voltage, specific MOS devices called "High voltage MOS" are used. The high voltage MOS is built using a thick oxide, two to three times thicker than the low voltage MOS, to handle high voltages as required by the I/O interfaces..
Temperature Effects	Three main parameters are concerned by the sensitivity to temperature: the threshold voltage $V_{TO}$ , the mobility $\mu_0$ and the slope in sub-threshold mode. The modeling of the temperature effect is described and illustrated .
Process Variations	Due to unavoidable process variations during the hundreds of chemical steps for the fabrication of the integrated circuit, the MOS characteristics are never exactly identical from one device to another, and from one die to an other. Monte-carlo simulation, min/max/typ simulations are provided in the full version.



# Technology influence on Design Rules



μωιδ°

# Agenda

1. Capacitance effect
2. Resistance effect
3. Signal Transport
4. Conclusion

*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)



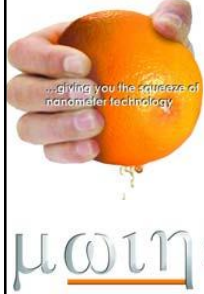
μωιηδ<sup>®</sup>

# 1. Capacitance effect

- Voluntary Capacitance
- Widely used for analog
- Basis of switched capacitors
- Used for on-chip filtering
- Basis of DRAM
  
- Parasitic Capacitance
- Slows the MOS
- Slows the signal propagation
- Couples wires together

*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)

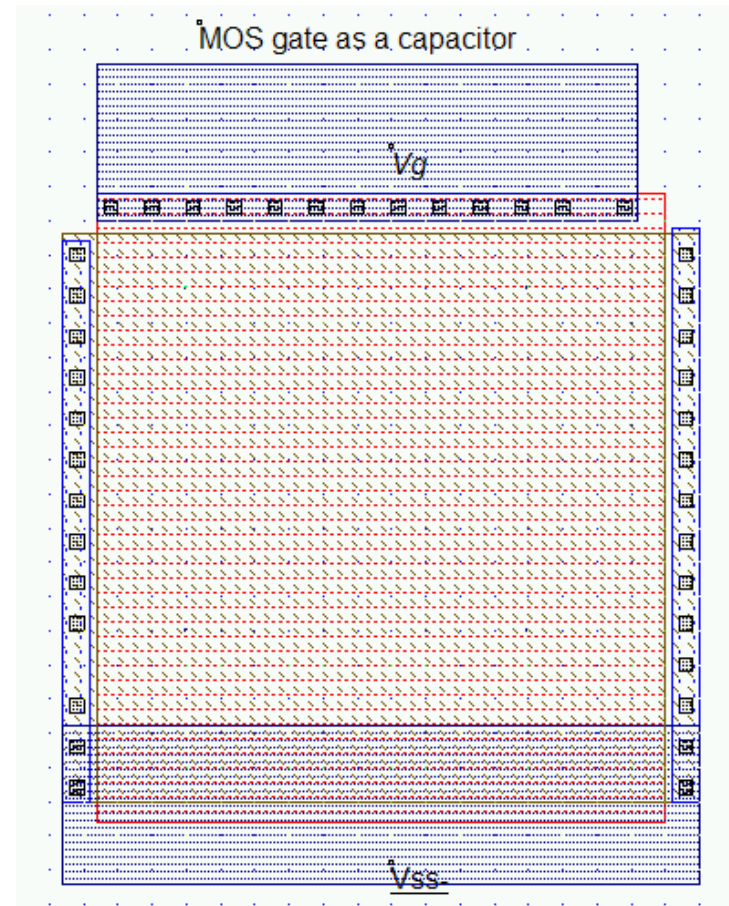


# 1. Capacitance effect

## Voluntary Capacitance

- Widely used for analog

$$C_{thinox} = \frac{\epsilon_0 \epsilon_r}{e} = \frac{8,85e^{-12} \times 3.9}{TOX} = \text{---} fF/\mu m^2$$



...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)

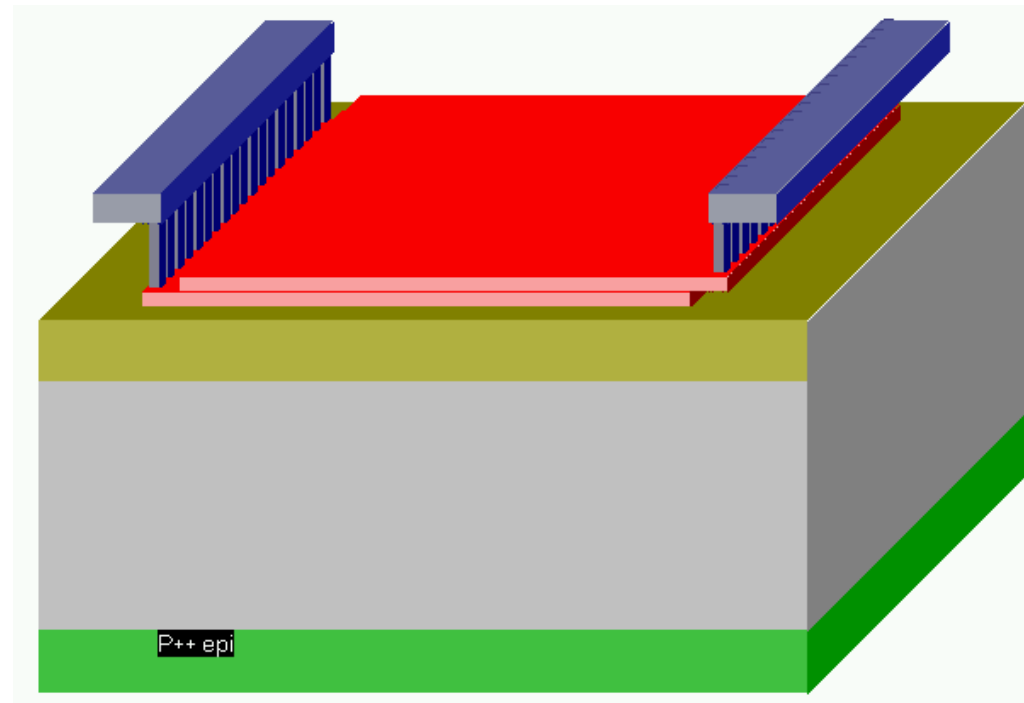
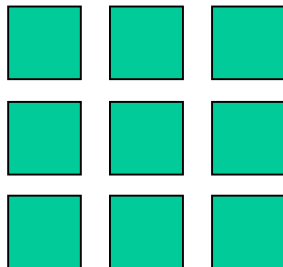


μωηδ°

# 1. Capacitance effect

## *Voluntary Capacitance*

- Pol1/Poly2
- Oxide 20nm
- High precision by splitting C



*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)

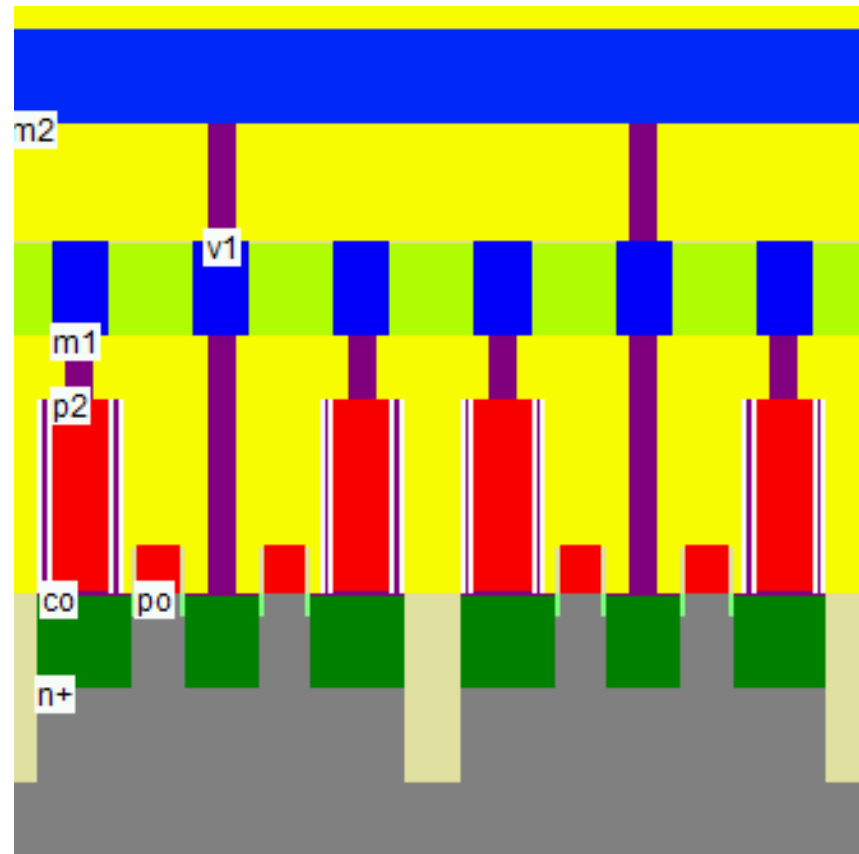


μωιηδ<sup>©</sup>

# 1. Capacitance effect

## *Voluntary Capacitance*

- DRAM capacitance
- Target: \_\_\_\_ fF/cell



*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)

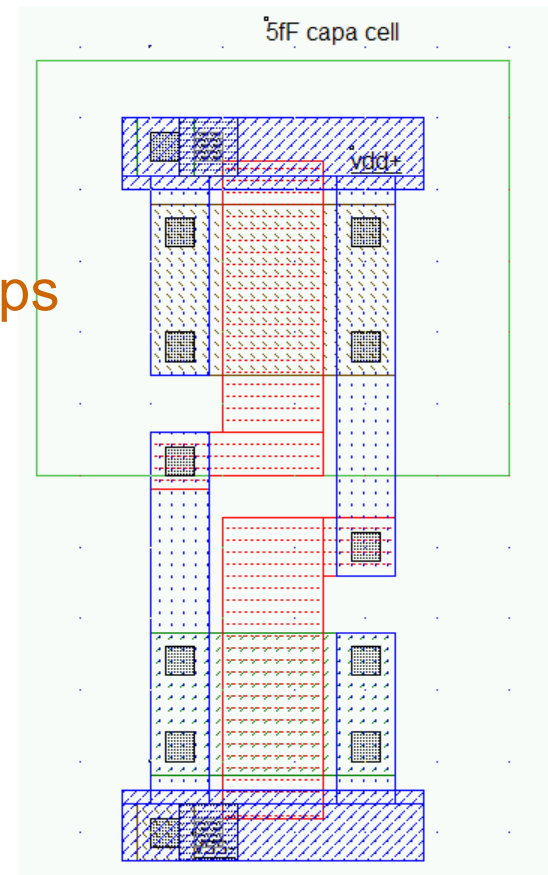
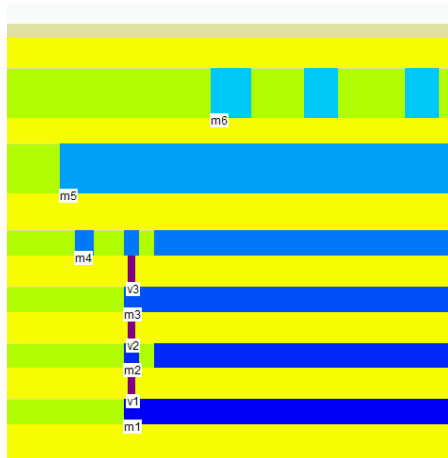


μωιηδ<sup>©</sup>

# 1. Capacitance effect

## *Voluntary Capacitance*

- Principles?
- Millions used in System-On-chips



*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)



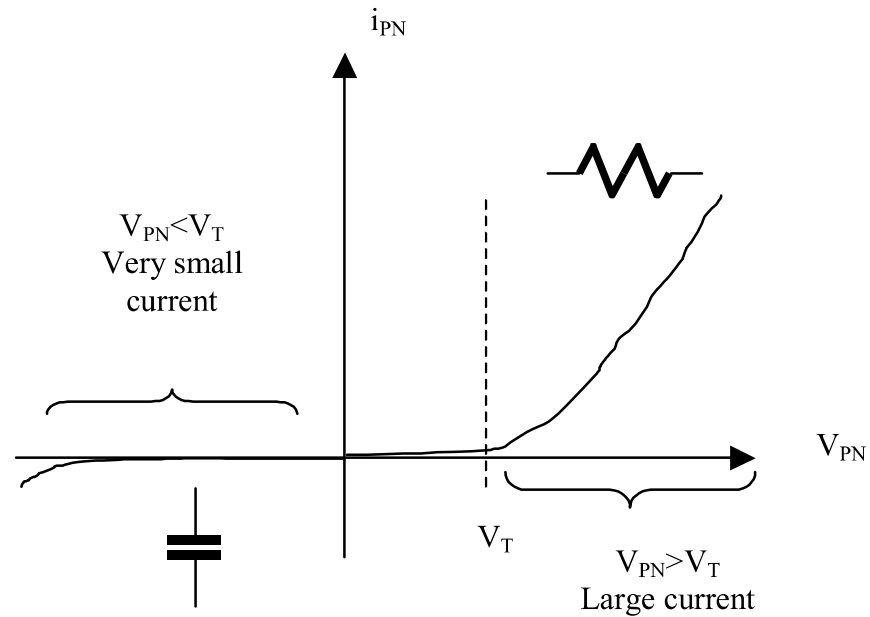
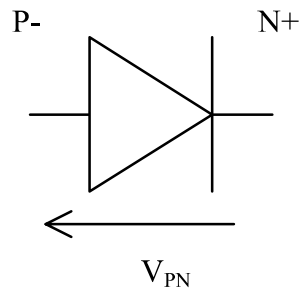


μωιηδ°

# 1. Capacitance effect

## Parasitic Capacitance

- Junction



...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)

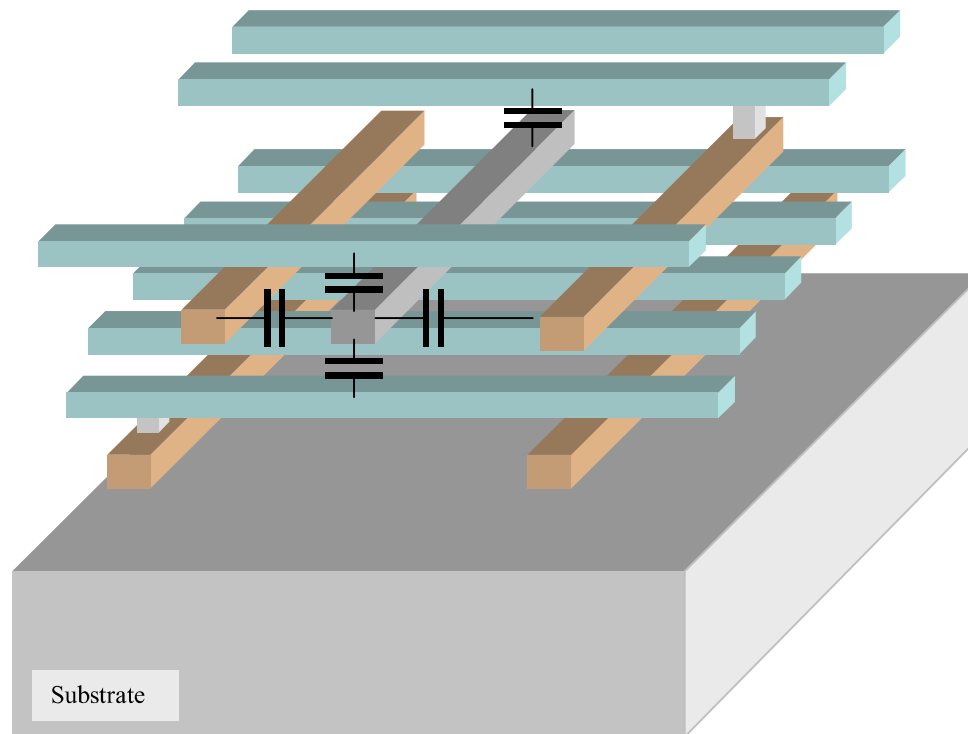


μωιηδ<sup>®</sup>

# 1. Capacitance effect

*Parasitic Capacitance*

- Interconnects



*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)

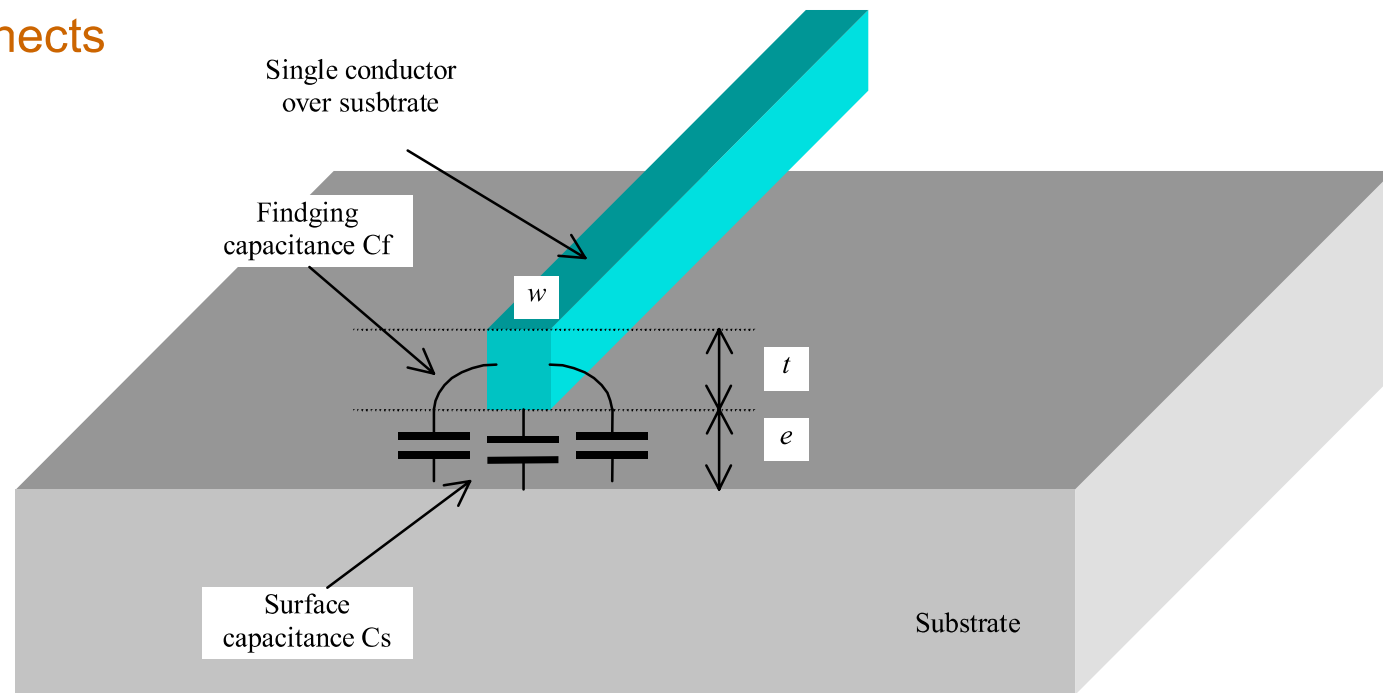


μωιηδ<sup>©</sup>

# 1. Capacitance effect

## Parasitic Capacitance

- Interconnects



*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)

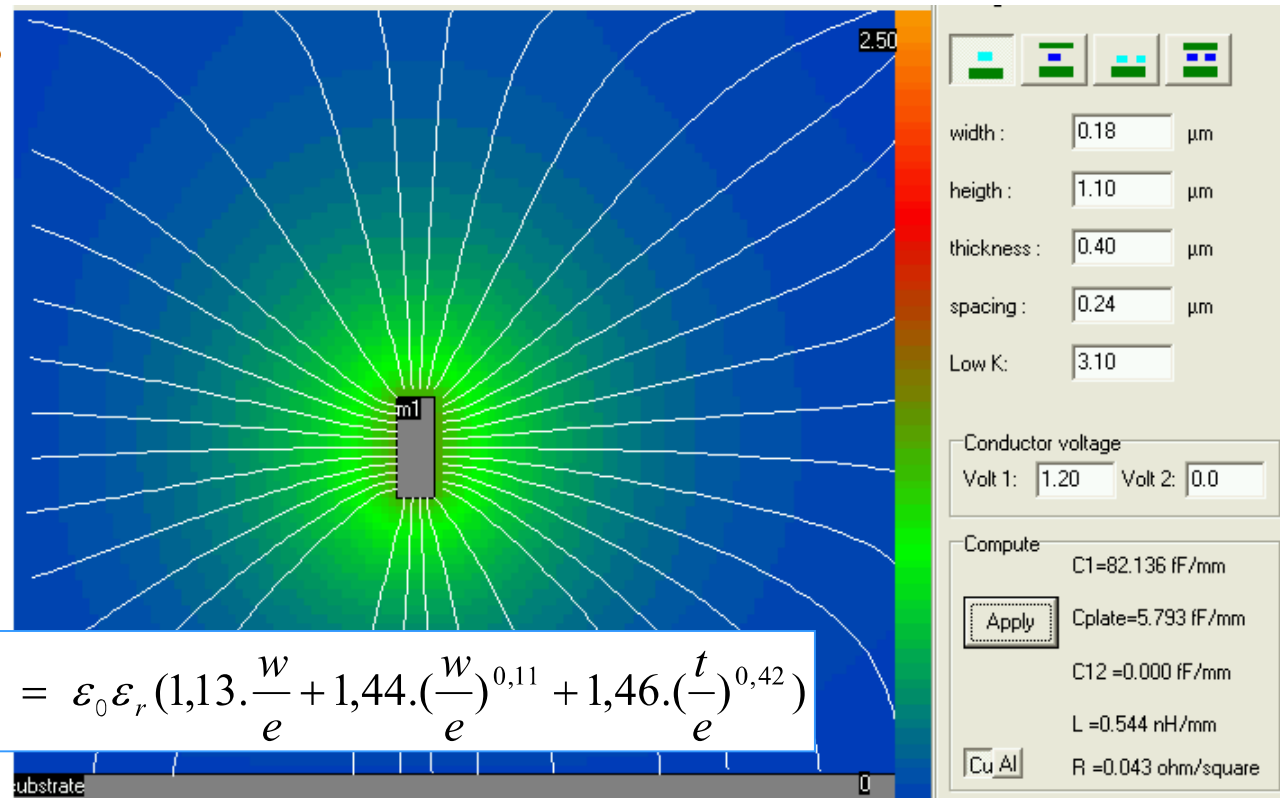


μωιηδ°

# 1. Capacitance effect

## Parasitic Capacitance

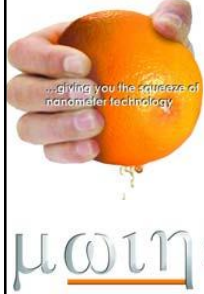
- Interconnects
- $C \gg C_{plate}$



$$C = C_s + 2.C_f = \epsilon_0 \epsilon_r \left( 1,13 \cdot \frac{w}{e} + 1,44 \cdot \left( \frac{w}{e} \right)^{0,11} + 1,46 \cdot \left( \frac{t}{e} \right)^{0,42} \right)$$

...giving you the squeeze of nanometer design technology

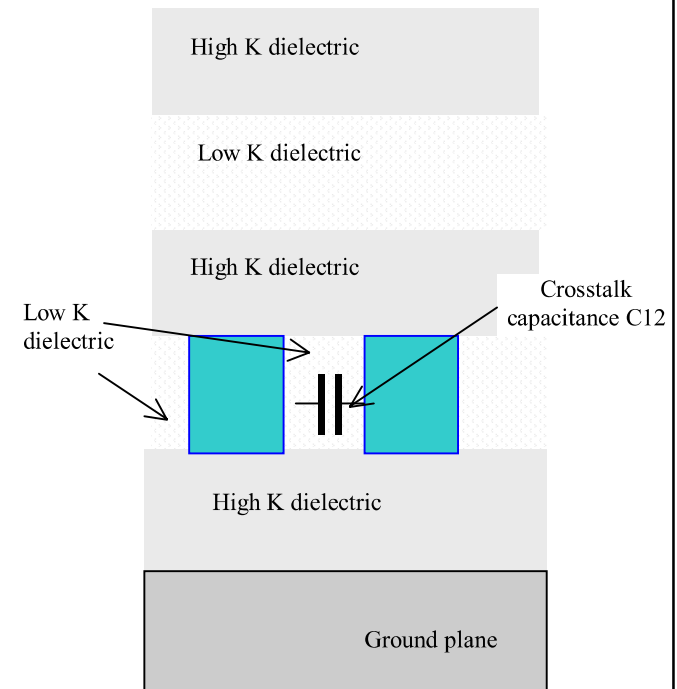
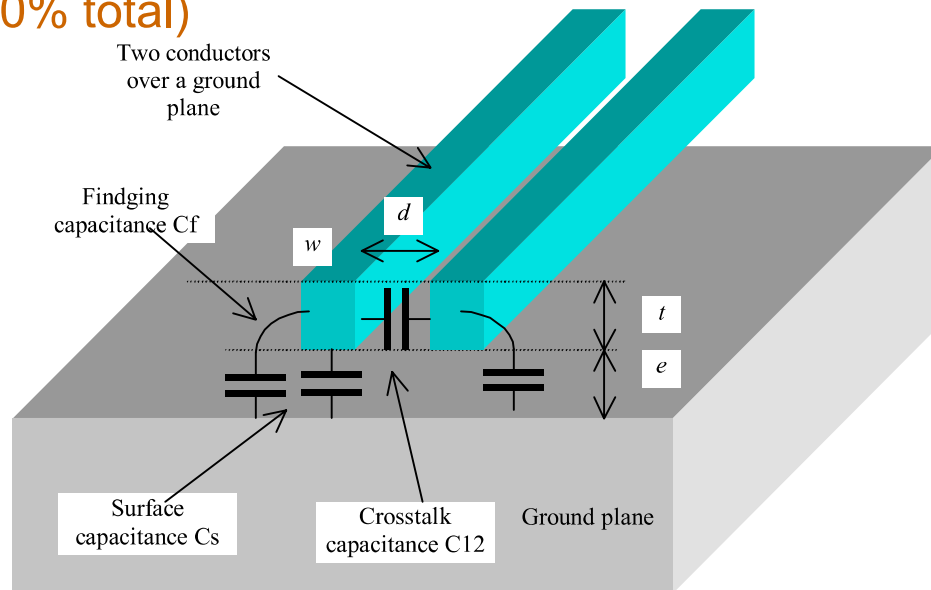
www.microwind.net



# 1. Capacitance effect

## Parasitic Capacitance

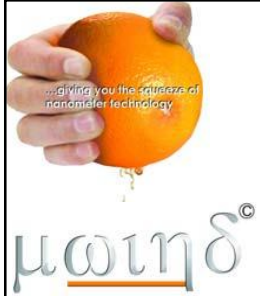
- Coupling significant (50% total)



Low K specified in DRM

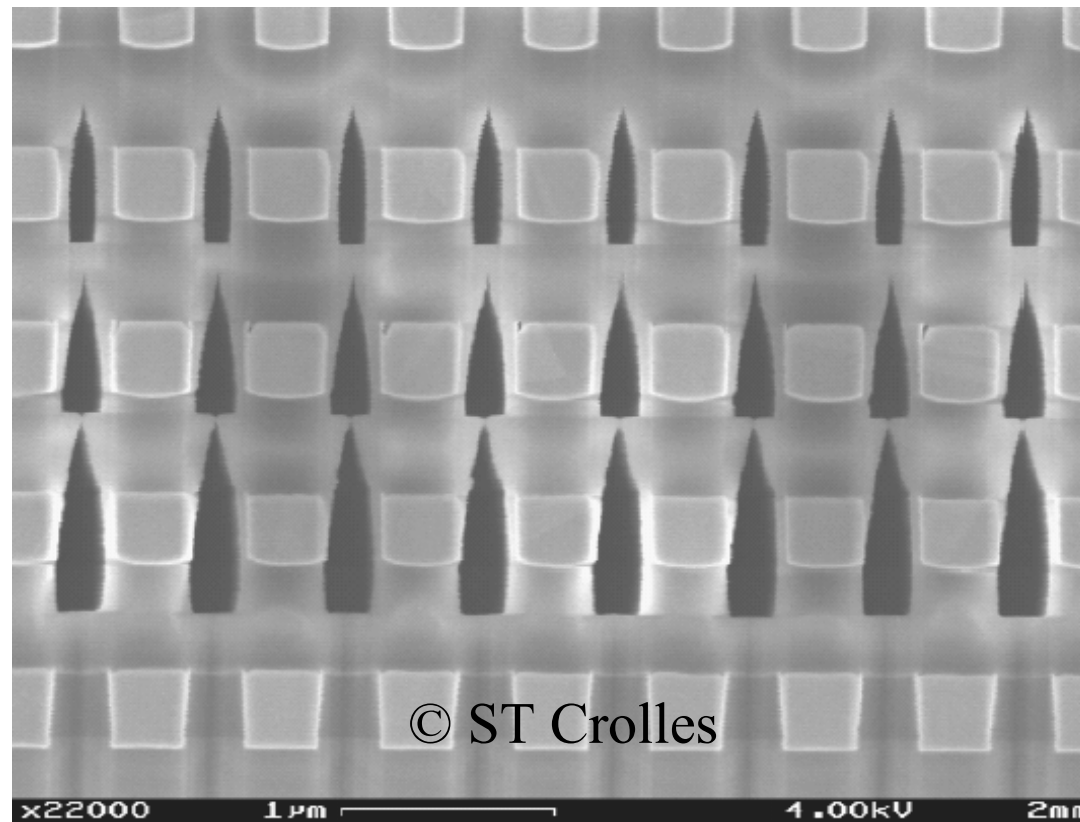
*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)



# 1. Capacitance effect

*Air-Gap*



*...giving you the squeeze of nanometer design technology*

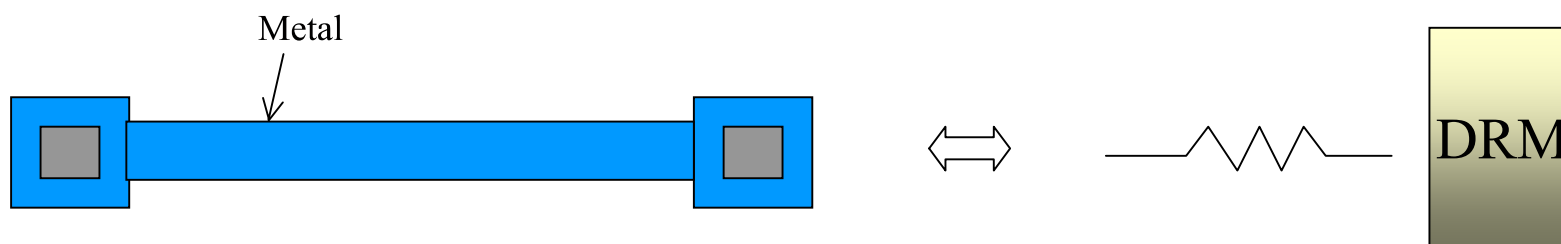
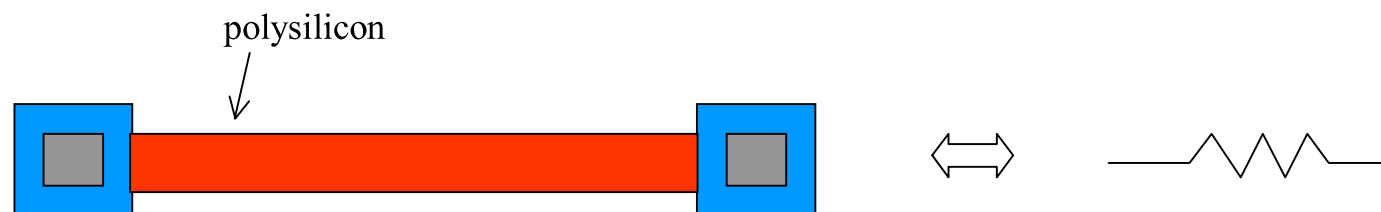
[www.microwind.net](http://www.microwind.net)



μωιηδ<sup>©</sup>

## 2. Resistance Effect

*Resistance*



*...giving you the squeeze of nanometer design technology*

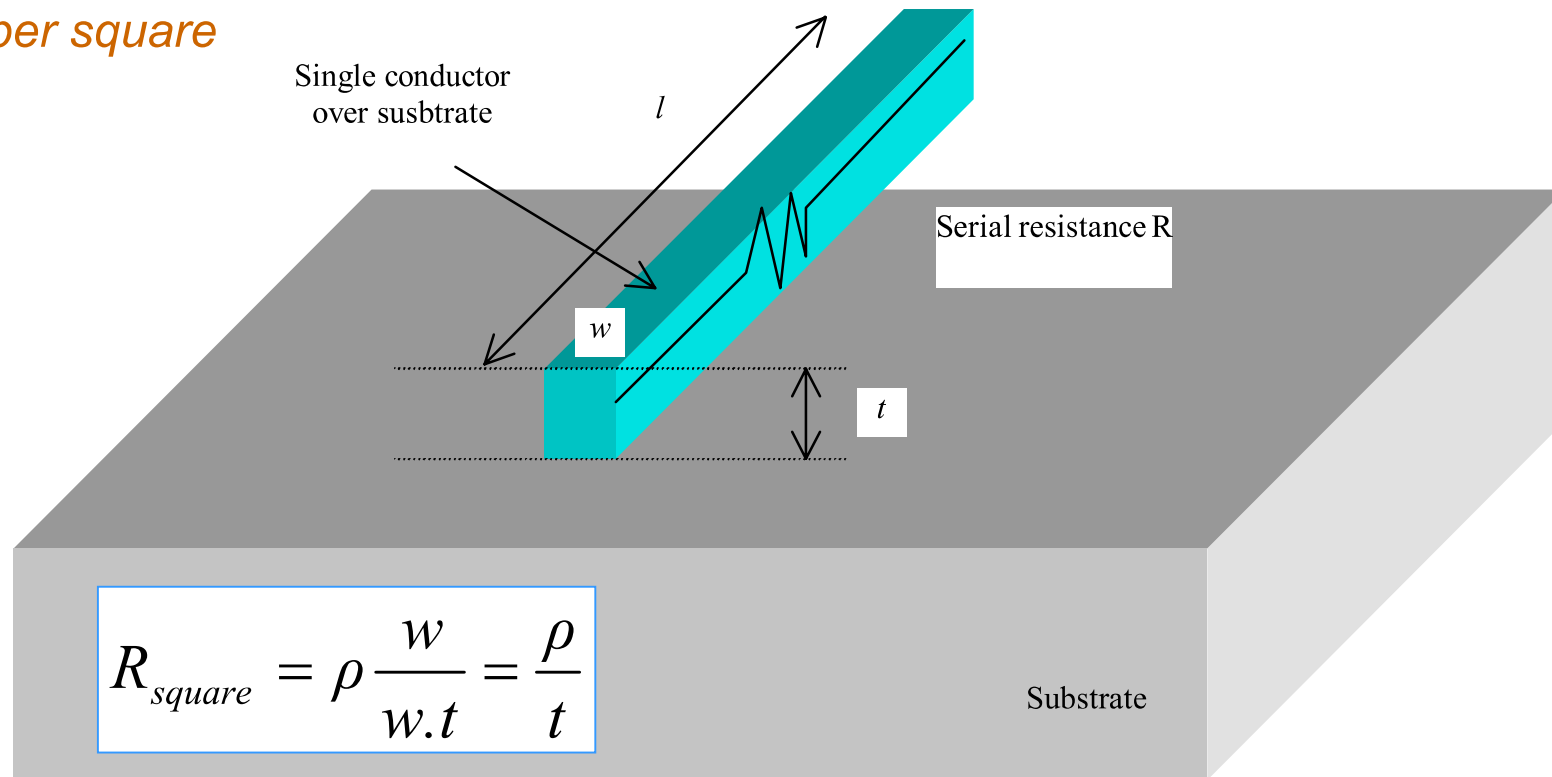
[www.microwind.net](http://www.microwind.net)



μωιηδ°

## 2. Resistance Effect

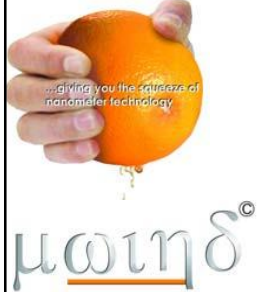
*Resistance  
per square*



*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)





## 2. Resistance Effect

### Resistivity

$\rho_{Ag}$	Gold resistivity	Bonding	$2.20 \cdot 10^{-6} \Omega \cdot \text{cm}$
$\rho_{tungsten}$	Tungsten resistivity	Contacts	$5.30 \cdot 10^{-6} \Omega \cdot \text{cm}$
$\rho_{Ndiff}$	Highly doped silicon res	N+ diffusions	$0.25 \Omega \cdot \text{cm}$
$\rho_{Nwell}$	Lightly doped silicon res	N well	$50 \Omega \cdot \text{cm}$
$\rho_{si}$	Intrinsic silicon resistivity	Substrate	$2.5 \cdot 10^5 \Omega \cdot \text{cm}$

*...giving you the squeeze of nanometer design technology*

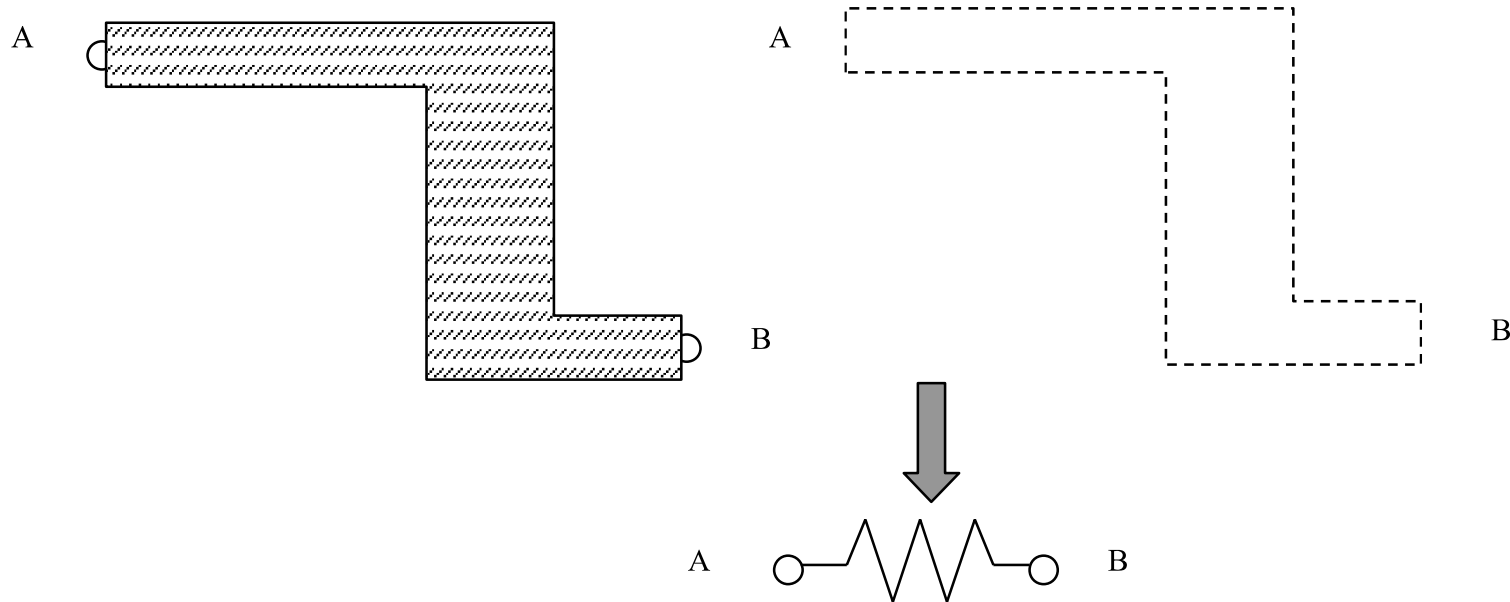
[www.microwind.net](http://www.microwind.net)



μωιηδ<sup>©</sup>

## 2. Resistance Effect

*Resistance evaluation example*



*...giving you the squeeze of nanometer design technology*

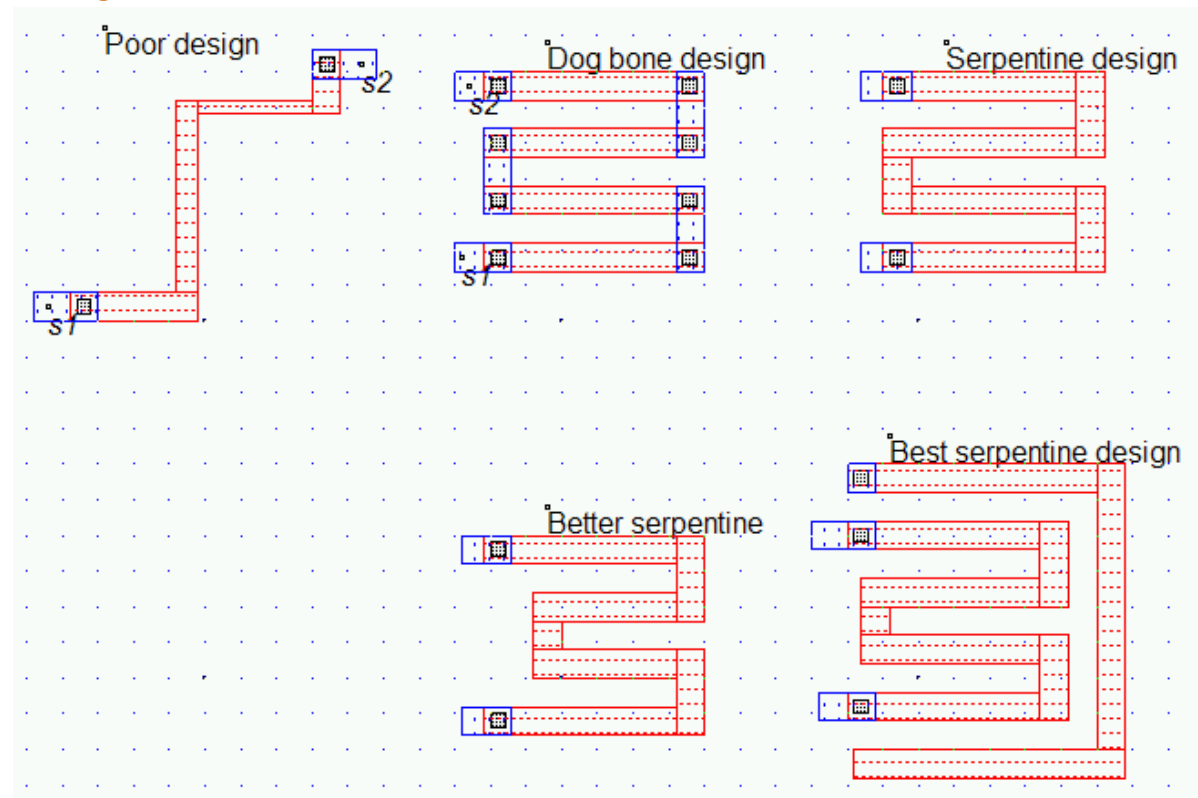
[www.microwind.net](http://www.microwind.net)



μωιηδ<sup>©</sup>

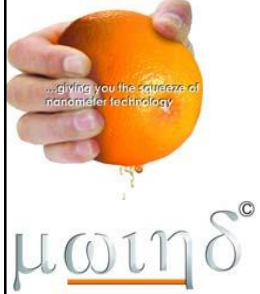
## 2. Resistance Effect

### Resistor design



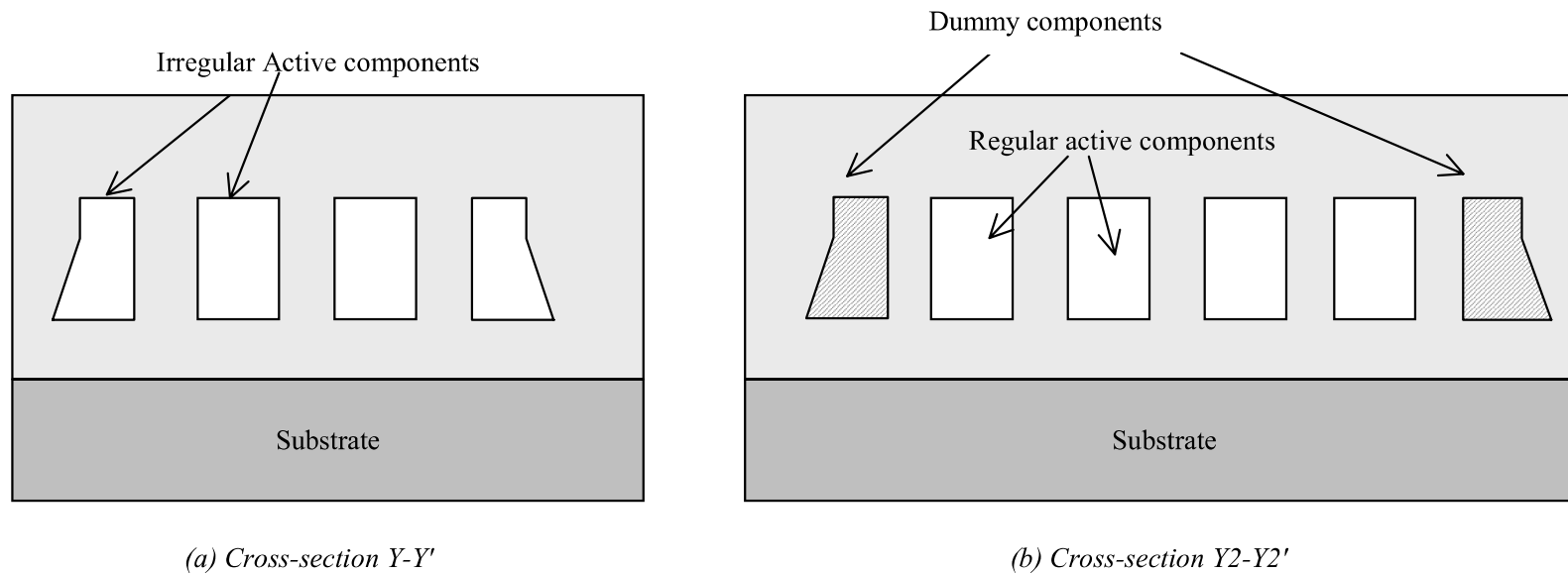
*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)



## 2. Resistance Effect

### Resistor design



*...giving you the squeeze of nanometer design technology*

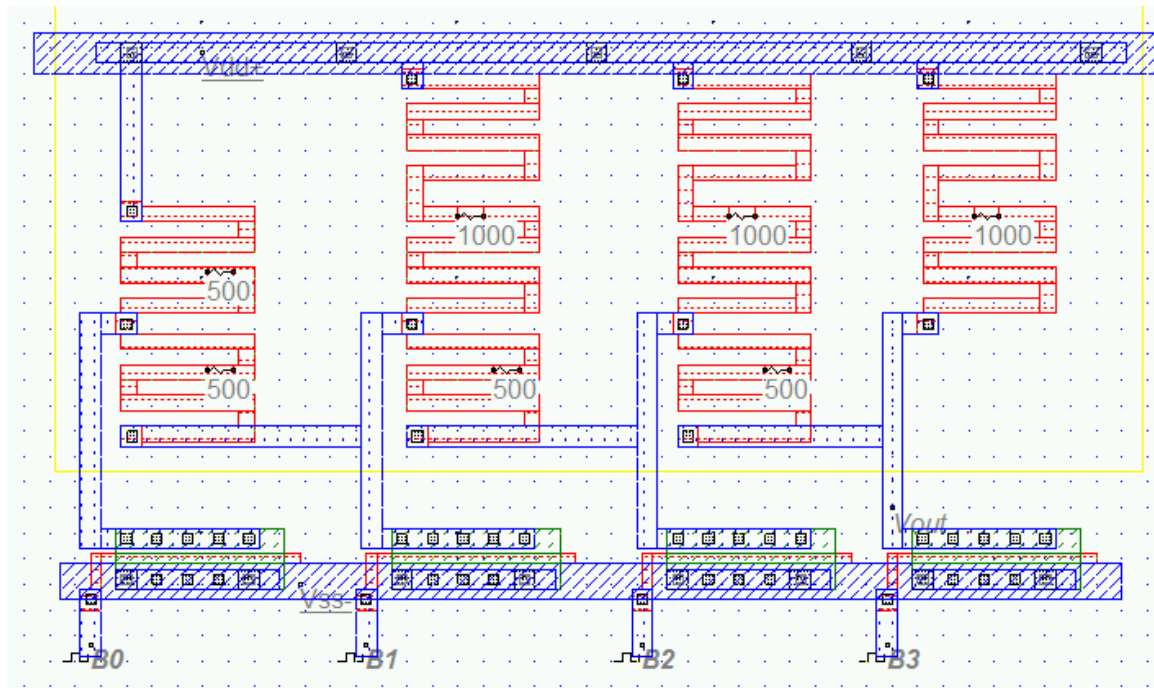
[www.microwind.net](http://www.microwind.net)



μωιηδ<sup>®</sup>

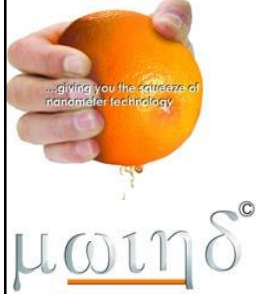
## 2. Resistance Effect

*Resistor design: DAC R-2R 4 bits*



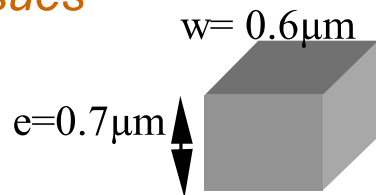
*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)

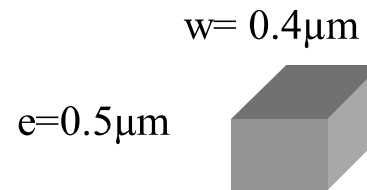


## 2. Resistance Effect

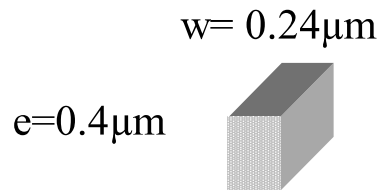
### Resistor issues



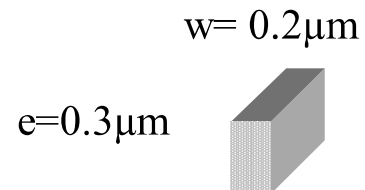
$0.35 \mu m : Alu \ 35 m\Omega/\square$



$0.25 \mu m : Alu \ 75 m\Omega/\square$



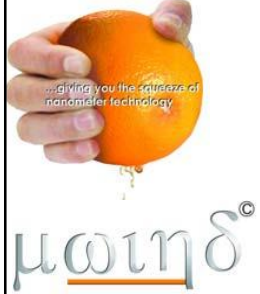
$0.12 \mu m : Copper \ 50 m\Omega/\square$



$90 nm : copper \ 60 m\Omega/\square$

*...giving you the squeeze of nanometer design technology*

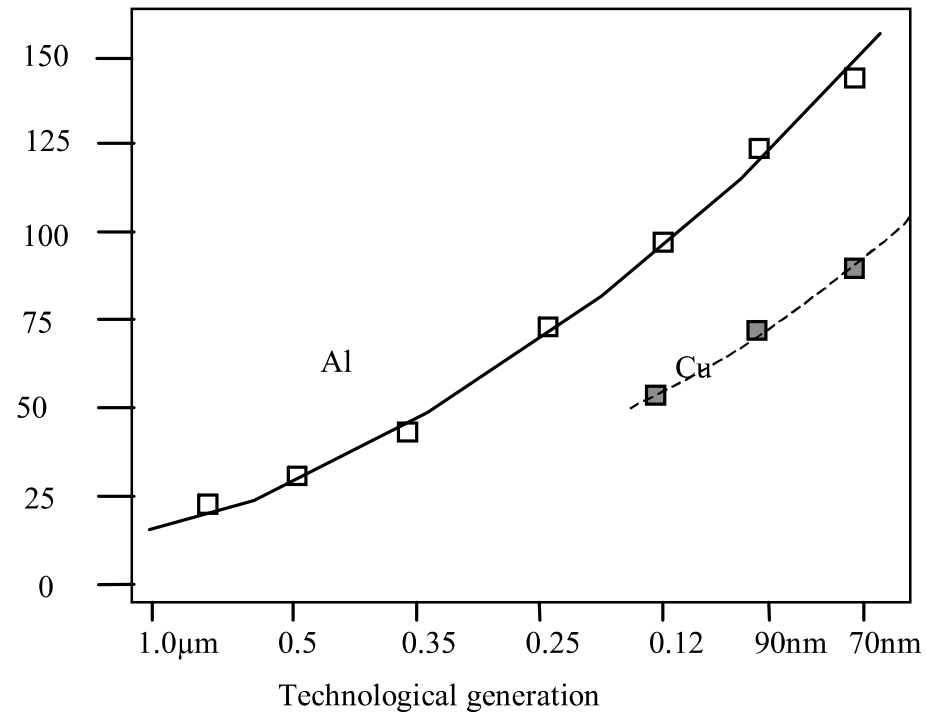
[www.microwind.net](http://www.microwind.net)



## 2. Resistance Effect

### *Resistor issues*

Interconnect resistance/mm



*...giving you the squeeze of nanometer design technology*

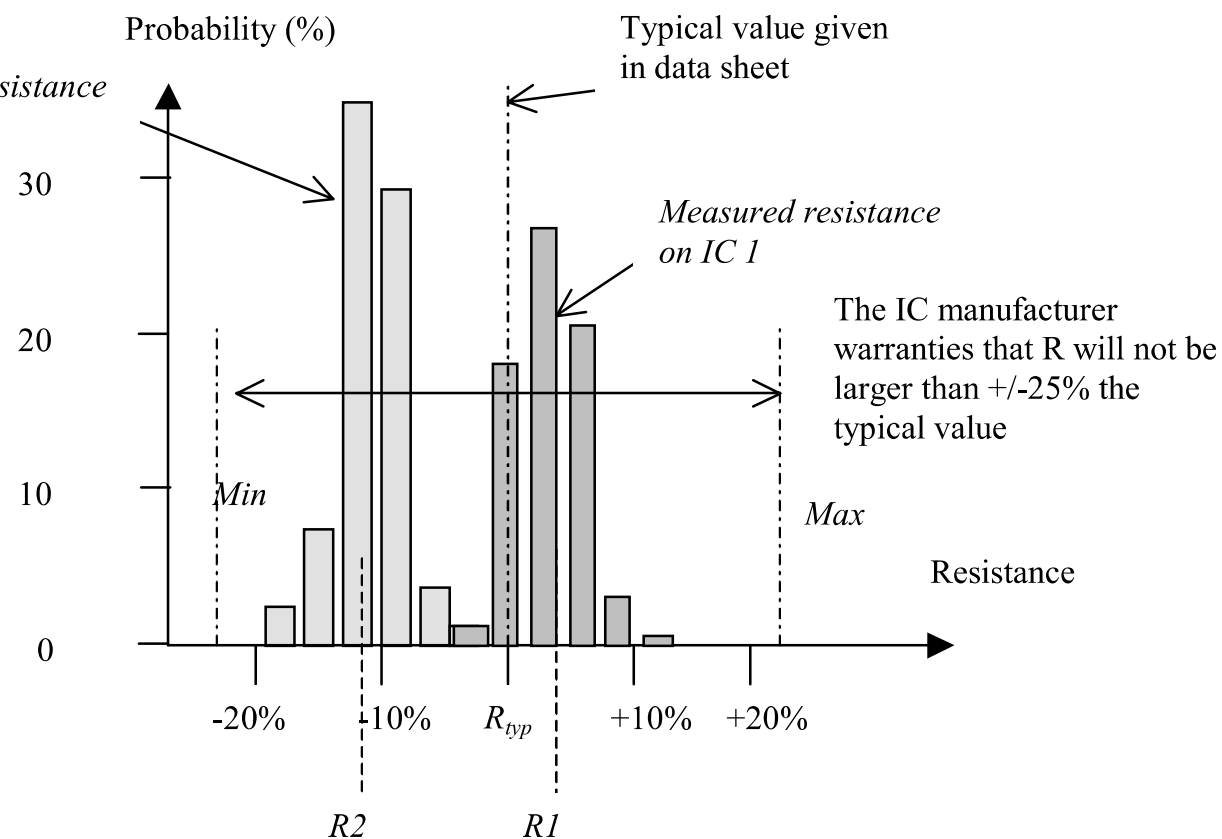
[www.microwind.net](http://www.microwind.net)



## 2. Resistance Effect

### Resistor fluctuation

Measured resistance on IC 2



...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)

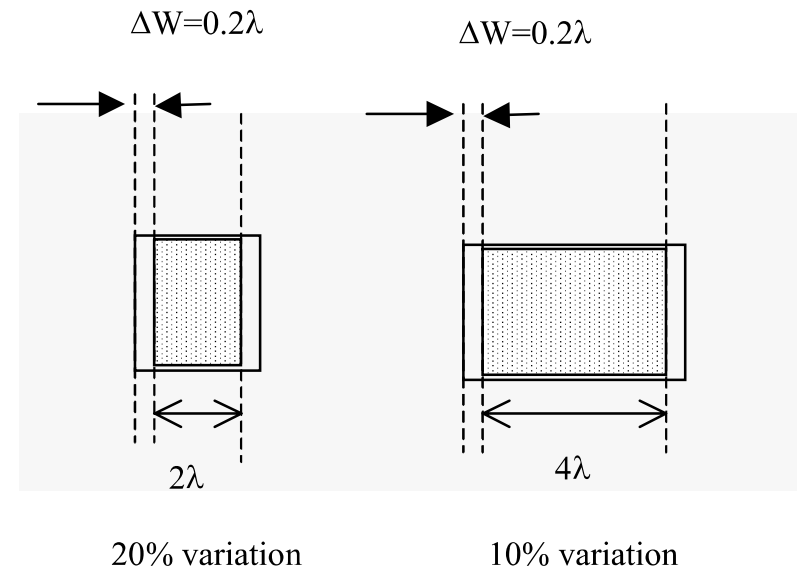
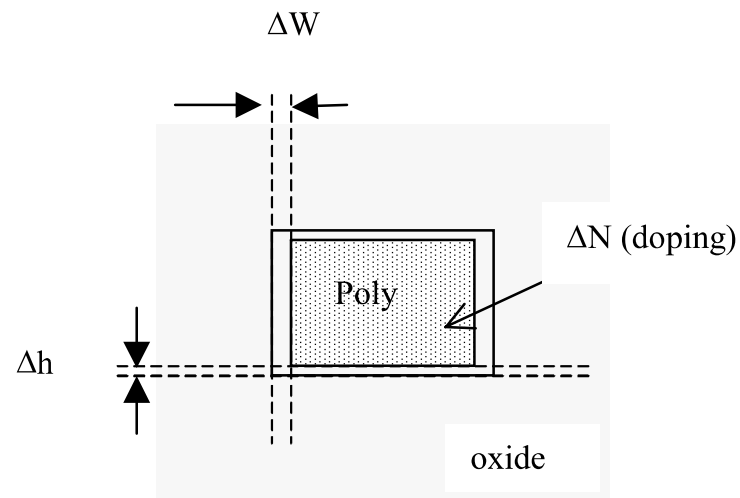




μωιηδ<sup>ο</sup>

## 2. Resistance Effect

*Resistor  
fluctuation*



*...giving you the squeeze of nanometer design technology*

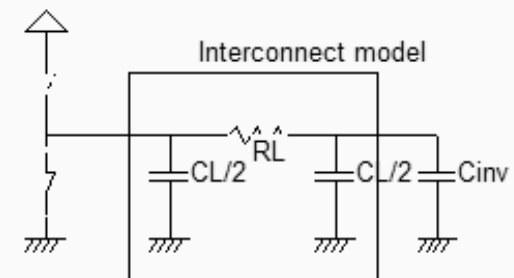
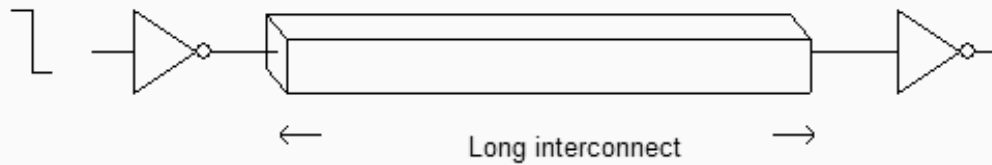
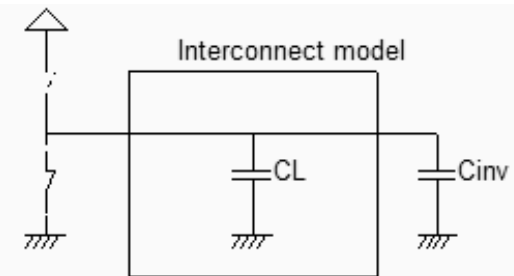
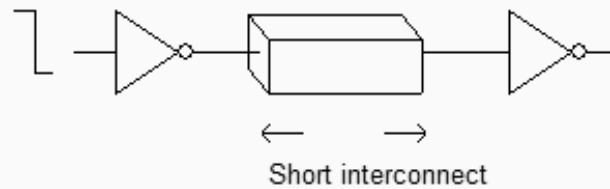
[www.microwind.net](http://www.microwind.net)



μωιηδ°

### 3. Signal propagation

#### *RC effect on long lines*



*...giving you the squeeze of nanometer design technology*

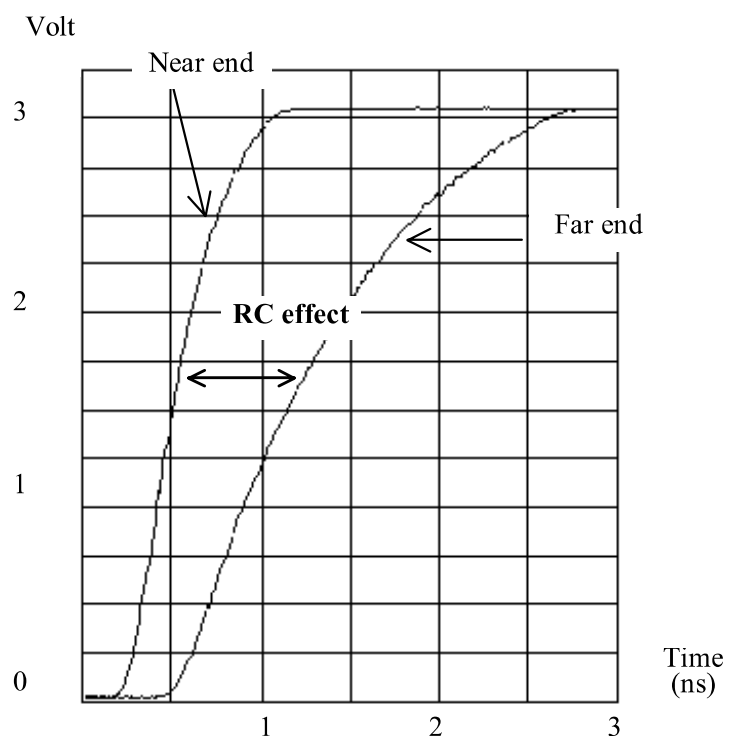
[www.microwind.net](http://www.microwind.net)



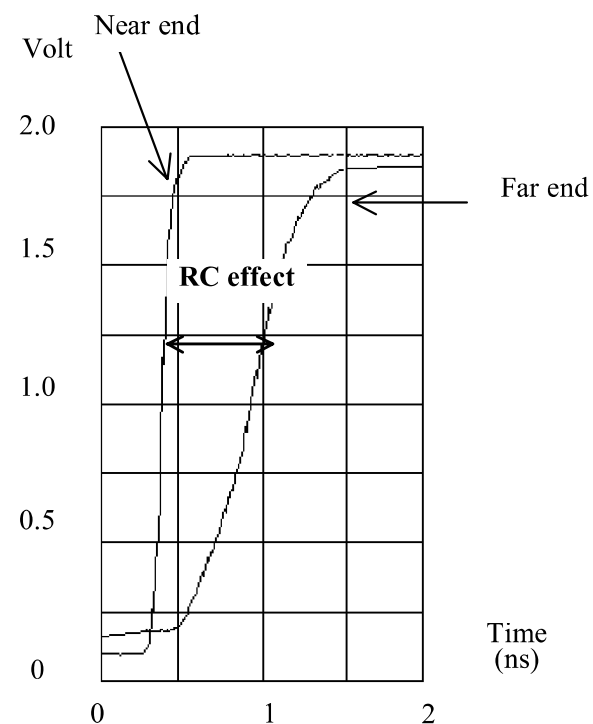
μωιηδ<sup>©</sup>

### 3. Signal propagation

#### Measured RC effect



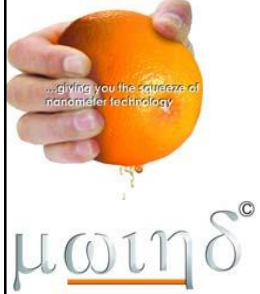
(a) 10mm, metal 3, 0.35μm technology



(b) 10mm, metal3, 0.18μm technology

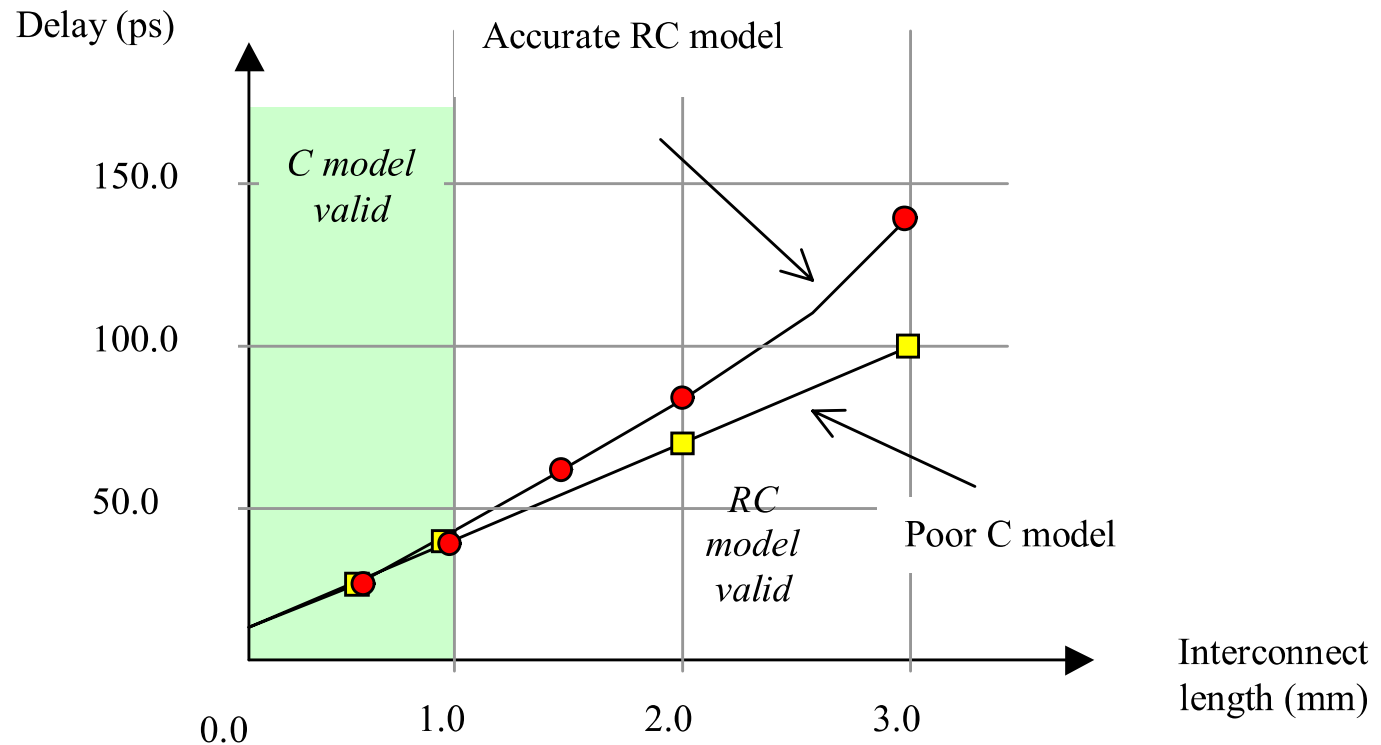
anometer design i

www.microwind.net



### 3. Signal propagation

*RC model*



*...giving you the squeeze of nanometer design technology*

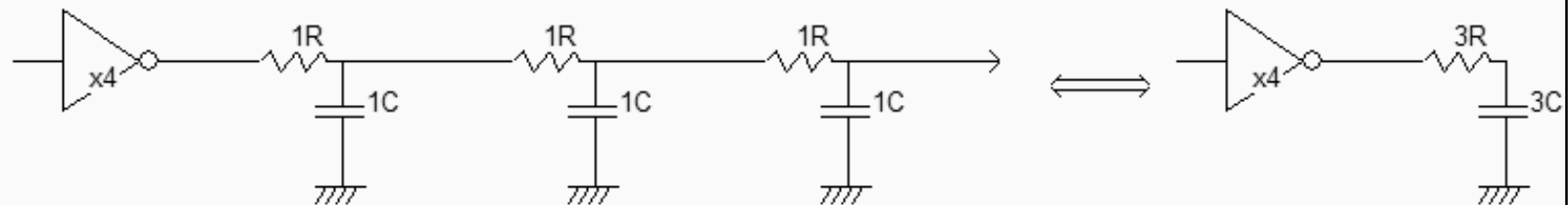
[www.microwind.net](http://www.microwind.net)



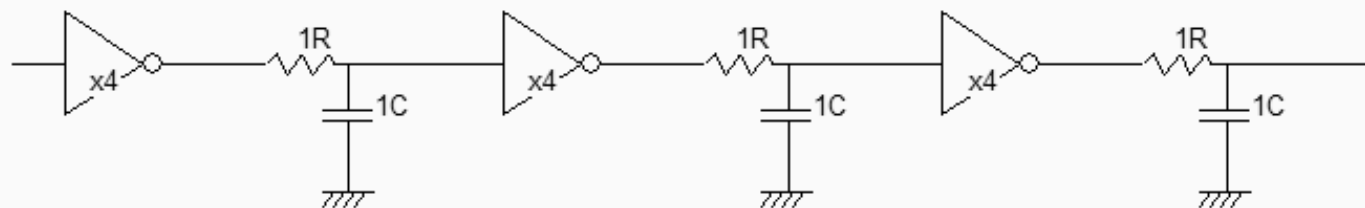
μωιηδ°

## 3. Signal propagation

### Repeaters



Delay  $3R \times 3C = 9RC$



Delay  $3xRC + 2xGateDelay$

*...giving you the squeeze of nanometer design technology*

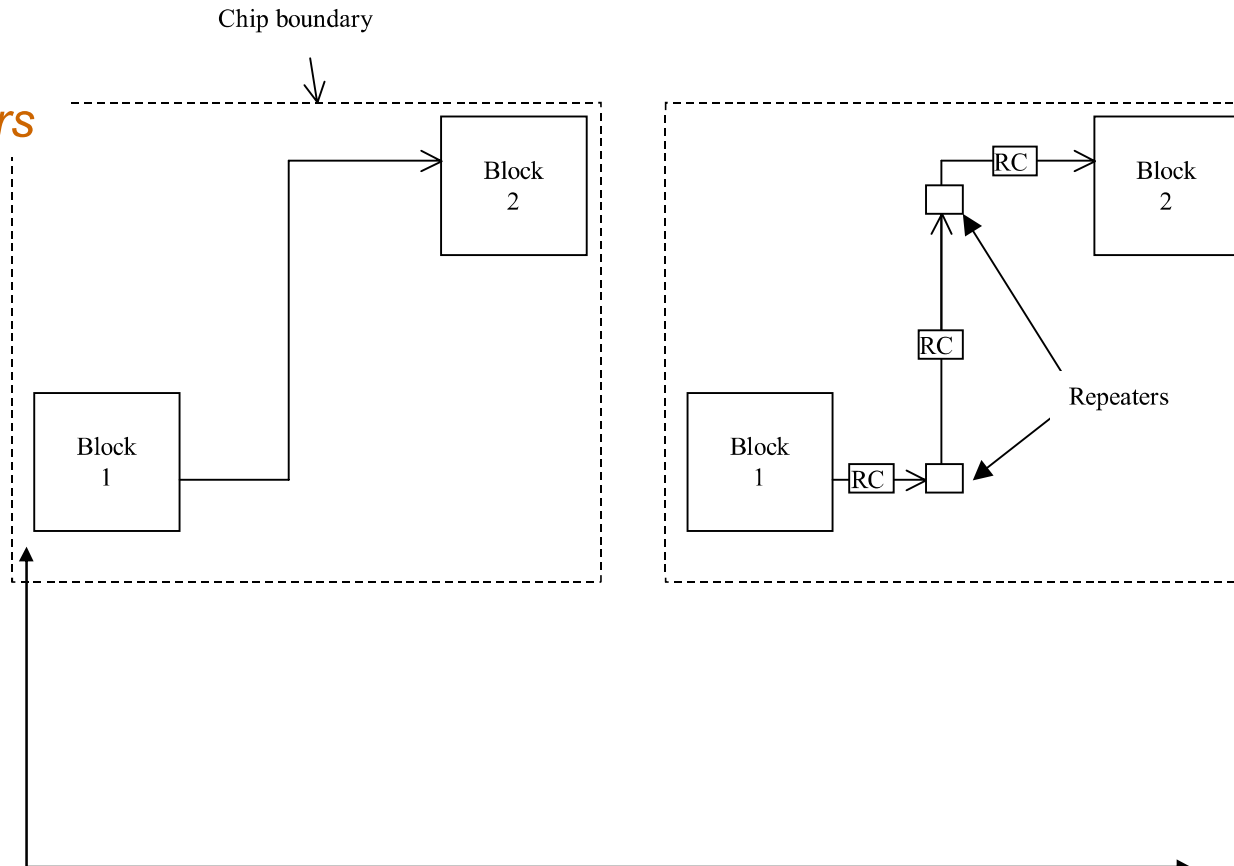
[www.microwind.net](http://www.microwind.net)



μωιηδ<sup>©</sup>

## 3. Signal propagation

*Repeaters*



*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)



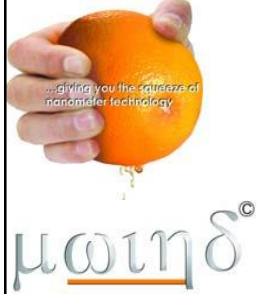
μωηδ<sup>©</sup>

# Conclusion

- Voluntary capacitance is very important
- Several ways to implement on-chip capacitors
- Crosstalk capacitance is very dangerous
- On-chip resistors sometimes used
- Parasitic resistance slows propagation
- Repeaters are a key solution to keep speed improvements

*...giving you the squeeze of nanometer design technology*

[www.microwind.net](http://www.microwind.net)



# An Illustration of $0.1\mu\text{m}$ CMOS layout design on PC





μωηδ<sup>®</sup>

# Agenda

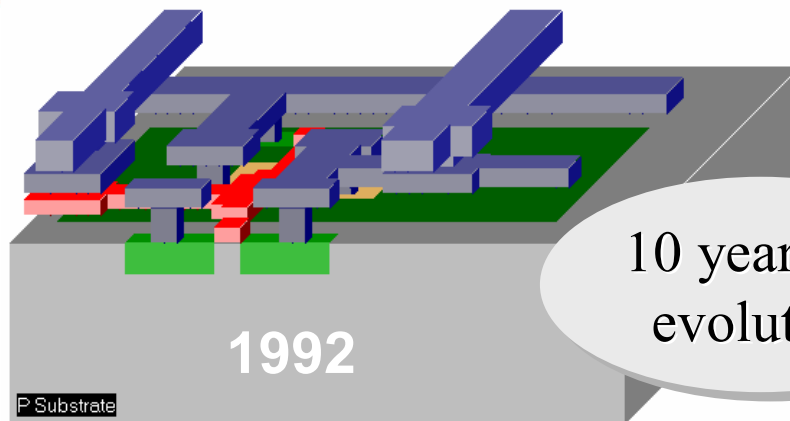
- The technology scale down
- Design trends
- The MOS device
- CMOS cell design
- Signal propagation
- Embedded Memory
- SOI

...giving you the squeeze of nanometer design technology

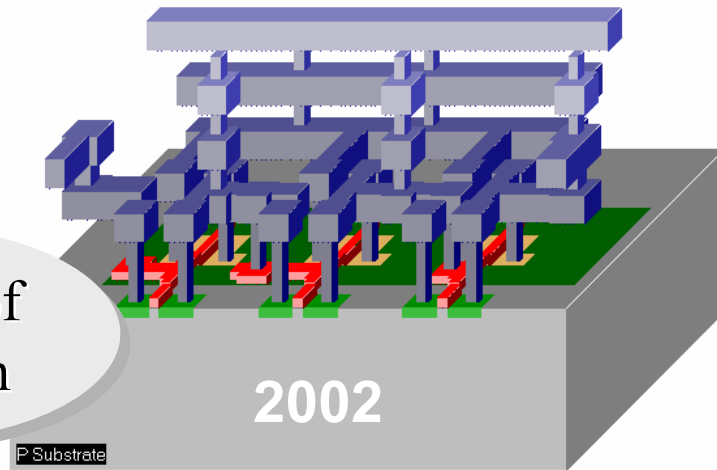
[www.microwind.net](http://www.microwind.net)



# 1. The technology scale down

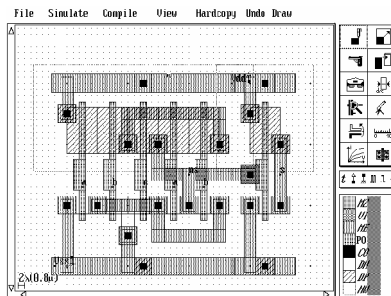


10 years of evolution



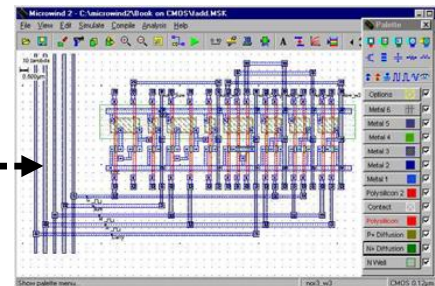
- ☺ 0.7 $\mu$ m, 2 metal layers
- ☺ Up to 100K transistors, 50MHz

- ☺ 0.12 $\mu$ m, 7 metal
- ☺ Up to 500MT, 1.5GHz



*Introduction to  $\mu$ -  
Electronics on PC*

**MSK, PROF, 3D**



*Introduction to CMOS  
design on PC*

**Microwind, Dsch**

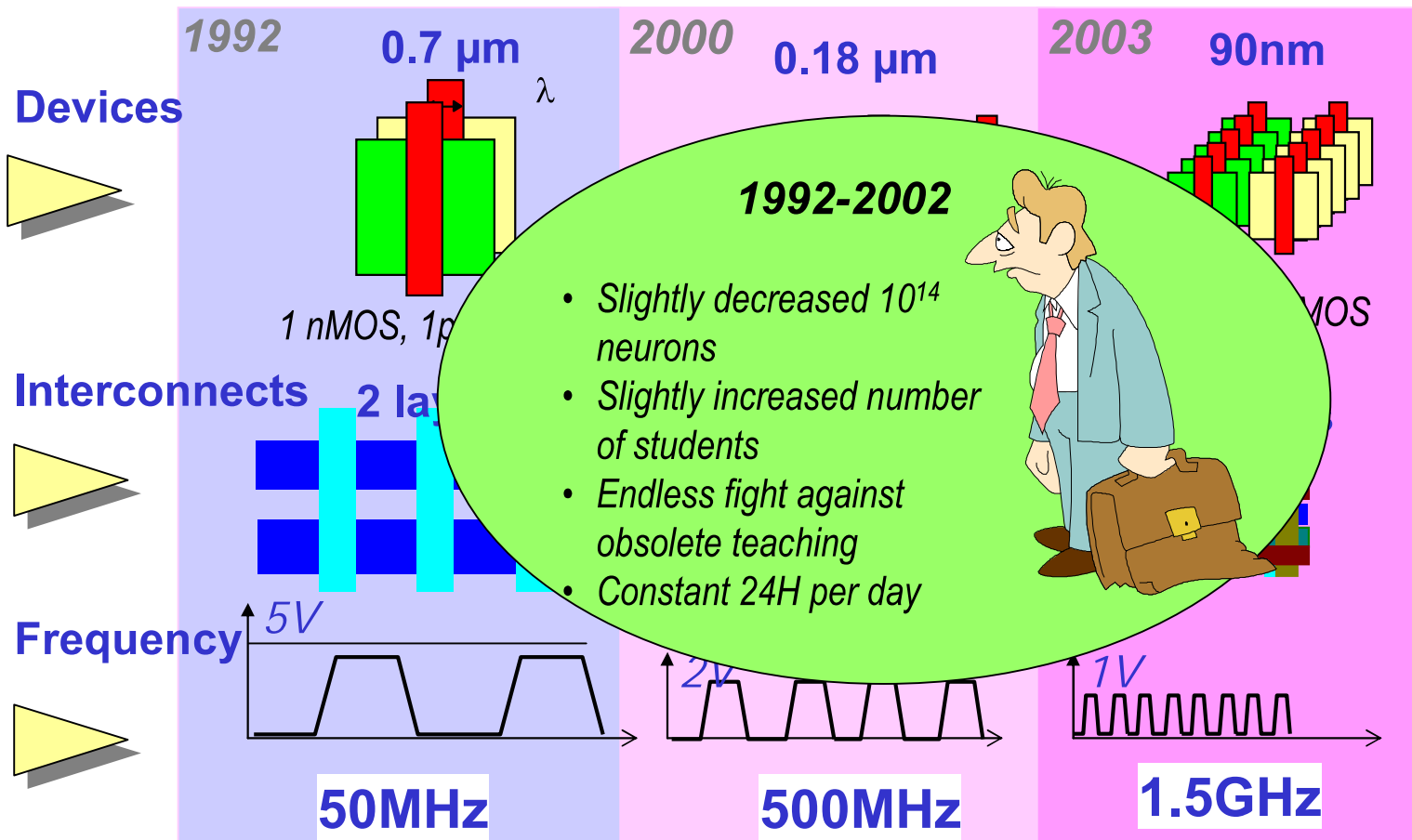
...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)



μωηδ<sup>©</sup>

# 1. The technology scale down

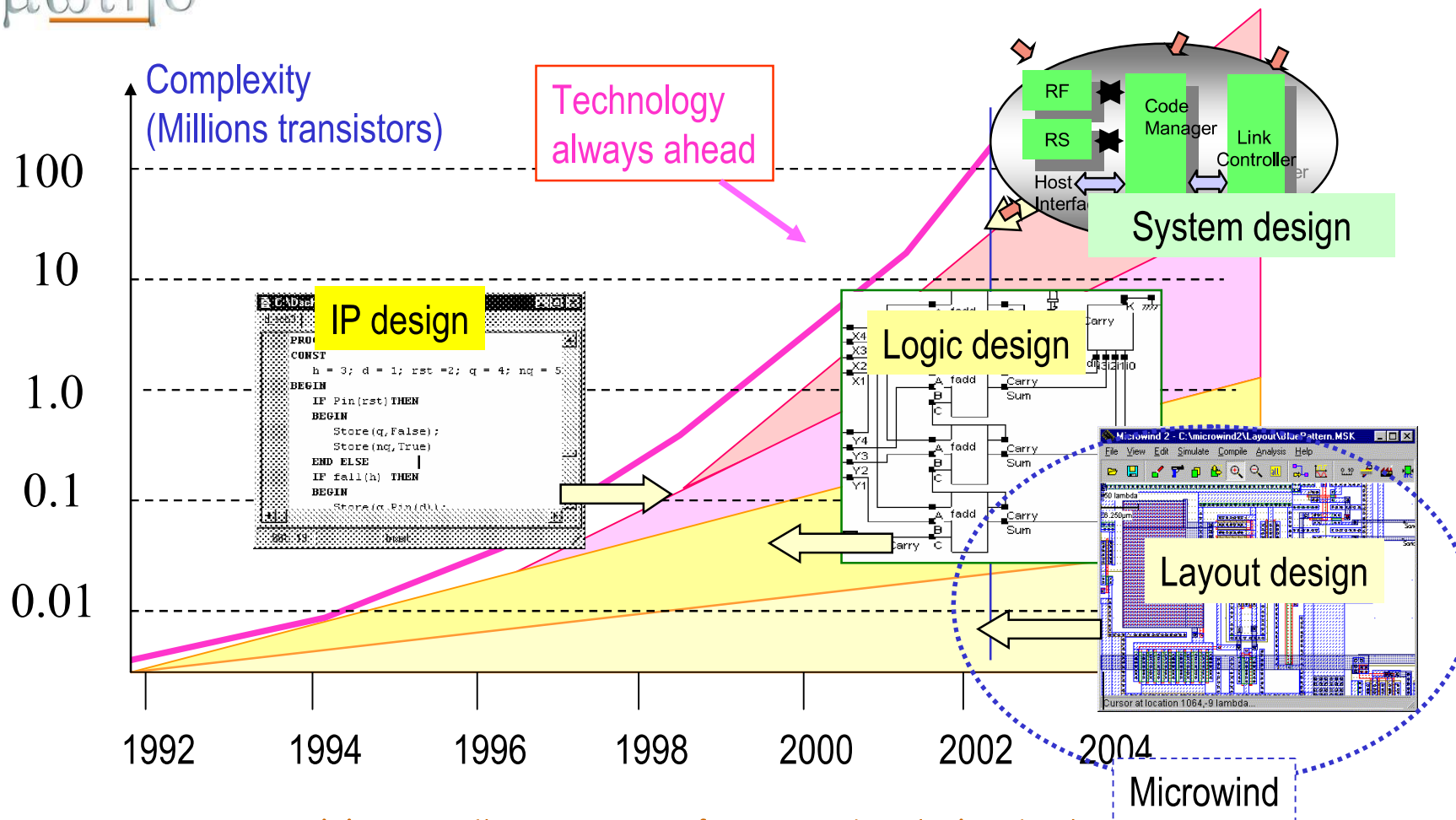


...giving you the squeeze of nanometer design technology



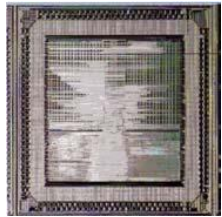
μωιηδ<sup>®</sup>

## 2. Design trends





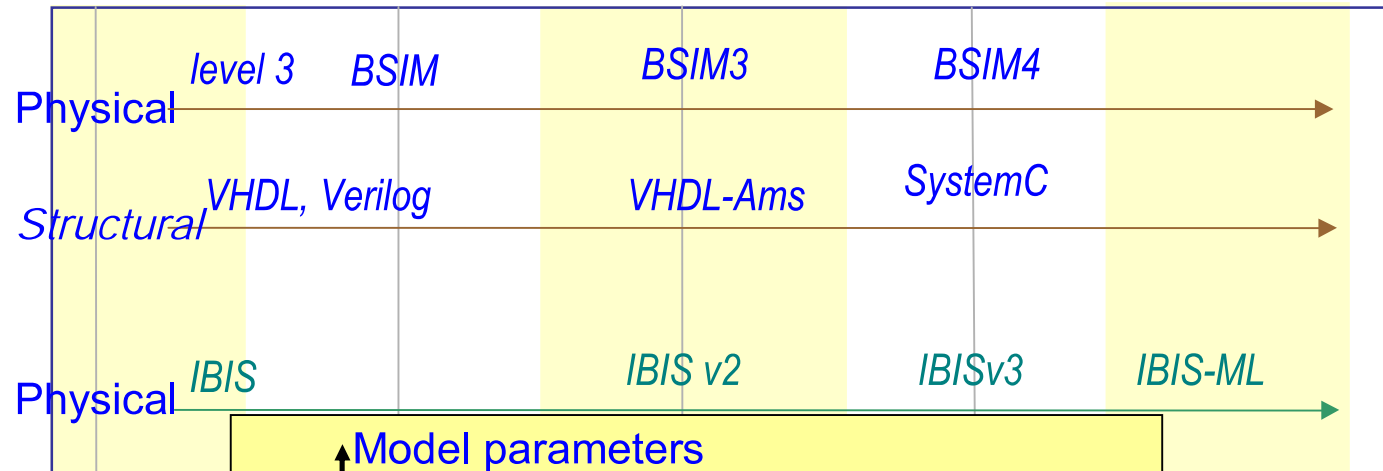
μωηδ<sup>©</sup>  
Core



Interface

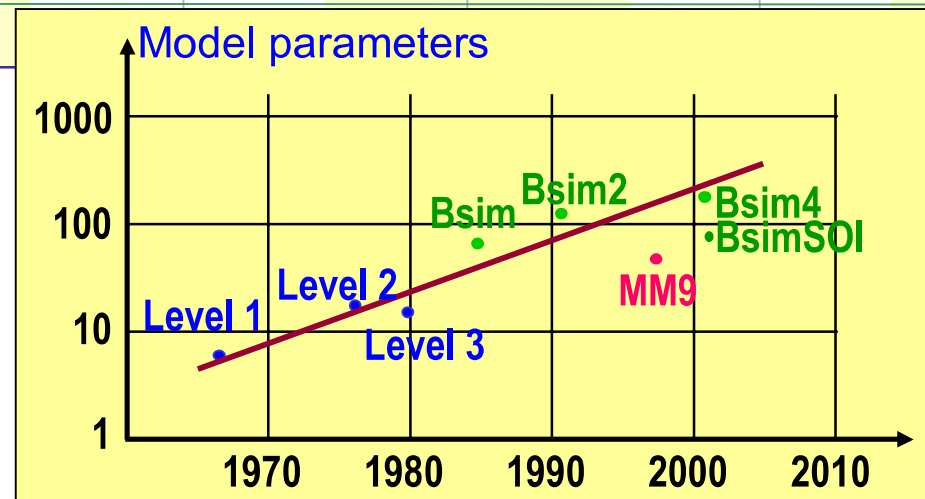


## 2. Design trends



1995

2003



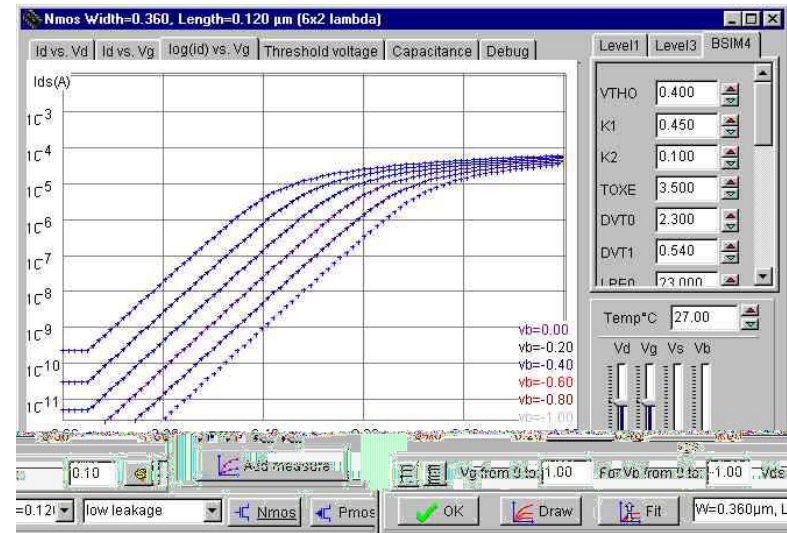
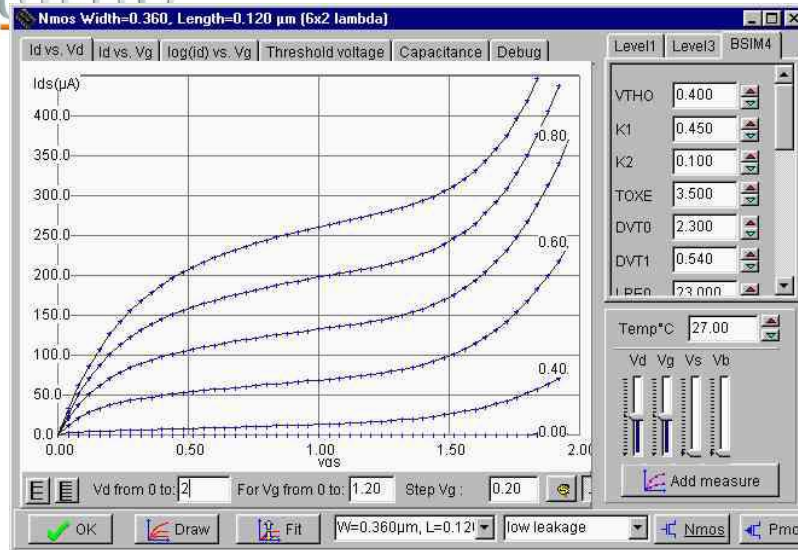
...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)



### 3. The MOS devices

microwind<sup>©</sup>



Dependence of  $I_d$  vs. Length  
Impact ionization at high  $V_d$ s

Important  $I_{off}$  current for small Length  
Complex dependence of  $V_t$  vs. Length

$$v_{th} = V_{TH0} + K1 \cdot \sqrt{(\Phi_s - V_{bs}) - \sqrt{\Phi_s}} - K2 \cdot V_{bs} + \Delta V_{t_{SCE}} + \Delta V_{t_{NULD}} + \Delta V_{t_{DIBL}}$$

$$\Delta V_{t_{SCE}} = -\frac{0.5 \cdot DVT0}{\cosh(DVT1 \cdot \frac{L_{eff}}{l_t} - 1)} (V_{bi} - \Phi_s)$$

$$\Delta V_{t_{NULD}} = K1 \left( \sqrt{1 + \frac{LPE0}{L_{eff}}} - 1 \right) \cdot \sqrt{\Phi_s}$$

$$\Delta V_{t_{DIBL}} = -0.5 \cdot ETA0 \cdot V_{ds}$$

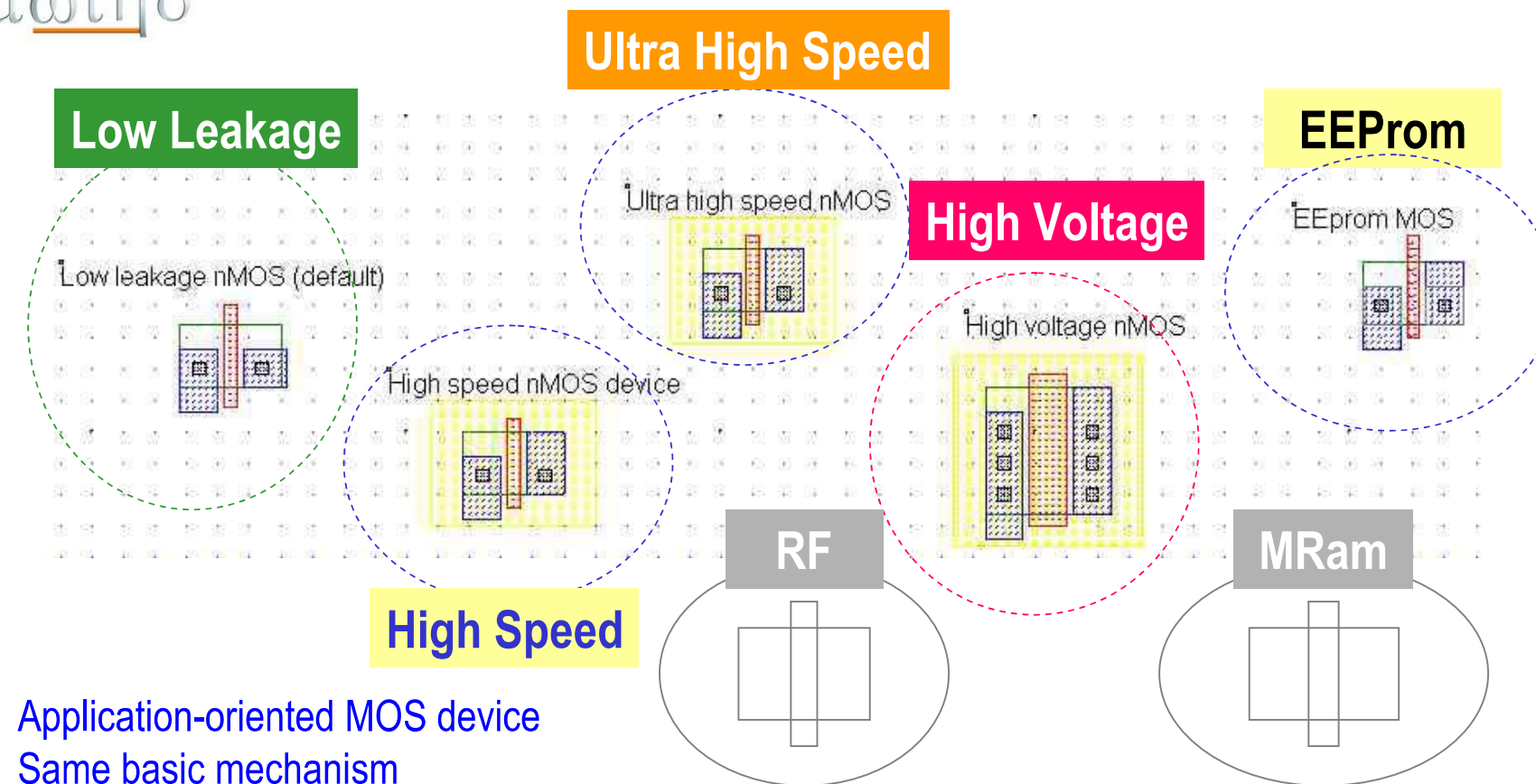
...giving you the squeeze of nanometer design technology

www.microwind.net



μωιηδ<sup>©</sup>

## 3. The MOS devices



Application-oriented MOS device  
Same basic mechanism

New physical properties in EEPROM and MRam

...giving you the squeeze of nanometer design technology

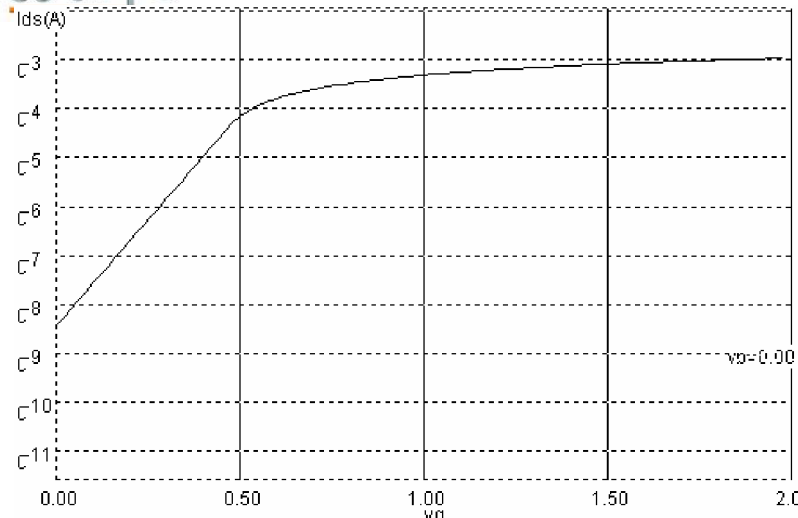
[www.microwind.net](http://www.microwind.net)





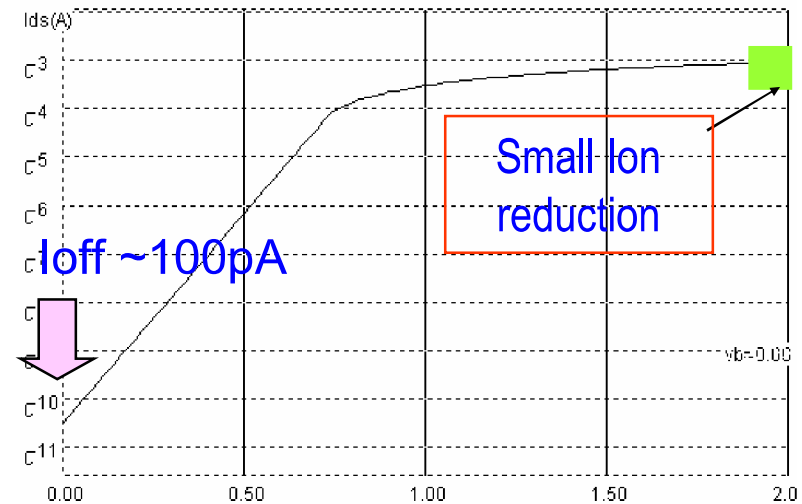
μωηδ°

## 3. The MOS devices



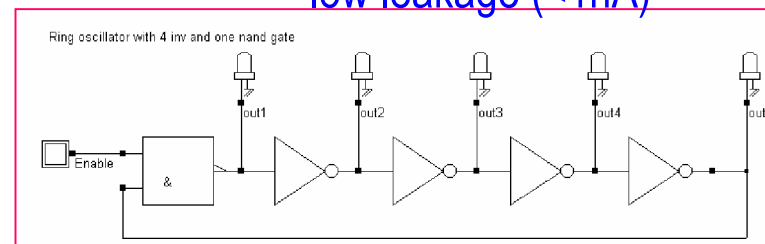
**High Speed**

High current MOS, low  $V_T$   
Shorter channel  $L=100\text{nm}$ ,  
high leakage (Critical path)



**Low Leakage**

Default MOS device, high  $V_T$   
low leakage ( $<1\text{nA}$ )



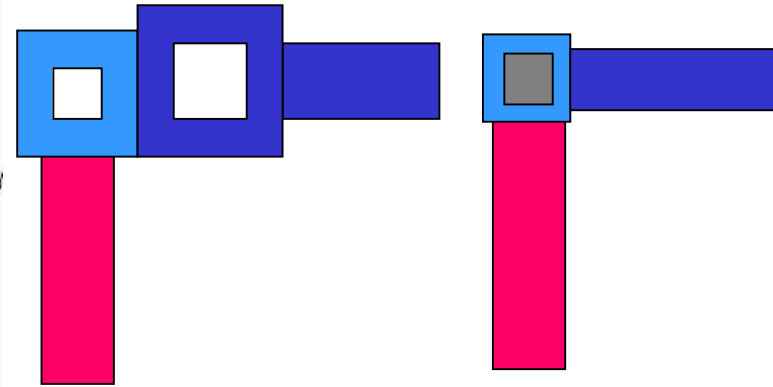
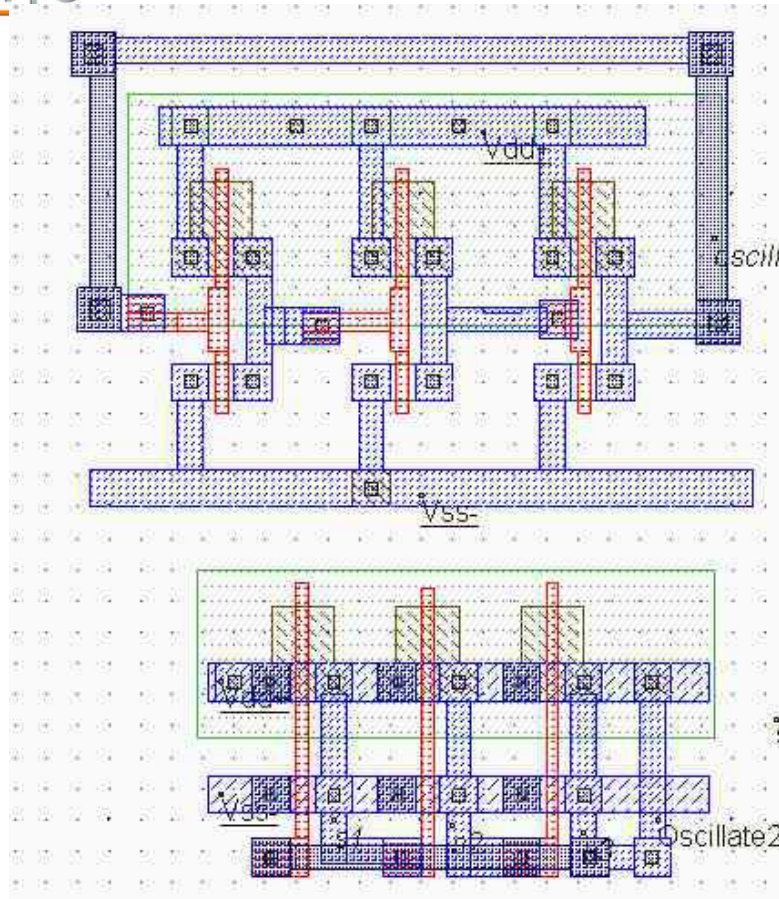
...giving you the squeeze of nanometer design technology





μωινδ<sup>©</sup>

## 4. CMOS cell design



Stacked vias  
Salicide/unsalicide (Large R)

*but...*

Antenna effects  
Contact parasitic effect (20  $\Omega$ )

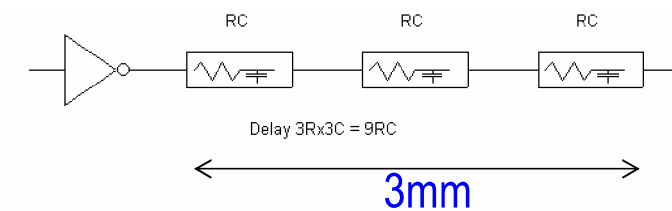
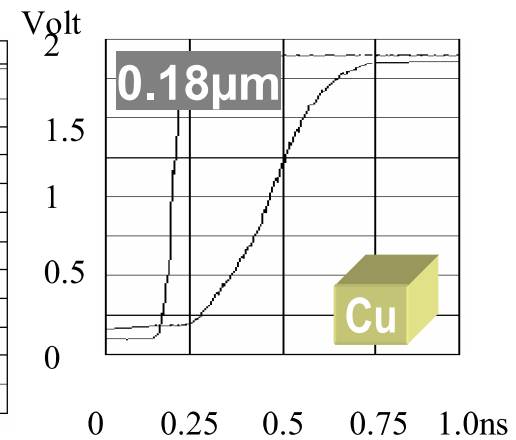
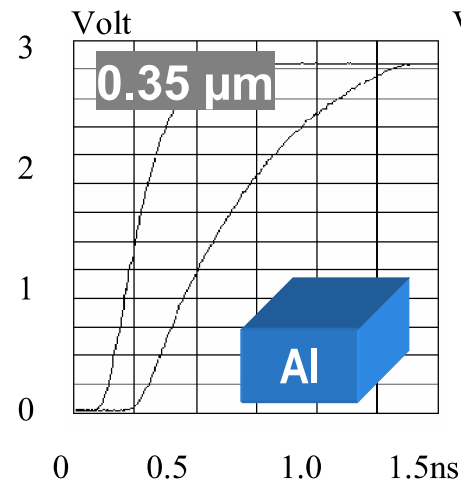
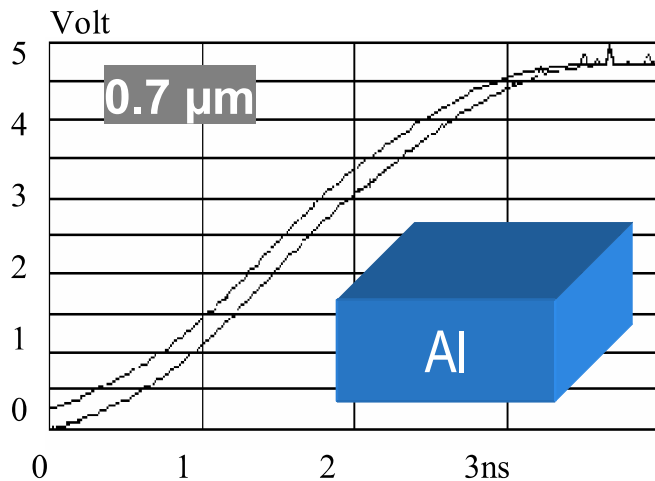
...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)

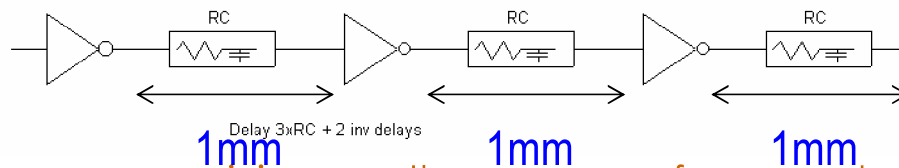


μωηδ°

## 5. Signal propagation



$3R \times 3C = 9RC$  (680ps) Repeaters help to propagate signals at long distance



$3RC + 2t_{\text{gate}}$  (380ps)

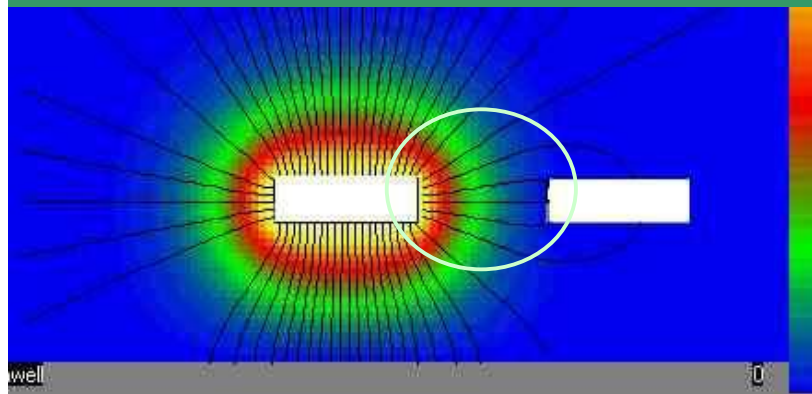
...giving you the squeeze of nanometer design technology



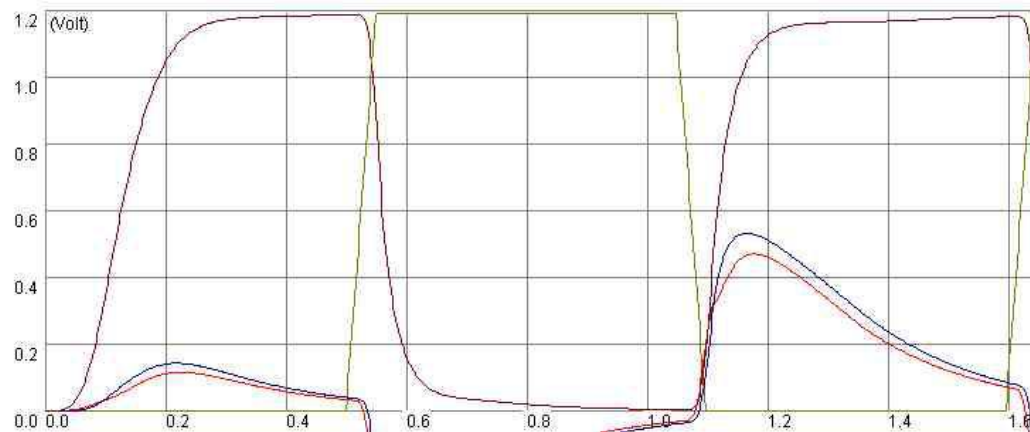
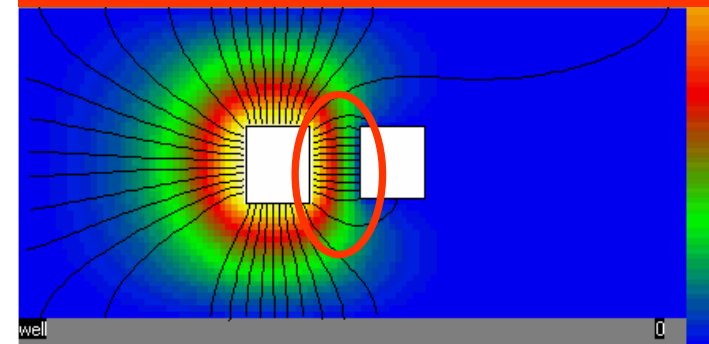
μωηδ<sup>©</sup>

## 5. Signal propagation

0.7μm Small coupling



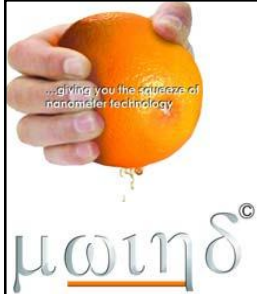
0.12μm Strong coupling



- Very large noise, close from fault
- Low K to reduce coupling
- Long distance routing is forbidden (Critical routing length 2mm in 0.12μm)

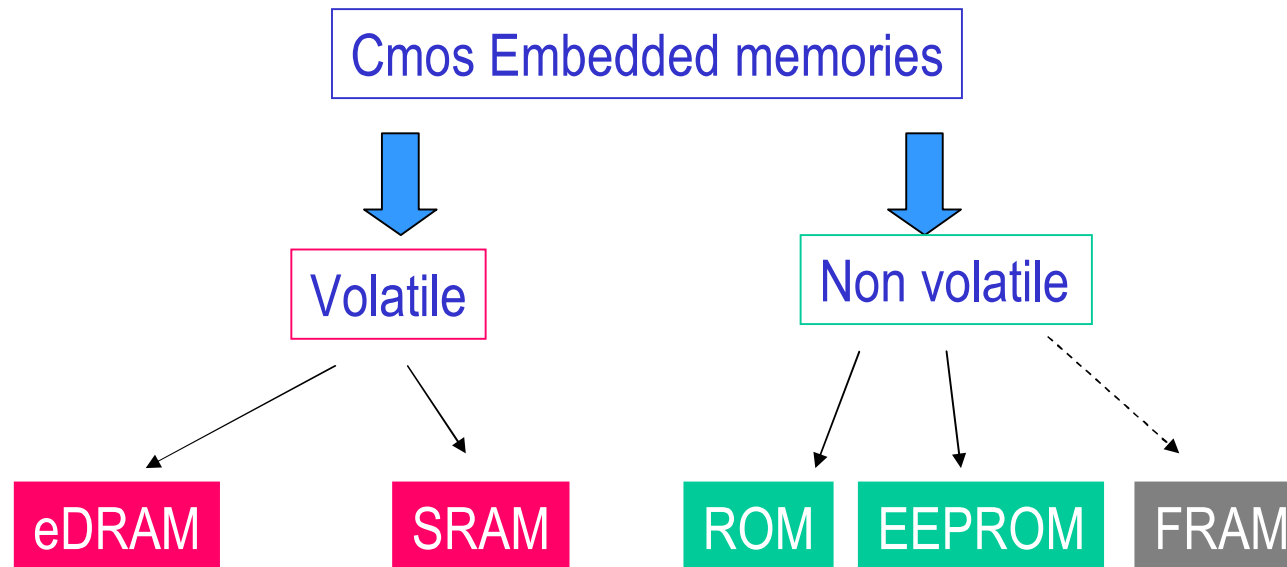
...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)



## 6. Embedded Memories

- 80% of a system-on-chip
- Bottleneck for bandwidth



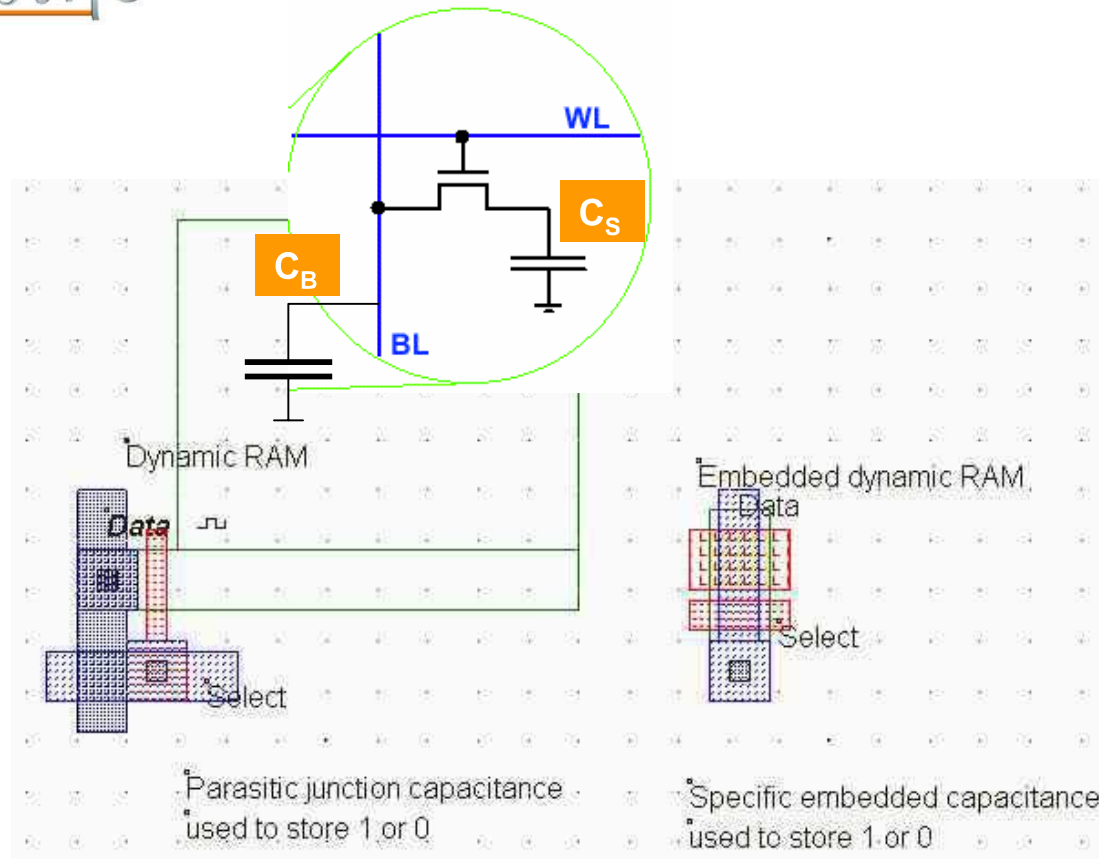
...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)



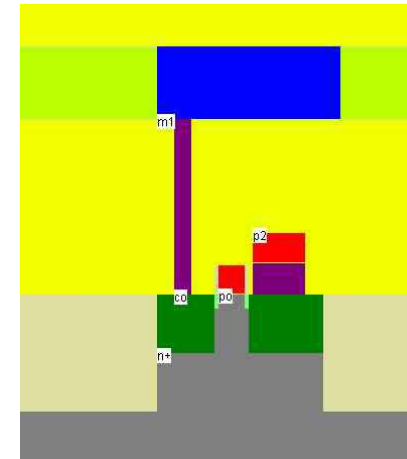
μωιηδ<sup>©</sup>

## 6. Embedded Memories



Parasitic capacitance: 2fF

Specific capacitance: 3-30fF



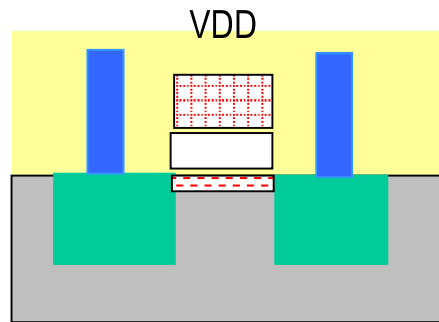
...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)

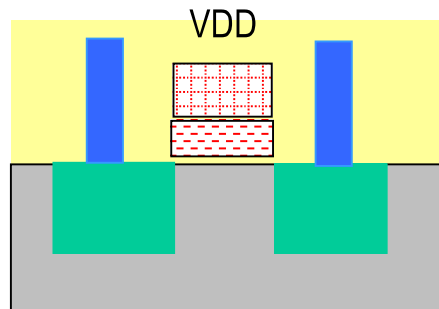


μωηδ<sup>©</sup>

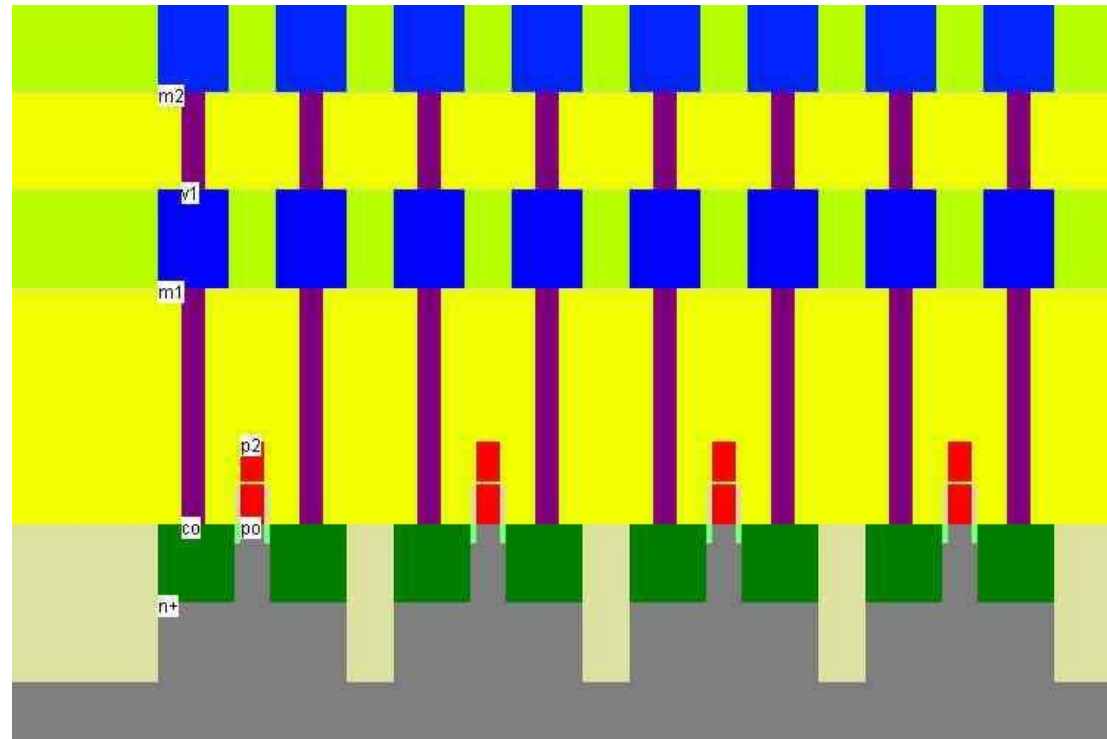
## 6. Embedded Memories



Create a small channel



Cannot create channel



Electrons injected in the floating gate by tunneling

...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)





μωηδ<sup>©</sup>

## 7. SOI

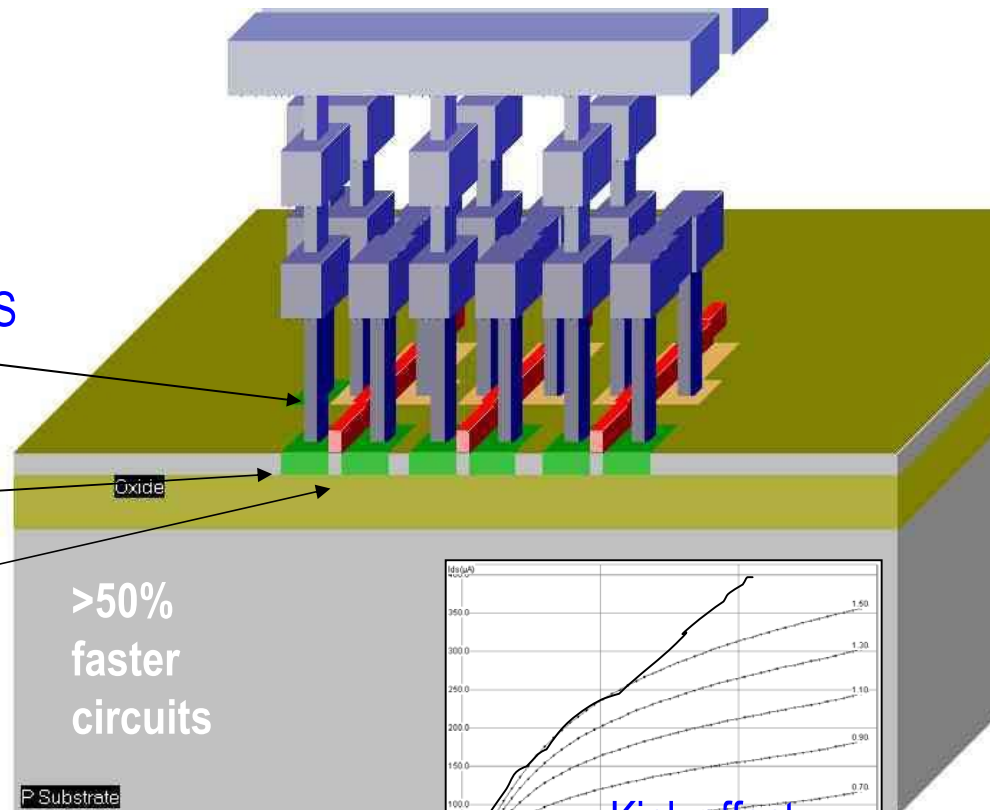
The next major evolution?

CMOS compatible

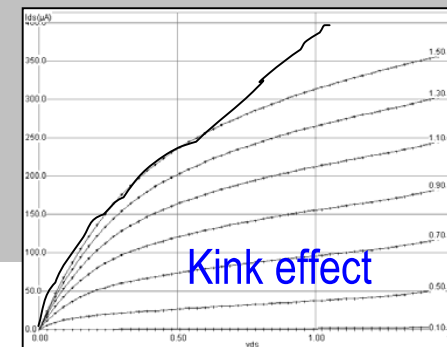
Less distance between nMOS and pMOS

Less capacitance

Less leakage

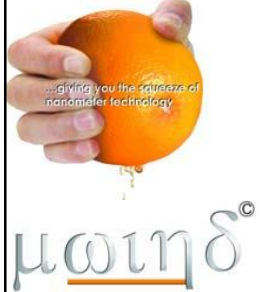


Fully or partially depleted?



...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)



# Conclusion

- The technology scale down has been illustrated
- Design trend towards higher levels of abstraction
- More MOS options oriented to applications in 0.1μm technology
- Increased interconnect layers improve density but many issues
- RC delay & crosstalk illustrated
- Embedded memories have several design styles and technological option
- Substrate below 0.1μm should be in SOI
- Lots of educational messages illustrated in Microwind PC tool

...giving you the squeeze of nanometer design technology

[www.microwind.net](http://www.microwind.net)